

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Шебалина Татьяна Александровна

Должность: Директор Пятигорского института (филиал) Северо-Кавказского

федерального университета

Дата подписания: 06.09.2023 12:33:45

Уникальный программный ключ:

d74ce93cd40e39275c3ba2f58486412a1c8ef96f

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное автономное образовательное учреждение
высшего образования
«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»
Пятигорский институт (филиал) СКФУ
Колледж Пятигорского института (филиал) СКФУ

ПМ.01 ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ
МДК.01.02 ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ
МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ВЫПОЛНЕНИЮ КУРСОВОГО ПРОЕКТА

Специальности СПО

09.02.01. Компьютерные системы и комплексы

Квалификация техник по компьютерным системам

Пятигорск

Методические указания к выполнению курсового проекта по дисциплине МДК 01.02 Проектирование цифровых устройств составлены в соответствии с требованиями ФГОС СПО. Предназначены для студентов, обучающихся по специальности 09.02.01 Компьютерные системы и комплексы.

1 Общие требования к курсовому проекту

1.1 Тематика курсовых проектов

Тематика КП подбирается в соответствии с профилем подготовки специалистов и рекомендациями программы дисциплины. Она может быть расширена за счет проектирования и изготовления разрабатываемых блоков вычислительной техники. В этом случае объем пояснительной записки (ПЗ) и графической части проекта уменьшается.

1.2 Задание на курсовое проектирование

При выдаче заданий учащимся на курсовое проектирование каждая тема КП конкретизируется по техническим характеристикам проектируемого устройства.

В исходных данных к КП должны указываться следующие характеристики:

1. частота следования тактовых импульсов;
2. амплитуды подаваемых напряжений;
3. разрядность обрабатываемой информации.

Кроме основных исходных данных, могут быть указаны другие характеристики, более полно характеризующие разрабатываемое устройство.

Заданием оговаривается содержание ПЗ и графической части КП. Перечень разделов и подразделов ПЗ должен соответствовать последовательности, указанной в задании.

Задание должно быть утверждено председателем предметно-цикловой комиссии и подписано руководителем проекта.

Пример оформления листа задания приведен в приложении Б.

1.3 Содержание и объем курсового проекта

КП должен включать в себя ПЗ, графическую часть и, в случае выполнения КП с практическим исполнением, – лабораторный макет (прибор).

В ПЗ рассматриваются вопросы, характеризующие последовательность проектирования устройства, которая отражается в задании на КП. Она выполняется в соответствии с [1]. ПЗ должна содержать 25–30 листов формата А4 одностороннего (рукописного или набранного на компьютере) текста.

Графическая часть выполняется в соответствии с [2] и должна давать наглядное представление о проектируемом устройстве и составлять не более двух листов формата А1, а также она может содержать:

1. схему электрическую структурную;
2. схему электрическую функциональную;
3. схему электрическую принципиальную;
4. плакаты.

Рекомендуется следующая структура ПЗ:

Титульный лист

Лист задания

Содержание

Введение:

общие сведения о КП;

актуальность выбранной темы;

цель и задачи, решаемые в проекте;

область применения выбранного объекта.

1 Основная часть

1.1 Литературный обзор

1.2 Назначение и общая характеристика устройства

1.3 Логическое проектирование

1.4 Выбор элементной базы

1.5 Компьютерное моделирование Заключение Литература Приложения (по необходимости)

1.4 Защита курсового проекта

Защита КП должна проводиться при полной его готовности, но не позже срока, определенного учебным планом. При защите КП учащийся опрашивается по материалу, содержащемуся в нем, а также по вопросам, касающимся вычислительной техники. При защите КП с практическим исполнением проверяется правильность работы изготовленного лабораторного макета, соответствие пунктов инструкции по выполнению лабораторной работы на лабораторном макете.

2 Методические указания по выполнению курсового проекта

2.1 Введение

Введение должно содержать общие сведения о КП. В нем необходимо отразить актуальность выбранной темы, связанную с разработкой цифровых устройств, цель и задачи, решаемые в проекте, область применения выбранного объекта и преимущества, которые дает использование современных цифровых систем новых поколений, используемые методики, практическую значимость полученных результатов, перспективы при изучении выбранной темы.

Цель работы определяется темой КП и техническим заданием на него и может быть такова: разработка конструкции цифрового устройства, решающая функцию (определяется названием и назначением схемы), предназначенную для работы при указанных параметрах и т. д.

Для достижения поставленной цели необходимо решить ряд задач, которые определяют содержание работ по теме проекта, а следовательно, содержание ПЗ и комплект конструкторской документации. Необходимо перечислить задачи (согласно содержанию ПЗ) и дать очень краткое представление о том, как они будут решаться (что необходимо принять во внимание). В результате будет составлен последовательный план работы по выполнению КП.

Объем введения не превышает трех страниц печатного текста.

2.2 Литературный обзор

В обзоре литературы необходимо сжато и последовательно изложить текущие варианты решения темы КП. Обзор литературы может состоять из нескольких подразделов, каждый из которых содержит характеристику отдельных аспектов.

2.3 Назначение и общая характеристика устройства

В разделе необходимо описать назначение устройства, выполняемые им функции. При этом следует обратить внимание на технические возможности устройства и особенности его работы, проанализировать состав основных функциональных блоков.

2.4 Логическое проектирование

В разделе необходимо описать логическую функцию проектируемого устройства, процесс минимизации функции и синтеза логического устройства. Порядок логического проектирования следующий:

1 Словесная формулировка задачи, в которой оговаривается число входных и выходных переменных и функциональные связи между ними.

2 Составление таблицы истинности синтезируемой функции (или функций).

3 Запись функции (или функций) в виде логического выражения (или системы логических уравнений).

4 Минимизация функции. Процесс минимизации выполняется использованием законов алгебры логики, метода карт Карно либо иного способа.

5 Построение логической схемы из конкретных логических элементов с использованием логического уравнения в минимальной форме.

2.5 Выбор элементной базы

Правильно выбранная элементная база позволит обеспечить надежное функционирование составных частей и всего устройства в целом, снизить вероятность возникновения помех из-за несогласованности входов одних элементов с выходами других, получить высокие эксплуатационные характеристики, уменьшить энергопотребление за счет применения элементов, изготовленных по передовым технологиям, добиться лучших массогабаритных показателей, повысить ремонтпригодность аппаратуры и расширить ее технические возможности.

Результатом выбора элементной базы является выбор серии интегральных схем (ИС), отвечающей общим характеристикам технического задания, и выбор конкретных элементов из серии для реализации функционала проектируемого устройства.

Основными параметрами при выборе элементов являются:

1 статические параметры элементов:

- а) функциональное назначение;
- б) номинальное напряжение питания;
- в) входные и выходные напряжения для представления логического 0 и логической 1;

2. динамические параметры элементов:

- а) максимальная рабочая частота;
- б) быстродействие.

2.6 Компьютерное моделирование

Компьютерное моделирование представляет собой симуляцию работы составленной электрической принципиальной схемы в программе Electronics Workbench, National Instruments Multisim либо в других программах, позволяющих создание виртуальных электрических схем.

National Instruments Multisim позволяет объединить процессы разработки электронных устройств и тестирования на основе технологии виртуальных приборов для учебных и производственных целей.

В Multisim имеются базы данных трех уровней:

- главная база данных (Master Database), откуда информацию можно только считать; здесь находятся все компоненты;
- пользовательская база данных (User Database) соответствует текущему пользователю компьютера;
- корпоративная база данных (Corporate Database) содержит компоненты, доступные пользователям по сети.

Все базы данных делятся на группы, которые, в свою очередь, делятся на семейства.

К основным контрольно-измерительным приборам для изучения цифровых устройств относятся: генератор бинарного слова, логический пробник (индикатор логического уровня), логический анализатор, логический преобразователь, функциональный генератор.

Программа поддерживает две системы условных графических обозначений моделей компонентов – ANSI и DIN.

ANSI – американский стандарт (American National Standard Institute), DIN – европейский стандарт (Deutsche Ingenieur Normen). Российский ГОСТ ближе к стандарту DIN.

По умолчанию используется стандарт ANSI, но предусмотрена возможность переключения. Для перехода к отображению в стандарте DIN необходимо открыть вкладку Options > Global Preferences > Parts > Symbol Standard.

Простейшие булевы функции (И, ИЛИ и НЕ) позволяют строить новые булевы функции с помощью суперпозиции. Операция суперпозиции заключается в подстановке вместо аргументов других булевых функций. Суперпозиция функций одного элемента порождает функции одного аргумента, а двух элементов дает возможность строить функции любого числа аргументов.

На рисунке 2.1 показаны обозначения базовых логических элементов, принятые в программе Multisim 10 (ANSI).

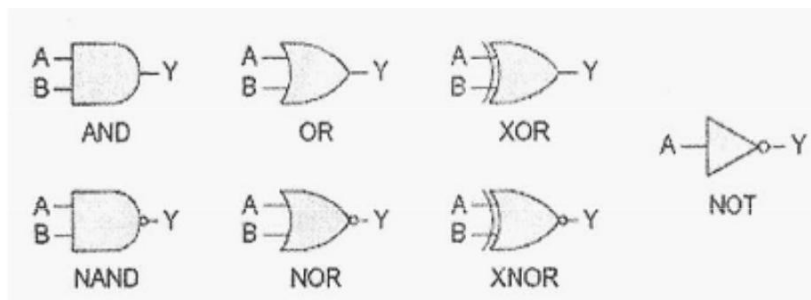


Рисунок 2.1 – Графические обозначения логических элементов И (AND), ИЛИ (OR), исключающего ИЛИ (XOR), инвертора (NOT), И-НЕ (NAND), ИЛИ-НЕ (NOR), исключающего ИЛИ-НЕ (XNOR)

В разделе необходимо охарактеризовать используемый программный пакет, описать процесс моделирования спроектированного устройства. Результатом моделирования является снимок экрана готовой схемы и графиков соответствия комбинации входных и выходных сигналов.

2.7 Заключение

Объем – одна-две страницы. Здесь должны быть отражены:

- степень выполнения поставленной задачи;
- причины несоответствия.

В заключении необходимо подвести итоги выполнения КП, оценить качество его выполнения и сравнить полученные характеристики на соответствие техническому заданию.

2.8 Литература

Этот раздел должен содержать перечень источников, цитируемых и используемых при написании КП, которые следует расположить по алфавиту авторов или заглавий (в случае четырех и более авторов).

2.9 Приложение

В приложении приводится материал, не вошедший в основное содержание ПЗ и несущий в себе дополнительную справочную информацию.

3. Оформлению курсового проекта

3.1 Оформление пояснительной записки

Последовательность и наименование разделов в ПЗ должны полностью соответствовать заданию на курсовое проектирование и содержанию ПЗ.

Содержание разделов ПЗ должно соответствовать наименованиям разделов записки, содержать конкретные сведения о разрабатываемом устройстве.

3.2 Оформление графической части

В графической части проекта должны быть выполнены: схема электрическая принципиальная, схема электрическая функциональная. Кроме указанных схем допускается выполнение схемы электрической структурной проектируемого устройства, различных графиков и иллюстраций.

Графическая часть КП должна быть выполнена на листах формата А1 или А2.

1. Оформление курсовых проектов с практическим исполнением

При выполнении КП с практическим исполнением учащимся должен быть изготовлен лабораторный макет (прибор) по изучению работы блоков ЭВМ. При этом учащийся освобождается от компьютерного моделирования разрабатываемого устройства. Задание на КП с практическим исполнением выдает руководитель проекта.

4 Примеры логических расчетов

4.1 Синтез RS -триггера в базисе И-НЕ, ИЛИ-НЕ

Триггер представляет собой запоминающую ячейку и схему управления. В качестве запоминающей ячейки применяется RS -триггер с прямыми (в базисе ИЛИ-НЕ) входами.

Таблица истинности RS -триггера представлена таблицей 4.1.

Т а б л и ц а 4.1 – Таблица истинности RS -триггера

$Q(t)$	R	S	$Q(t+1)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	X
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	X

В таблице 4.1 в столбце $Q(t)$ представлено состояние триггера в момент времени t , а в столбце $Q(t+1)$ – состояние триггера в момент времени $(t+1)$, то есть после воздействия сигналов на входах R и S .

По данным таблицы 4.1 составляется переключательная функция для $Q(t+1)$ RS -триггера:

$$Q(t+1) = Q(t)RS + Q(t)\overline{R}S + Q(t)R\overline{S} + Q(t)\overline{R}\overline{S} + Q(t)RS. \quad (1)$$

Выполняется минимизация переключательной функции с помощью карт Карно (рисунок 4.1).

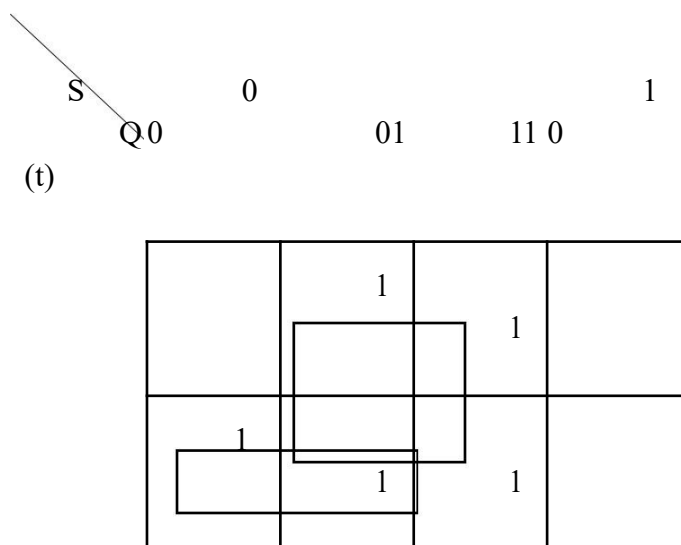


Рисунок 4.1 – Карта Карно для переключательной функции

По данным карты Карно (рисунок 4.1) получают минимальную переключательную функцию $Q(t+1)$:

$$Q(t+1) = \overline{R}S + R\overline{S} + RS. \quad (2)$$

$$Q(t+1) =$$

Минимальная переключательная функция (2) преобразуется в базис И-НЕ:

$$Q(t+1) = \overline{Q(t)} \times \overline{R} \quad (3)$$

По полученной минимальной переключательной функции (3) вычерчивается *RS*-триггер в базисе И-НЕ (рисунок 4.2).

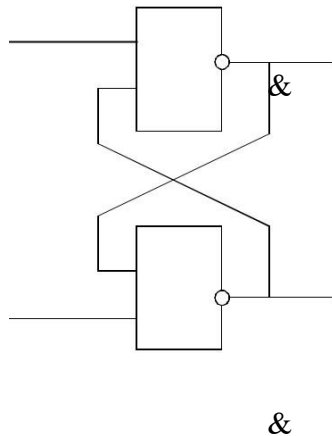


Рисунок 4.2 – *RS*-триггер в базисе И-НЕ

Для построения *RS*-триггера в базисе ИЛИ-НЕ переключательную функцию удобно получить из выражения $Q(t+1)$ с помощью карт Карно (рисунок 4.1), объединяя нули.

$$Q(t+1) = \overline{Q} + R \quad (4)$$

Взяв по функции (4) еще одну инверсию, получим переключательную функцию:

$$Q(t+1) = \overline{\overline{Q} + R} \quad (5)$$

Полученная функция (5) переводится в базис ИЛИ-НЕ:

$$Q(t+1) = \overline{Q} + S + R \quad (6)$$

По переключательной функции (6) строим *RS*-триггер в базисе ИЛИ-НЕ (рисунок 4.3).

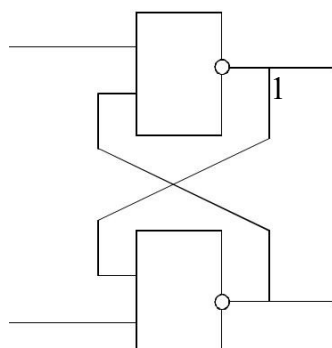


Рисунок 4.3 – RS-триггер в базисе ИЛИ-НЕ

4.2 Синтез дешифратора на три входа

Дешифратором, или избирательной схемой, называют узел ЭВМ, в котором каждой комбинации входных сигналов соответствует наличие сигнала на одной, вполне определенной шине на выходе.

Переключательные функции полного дешифратора на три входа имеют следующий вид:

$$Y_0 = \overline{X_1} \overline{X_2} \overline{X_3}$$

$$Y_1 = \overline{X_1} \overline{X_2} X_3$$

$$Y_2 = \overline{X_1} X_2 \overline{X_3}$$

$$Y_3 = \overline{X_1} X_2 X_3$$

$$Y_4 = X_1 \overline{X_2} \overline{X_3}$$

$$Y_5 = X_1 \overline{X_2} X_3$$

$$Y_6 = X_1 X_2 \overline{X_3}$$

$$Y_7 = X_1 X_2 X_3. \quad (7)$$

Различные способы вычисления конъюнкций в системе логических уравнений (7) дают возможность получать различные структуры дешифраторов: матричные, пирамидальные, прямоугольные.

Матричные (линейные) дешифраторы являются одноступенчатыми, так как при их построении применяют конъюнкторы, число входов которых равно разрядности входного слова.

На рисунке 4.4 приведена функциональная схема матричного дешифратора на логических элементах НЕ, И, построенного по системе логических уравнений (7).

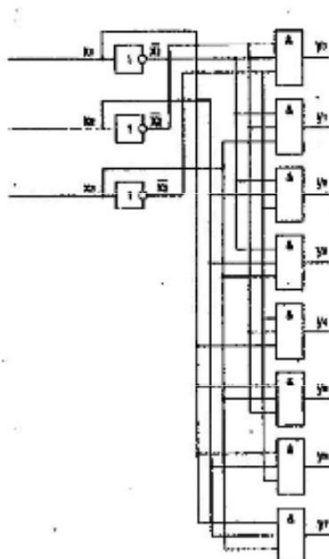


Рисунок 4.4 – Схема электрическая функциональная матричного трехразрядного дешифратора

Малоразрядность стандартных дешифраторов ставит вопрос о наращивании их разрядности. Из малоразрядных дешифраторов можно построить схему, эквивалентную дешифратору большой разрядности. Для этого входное слово делится на поля. Разрядность поля младших разрядов соответствует числу входов имеющихся дешифраторов. Оставшееся поле старших разрядов служит для получения сигналов разрешения работы одного из дешифраторов, декодирующих поле младших разрядов.

В качестве примера на рисунке 4.5 представлена схема дешифрации пятиразрядного двоичного кода с помощью малоразрядных дешифраторов.

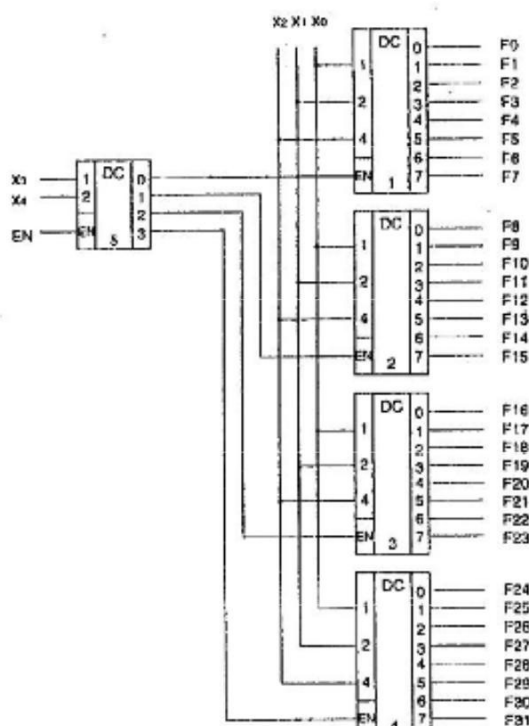


Рисунок 4.5 – Схема наращивания размерности двоичного дешифратора

Для получения 32-х выходов составляется столбец из четырех дешифраторов (1–4). Пятый дешифратор принимает два старших разряда входного кода. Возбужденный единичный выход этого дешифратора отпирает один из дешифраторов столбца по его входу расширения EN . Выбранный дешифратор столбца расшифровывает три младших разряда входного слова.

Общее разрешение или запрещение работы схемы осуществляется по входу EN пятого дешифратора.

4.3 Синтез одноразрядного сумматора

Одноразрядный сумматор имеет три входа (два для слагаемых и один для переноса единицы из младших разрядов) и два выхода (один выход – сумма текущих разрядов, второй выход – сигнал переноса в старший разряд). Таблица истинности одноразрядного сумматора представлена в таблице 4.3.

Т а б л и ц а 4.3 – Таблица истинности одноразрядного сумматора

a_i	b_i	c_{i-1}	s_i	c_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1

I	1	0	0	1
1	1	1	1	1

Аналитические выражения функций суммы и переноса (сиг-нал переноса обозначен через c) имеют вид:

$$s_i = \overline{a_i} \overline{b_i} c_{i-1} + \overline{a_i} b_i \overline{c_{i-1}} + a_i \overline{b_i} \overline{c_{i-1}} + a_i b_i c_{i-1};$$

$$c_i = \overline{a_i} b_i c_{i-1} + a_i \overline{b_i} c_{i-1} + a_i b_i \overline{c_{i-1}} + a_i b_i c_{i-1}. \quad (8)$$

Выполняется минимизация полученных выражений с помощью карт Карно (рисунок 4.6).

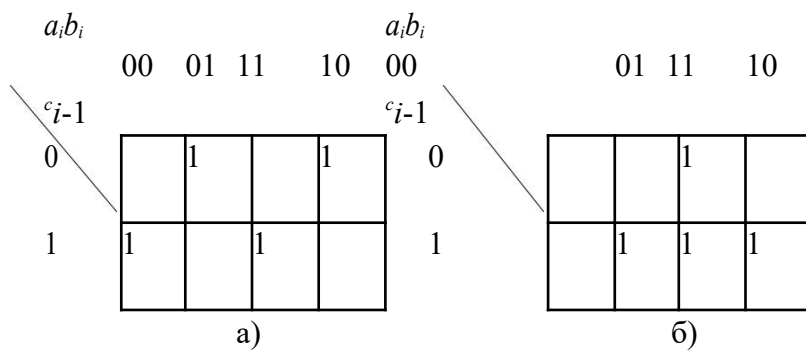


Рисунок 4.6 – Карты Карно для одноразрядного сумматора а) Карты Карно для s_i ; б) Карты Карно для c_i

По картам Карно (рисунок 4.6) можно сделать вывод, что функция для s_i (рисунок 4.6, а) является минимальной, а выражение минимальной переключательной функции для c_i будет следующим:

$$c_i = b_i c_{i-1} + a_i b_i + a_i c_{i-1}. \quad (9)$$

Система переключательных функций, описывающих работу одноразрядного сумматора, примет следующий вид:

$$s_i = \overline{a_i} \overline{b_i} c_{i-1} + \overline{a_i} b_i \overline{c_{i-1}} + a_i \overline{b_i} \overline{c_{i-1}} + a_i b_i c_{i-1};$$

$$c_i = b_i c_{i-1} + a_i b_i + a_i c_{i-1}. \quad (10)$$

В базисе Шеффера (И-НЕ) функции s_i и c_i выражаются следующим образом:

$$s_i = \overline{a_i} \overline{b_i} \overline{c_{i-1}} + \overline{a_i} b_i \overline{c_{i-1}} + a_i \overline{b_i} \overline{c_{i-1}} + a_i b_i c_{i-1};$$

$$c_i = b_i c_{i-1} + a_i b_i + a_i c_{i-1}. \quad (11)$$

По системе переключательных функций (11) создана функциональная схема одноразрядного сумматора в базисе И-НЕ (рисунок 4.7).

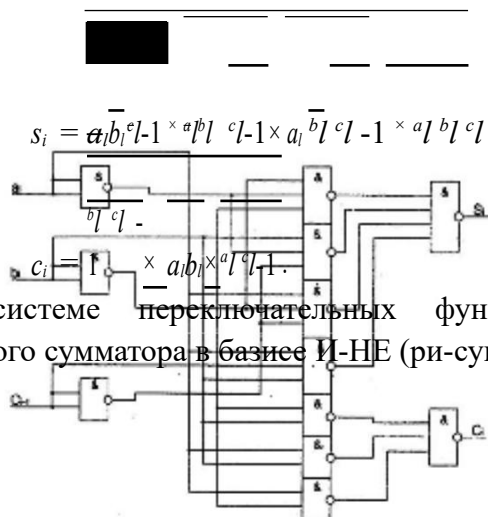


Рисунок 4.7 – Схема одноразрядного сумматора в базисе И-НЕ

Для сокращения аппаратной сложности схемы можно воспользоваться таблицей истинности одноразрядного сумматора (таблица 4.3).

Из таблицы 4.3 видно, что во всех строках, кроме первой и последней, $s_i = e_i$. Чтобы сделать переключательную функцию справедливой в первой и последней строках, нужно убрать единицу в строке нулевых входных величин и добавить единицу в строку единичных входных величин, что приводит к соотношению

$$s_i = e_i (a_i + b_i + c_{i-1}) + a_i b_i c_{i-1}. \quad (12)$$

Схема сумматора, построенного по переключательной функции 12, показана на рисунке 4.8.

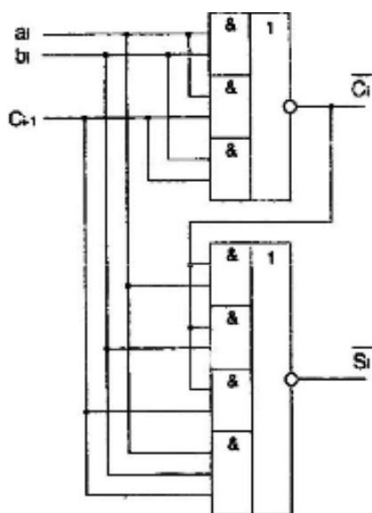


Рисунок 4.8 – Схема одноразрядного сумматора

Рекомендуемая литература

Основная литература:

1. Виноградов, М. В. Проектирование цифровых устройств [Электронный ресурс] : учебное пособие для СПО / М. В. Виноградов, Е. М. Самойлова. — Электрон. текстовые данные. — Саратов : Профобразование, Ай Пи Ар Медиа, 2019. — 106 с. — 978-5-4488-0429-8, 978-5-4497-0229-6. — Режим доступа: <http://www.iprbookshop.ru/86704.html>.
2. Сперанский Д.В. Моделирование, тестирование и диагностика цифровых устройств [Электронный ресурс] / Д.В. Сперанский, Ю.А. Скобцов, В.Ю. Скобцов. — Электрон. текстовые данные. — М. : Интернет-Университет Информационных Технологий (ИНТУИТ), 2016. — 529 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/62817.html>.
3. Шерстнева, О. Г. Интерфейсы и протоколы цифровых систем коммутации [Электронный ресурс] : учебное пособие / О. Г. Шерстнева, А. А. Шерстнева. — Электрон. текстовые данные. — Новосибирск : Сибирский государственный университет телекоммуникаций и информатики, 2018. — 149 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/84067.html>.

Дополнительная литература:

1. Ершова Н.Ю. Организация вычислительных систем [Электронный ресурс] / Н.Ю. Ершова, А.В. Соловьев. — 2-е изд. — Электрон. текстовые данные. — М. : Интернет-Университет Информационных Технологий (ИНТУИТ), 2016. — 224 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/73687.html>