

Документ подписан простой электронной подписью.
Информация о владельце:

ФИО: Шебзухова Татьяна Александровна

Должность: Директор Пятигорского института (филиала) Северо-Кавказского
федерального университета

Дата подписания: 05.09.2023 13:40:12

Уникальный программный ключ:

d74ce93cd40e39275c3ba2f58486412a1c8ef96f

**МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ**

**Федеральное государственное автономное образовательное учреждение
высшего образования**

«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Пятигорский институт (филиал) СКФУ

Колледж Пятигорского института (филиала) СКФУ

**МДК.01.01 ЦИФРОВАЯ СХЕМОТЕХНИКА
МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ПРАКТИЧЕСКИХ ЗАНЯТИЙ**

Специальности СПО

09.02.01 Компьютерные системы и комплексы

Квалификация техник по компьютерным системам

(ЭЛЕКТРОННЫЙ ДОКУМЕНТ)

Методические указания для практических занятий по дисциплине МДК.01.01
Цифровая схемотехника составлены в соответствии с требованиями ФГОС СПО.
Предназначены для студентов, обучающихся по специальности 09.02.01
Компьютерные системы и комплексы

Рассмотрено на заседании ПЦК ИСТиД (филиал) СКФУ в г. Пятигорске

Протокол № 8 от «22» марта 2021г.

Оглавление

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА.....	5
Общие методические указания к выполнению практических работ	5
Правила выполнения практических работ.....	5
Практическая работа №1. Изучение видов и условных обозначений цифровых микросхем.	7
Практическое занятие №2. Изучение конструкторских и электрических параметров цифровых микросхем.	11
Практическая работа №3. Изучение форм сигналов и их параметров.	14
Практическая работа №4. Схемная реализация функций алгебры логики (ДНФ)	18
Практическая работа №5. Схемная реализация функций алгебры логики (КНФ)	21
Практическая работа №6. Проектирование одновыходной комбинационной схемы.....	24
Практическая работа №7. Расчет динамических параметров схемы	27
Практическая работа № 8. Синтез дешифраторов	30
Практическая работа №9. Каскадное соединение дешифраторов.....	33
Практическая работа №10. Синтез преобразователя двоичных кодов.	39
Практическая работа №11. Преобразователи произвольных кодов.....	43
Практическая работа №12. Синтез мультиплексоров.	48
Практическая работа № 13. Построение функциональной схемы сумматора.	51
Практическая работа №14. Исследование работы АЛУ	53
Практическая работа №15. Цифровые компараторы.....	56
Практическая работа №16. Разработка и моделирование процессов передачи информации через драйверные схемы.....	59
Практическая работа №17. Моделирование и исследование логики работы асинхронных RS-триггеров.	60
Практическая работа №18. Моделирование и исследование логики работы синхронных RS-триггеров.	63
Практическая работа №19. Моделирование и исследование логики работы D-триггеров.....	67
Практическая работа №20. Моделирование и исследование логики работы T-триггеров.	69
Практическая работа №21. Моделирование и исследование логики работы JK-триггеров.	71
Практическая работа №22. Взаимное преобразование триггеров.....	73
Практическая работа №23. Исследование принципов построения и функционирования цифровых автоматов.....	76
Практическая работа №24. Реализация функций, выполняемых статическими регистрами.	82
Практическая работа №25. Формирование осведомительных сигналов.....	87
Практическая работа №26. Синтез и исследование работы регистров.....	89
Практическая работа №27. Синтез регистра сдвига.	97
Практическая работа №28. Разработка принципиальной схемы генератора двоичных чисел на D-триггерах.	100
Практическая работа №29. Синтез суммирующего счетчика.	102
Практическая работа №30. Синтез вычитающего счетчика.	104
Практическая работа №31. Синтез реверсивного счетчика.	106
Практическая работа №32. Исследование цифроаналоговых преобразователей.	107
Практическая работа №33. Исследование аналого-цифровых преобразователей.....	114
Практическая работа №34. Исследование двойного преобразования (АЦП-ЦАП).	116
Практическая работа №35. Электронный усилитель. Биполярные транзисторы.	118
Практическая работа №36. Исследование параметров операционных усилителей	121
Практическая работа №37. Исследование статических свойств операционных усилителей.....	124
Практическая работа №38. Исследование динамических свойств операционных усилителей	126
Практическая работа №39. Резисторно-транзисторная логика (РТЛ). Расчет режимов работы транзисторного ключа.....	129
Практическая работа №40. Диодно-транзисторная логика (ДТЛ).	132
Практическая работа №41. Микросхемы транзисторно-транзисторной логики (ТТЛ).	134
Практическая работа №42. Исследование логического элемента ТТЛ.	139
Практическая работа №43. Микросхемы эмиттерно-связанной логики (ЭСЛ).	140
Практическая работа №44. Микросхемы на КМОП (КМДП) – транзисторах.....	141

Практическая работа №45. Построение логического элемента КМОП И-НЕ в среде NI Multisim.	142
Практическая работа №46. Разработка электронной схемы программируемой логической матрицы.	143
Практическая работа №47. Синтез схем на программируемых логических матрицах, в том числе с ограничениями на параметры ПЛМ.	145
Практическое занятие №48. Проектирование типовых узлов на основе программируемых логических матриц и программируемых логических интегральных микросхем.	148
Практическое занятие №49. Запоминающие устройства	155
Практическое занятие №50. Исследование режимов работы статического ОЗУ	160
Практическое занятие №51. Построение оперативного запоминающего устройства заданной ёмкости и разрядности.	162
Практическое занятие №52. Исследование работы масочного ПЗУ	163
Практическое занятие №53. Изучение структуры и принципов работы постоянного запоминающего устройства (ПЗУ) с неизменяемой информацией.	168
Практическое занятие №54. Исследование работы репрограммируемого постоянного запоминающего устройства.	173
Практическое занятие №55. Диагностика и обслуживание FLASH накопителей.	177
Практическое занятие №56. Принципы работы кэш-памяти.	181
Практическое занятие №57. Расчет параметров запоминающего устройства (ЗУ) по заданной интегральной микросхеме (ИМС).	182
Практическое занятие №58. Изучение ГОСТ на производство и эксплуатацию вычислительной техники.	184
Практическое занятие №59. Оформление комплекта конструкторской документации.	187
Практическое занятие №60. Изучение образцов конструкторских документов.	190
Практическое занятие №61. Изучение правил оформления схемной документации.	193
Практическое занятие №62. Выполнение схемы электрической структурной.	196
Практическое занятие №63. Оптимизация логических выражений и составление схемы электрической функциональной логического устройства.	201
Практическое занятие №64. Схемы электрические принципиальные	205
Практическое занятие №65. Правила выполнения электрических принципиальных схем.	217
Практическая работа №66. Составление эксплуатационной документации.	223
Практическая работа №67. Использование программы MS Visio для создания конструкторской документации.	225
Практическая работа №68. Использование программы MSVisio для создания чертежей электрических схем.	227
Практическая работа №69. Использование программы MS Visio для создания общих схем	228
Практическая работа №70. Использование программы MS Visio для создания схемы локальной сети предприятия.	229
Практическая работа №71. Использование программы MS Visio для создания структурных схем цифровых устройств с изображениями функциональных частей	231
Практическая работа №72. Расчет надежности электронных изделий.	233

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Программа МДК.01.01 Цифровая схемотехника предусматривает изучение и классификацию основных видов микросхем.

При изучении предмета следует соблюдать единство терминологии и обозначения в соответствии с действующими стандартами, Международной системной единицы (СИ).

В результате изучения МДК.01.01 Цифровая схемотехника студенты *должны*
Уметь:

выполнять анализ и синтез комбинационных схем;

проводить исследования работы цифровых устройств и проверку их на работоспособность; разрабатывать схемы цифровых устройств на основе интегральных схем разной степени интеграции;

выполнять требования нормативно-технической документации;

Знать:

арифметические и логические основы цифровой техники;

правила оформления схем цифровых устройств;

условия эксплуатации цифровых устройств, обеспечение их помехоустойчивости и тепловых режимов, защиты от механических воздействий и агрессивной среды;

методы оценки качества и надежности цифровых устройств;

основы технологических процессов производства СВТ;

регламенты, процедуры, технические условия и нормативы.

Общие методические указания к выполнению практических работ

По МДК.01.01 Цифровая схемотехника практические работы содержат задачи и теоретические вопросы. Варианты для каждого обучающегося – индивидуальные.

Задачи и ответы на вопросы, выполненные не по своему варианту, не засчитываются.

Практическая работа выполняется в отдельной тетради. Условия задачи и формулировки вопросов переписываются полностью. Формулы, расчеты, ответы на вопросы пишутся ручкой, а чертежи, схемы и рисунки выполняются карандашом, на графиках и диаграммах указывается масштаб. Вначале задача решается в общем виде, затем делаются расчёты по условию задания. Решение задач обязательно ведется в Международной системе единиц (СИ).

При выполнении практической работы необходимо следовать методическим указаниям: повторить краткое содержание теории, запомнить основные формулы и законы, проанализировать пример выполнения аналогичного задания, затем преступить непосредственно к решению задачи. К зачету допускаются студенты, получившие положительные оценки по всем практическим работам.

Правила выполнения практических работ.

1. Студент должен прийти на практическое занятие подготовленным к выполнению практической работы.

2. Каждый студент после проведения работы должен представить отчет о проделанной работе с анализом полученных результатов и выводом по работе.

3. Таблицы и рисунки следует выполнять с помощью чертежных инструментов (линейки, циркуля, и т.д.) карандашом с соблюдением ЕСКД.

4. Расчет следует проводить с точностью до двух значащих цифр.

5. Исправления проводить на обратной стороне листа. При мелких исправлениях неправильное слово (буква, число и т.п.) аккуратно зачеркивается и над ним пишут правильное пропущенное слово (букву, число и т.п.).

6. Вспомогательные расчеты можно выполнять на отдельных листах, а при необходимости на листах отчета.

7. Если студент не выполнит практическую работу или часть работы, то он выполнит ее во внеурочное время, согласованное с преподавателем.

8. Оценку по практической работе студент получает с учетом срока выполнения работы, если;

- расчеты выполнены правильно и в полном объеме;
- сделан анализ проделанной работы и вывод по результатам работы;
- студент может пояснить выполнение любого этапа работы;
- отчет выполнен в соответствии с требованиями к выполнению работы.

Практическая работа №1. Изучение видов и условных обозначений цифровых микросхем.

Цель работы: изучение видов и условных обозначений цифровых микросхем, приобретение навыков определения правильности работы логического элемента.

Краткие теоретические сведения

Цифровые микросхемы предназначены для преобразования и обработки сигналов, изменяющихся по законам дискретной функции. Они применяются для построения ЦВМ, а также цифровых узлов измерительных приборов, аппаратуры автоматического управления, связи и т. д.

По конструктивно-технологическому исполнению все цифровые ИС делятся на группы. По характеру выполняемых функций в аппаратуре ИС подразделяются на подгруппы (к примеру, логические элементы, триггеры и т.д.) и виды внутри подгрупп (к примеру, триггеры с задержкой, триггеры универсальные и т.д.). Разделение цифровых ИС на подгруппы и виды по функциональному назначению приведены в таблице 1.1.

Таблица 1.1.

Подгруппы и виды ЦИС

Подгруппа и вид ИС	Обозначение
Схемы арифметических и дискретных устройств:	ИА
шифраторы	ИБ
дешифраторы	ИД
счетчики	ИЕ
комбинированные	ИК
полусумматоры	ИЛ
сумматоры	ИМ
прочие	ИП
регистры	ИР
Логические элементы	
И-НЕ	ЛА
И-НЕ/ИЛИ-НЕ	ЛБ
расширители	ЛД
ИЛИ-НЕ	ЛЕ
И	ЛИ
И-ИЛИ-НЕ/И-ИЛИ	ЛК
ИЛИ	ЛЛ
ИЛИ-НЕ/ИЛИ	ЛМ
НЕ	ЛН
прочие	ЛП
И-ИЛИ-НЕ	ЛР
И-ИЛИ	ЛС
Схемы запоминающих устройств (ЗУ)	
ассоциативные ЗУ	РА
матрицы постоянных ЗУ	РВ
матрицы оперативных ЗУ	РМ
постоянные ЗУ (масочные)	РЕ
прочие	РП

постоянные ЗУ с возможностью многократного электрического перепрограммирования	РТ
оперативные ЗУ	РУ
постоянные ЗУ с ультрафиолетовым стиранием и электрической записью информации	РФ
Триггеры	
универсальные (типа JK)	ТВ
динамические	ТД
комбинированные	ТК
Шмитта	ТЛ
с задержкой (типа D)	ТМ
прочие	ТП
с отдельным запуском (типа RS)	ТР
счетные (типа T)	ТТ

Сведения о подгруппе и виде микросхемы содержатся в ее условном обозначении.

В соответствии с ГОСТ 17021—75 обозначение цифровых ИС должно состоять из четырех элементов. Первый из них — цифра (1, 5, 7), обозначающая группу ИС. Она определяется конструктивно-технологическим исполнением ИС. Второй элемент — две или три цифры (от 00 до 99 либо от 000 до 999), указывающие порядковый номер разработки серии ИС. Третий элемент — две буквы, обозначающие подгруппу и вид микросхемы, определяющие основные функциональные назначения ИС (таблица). Четвертый элемент — число, обозначающее порядковый номер разработки ИС по функциональному признаку в данной серии.

Два первых элемента обозначают серию ИС. Под серией понимают совокупность типов ИС, которые могут выполнять различные функции, имеют единое конструктивно-технологическое исполнение и предназначены для совместного применения.

Пример условного обозначения интегральной полупроводниковой логической микросхемы К155ЛА3, представляющей логический элемент И-НЕ с порядковым номером разработки серии — 55, порядковым номером разработки данной схемы в серии по функциональному признаку — 3 приведен ниже (рисунок 1)

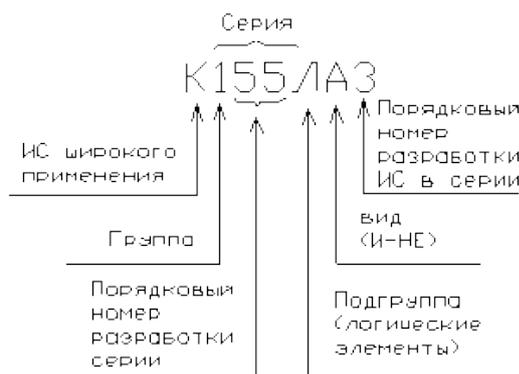


Рисунок 1.

При крайней важности разработчик ИС вправе после порядкового номера разработки ИС по функциональному признаку в данной серии дополнительно поместить букву (от А до Я), обозначающую отличие электрических параметров ИС одного типа (к примеру, 531ЛА1П). Конечная буква при маркировке должна быть заменена точкой. Цвет ее указывается в технических условиях (ТУ) на ИС конкретных типов. Для микросхем, используемых в устройствах широкого применения, в начале обозначения добавляется буква К (к примеру, К1533ЛА3). Как правило, ИС с буквой К отличаются от микросхем, не имеющих ее, условиями приемки на заводе-изготовителе, т. е. отличаются не только диапазоном температур, при которых они бывают использованы, но и численными значениями некоторых параметров.

В последнее время для некоторых ИС после буквы К ставится дополнительная буква, указывающая особенность конструктивного исполнения (к примеру, КР, КМ, КФ).

Для бескорпусных ИС перед цифровым обозначением серии добавляют букву Б, а после обозначения порядкового номера разработки ИС по функциональному признаку в данной серии (или после дополнительного буквенного обозначения) через дефис указывают цифру, характеризующую модификацию конструктивного исполнения (к примеру, Б133ЛА3-1).

Согласно ГОСТ 2.743-82 условное графическое обозначение (УГО) элемента цифровой логики имеет форму прямоугольника, к которому подводят линии выводов. УГО элементов может содержать три поля: основное и два дополнительных. Дополнительные поля располагают слева и справа от основного. Допускается дополнительные поля разделять на зоны, которые отделяют горизонтальной чертой. В первой строке основного поля помещают обозначение функции, выполняемой элементом. В дополнительных полях помещают информацию о функциональных назначениях выводов. Линии выводов характеризуются меткой и указателем. Метка - это наименование вывода. Указатель характеризует свойства вывода. Входы элемента изображают с левой стороны УГО, выходы – с правой стороны. Размеры УГО определяются по высоте:

- количеством линий выводов;
 - количеством интервалов;
 - количеством строк информации в основном и дополнительных полях;
 - размером шрифта;
- по ширине:
- наличием дополнительных полей;
 - количеством знаков, помещаемых в одной строке внутри УГО;
 - размером шрифта.

Расстояние между линиями выводов должно быть не менее и кратным величине С (минимальное С = 5 мм).

Расстояние между горизонтальной стороной УГО, границей зоны и линией вывода должно быть не менее и кратным С/2 (рисунок 2).

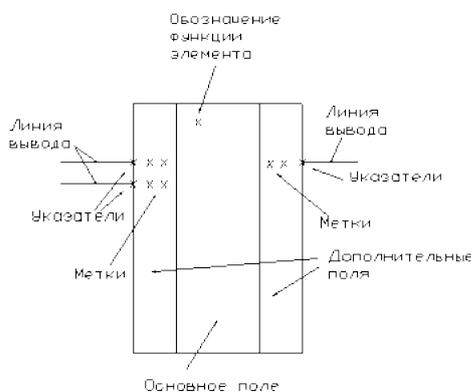


Рисунок 2

Начертание и размеры условных графических обозначений (далее для краткости — УГО) элементов должны быть такими, как указано в стандартах.

Составляя схему устройства, следует придерживаться общепринятого правила вход — слева, выход — справа.

УГО наиболее часто встречающихся в схемах элементов и их размеры в масштабе 1:1 приведены на рисунке. Возле каждого элемента (желательно сверху или справа) должно быть указано его позиционное обозначение (R1, R2, ..., C1, C2 и т.д.). Нумеровать элементы крайне важно слева направо — сверху вниз, к примеру, так:

R1 R4 R7 R9
R2 R5
R3 R6 R8 R10

Для упрощения схем нередко используют слияние линий электрической связи в одну так называемую групповую линию связи, которую изображают утолщенной линией. В непосредственной близости от мест входа в групповую линию обычно нумеруют. Вместо номеров

можно использовать буквенные обозначения сигналов, иногда это упрощает чтение схемы. Минимальное расстояние между соседними линиями, отходящими от групповой в разные стороны, должно быть не менее 2 мм (в масштабе 1:1). Линии, выходящие из конца линии групповой связи, изображают линиями нормальной толщины.

УГО микросхем цифровой и аналоговой техники построены на базе прямоугольников, называемых полями. УГО простейших устройств (к примеру, логических элементов) состоят только из основного поля, в более сложных к нему добавляют одно или два дополнительных, располагаемых слева и справа. В основном поле помещают надписи и знаки, обозначающие функциональное назначение элемента или микросхемы, в дополнительных – так называемые метки, поясняющие назначение выводов. Ширина полей определяется числом знаков (с учетом пробелов) Минимальная ширина основного поля – 10, дополнительных – 5 мм. Расстояние между выводами, а также между выводом и горизонтальной стороной УГО или границей зоны, отделяющей одни выводы от других, – 5 мм (все размеры в масштабе 1:1).

В местах присоединения линий-выводов изображают специальные знаки (указатели), характеризующие их особые свойства, небольшой кружок (инверсия), наклонную черточку ("/" – прямой, "\" – инверсный динамический вход), крестик (вывод, не несущий логической информации, к примеру, вывод питания).

В правом поле УГО цифровых микросхем иногда помещают знаки, построенные на базе ромбика. В случае если он снабжен черточкой сверху, это означает, что данный вывод соединен с коллектором р-п-р транзистора, эмиттером п-р-п транзистора, стоком полевого с р-каналом или истоком транзистора с п-каналом. В случае если же названные электроды принадлежат транзисторам противоположной структуры или приборам с каналом противоположного типа, черточку помещают снизу. Ромбиком с черточкой внутри обозначают вывод с так называемым состоянием высокого выходного сопротивления (Z-состоянием).

Чтобы не загромождать схему цепями питания цифровых микросхем, соответствующие выводы в их УГО обычно не изображают, а, чтобы было ясно, к каким выводам подводится питание, в местах, откуда оно поступает (выход источника питания, цепь, к которой подключается внешний источник), помещают стрелки с адресами, к примеру, "К выв. 14 DD1, DD2, выв. 10 DD3, DD4, выв. 16 DD5, DD6"

И, наконец, – об УГО, используемых в структурных и функциональных схемах. Их основа – квадрат, в котором указывается функциональное назначение устройства. В частности, символ генератора помимо буквы G, может содержать область частот (одна синусоида – низкие частоты, две – звуковые, три – высокие), конкретное значение частоты (к примеру, 500 кГц), форму колебаний в виде упрощенной осциллограммы, наличие стабилизации частоты и т. д.

Два или три символа синусоиды используют также для указания назначения фильтров, но здесь они обозначают полосы частот. К примеру, в УГО фильтров верхних (ФВЧ) и нижних частот (ФНЧ) две синусоиды символизируют колебания частот, лежащих выше и ниже частоты раздела (в первом случае зачеркнута нижняя синусоида, следовательно, устройство пропускает сигналы с частотой выше частоты среза, во втором — верхняя, что говорит о пропуске сигналов ниже этой частоты). В УГО полосового и режекторного фильтров — три синусоиды. Как и в предыдущем случае, пропускаются полосы частот, обозначенные не зачеркнутыми синусоидами: если зачеркнуты верхняя и нижняя, — фильтр полосовой, а если средняя, — режекторный.

Усилители обозначают либо квадратом с треугольником — символом усиления — внутри, либо равносторонним треугольником (вершина с выводом выхода — направление передачи сигнала). Предпочтительно второе УГО: оно более наглядно и к тому же позволяет указать в нем, к примеру, число каскадов устройства (его вписывают в треугольник).

УГО линий задержки вместо символов сосредоточенных и распределенных параметров могут содержать численное значение времени задержки, а также знаки, обозначающие способ преобразования: пьезоэлектрический (в виде символа кварцевого резонатора), магнитострикционный (две горизонтально расположенные полуокружности).

Содержание отчета

Отчет по работе должен содержать:

- а) наименование и цель работы;
- б) технические данные цифровых микросхем;

в) выводы по работе.

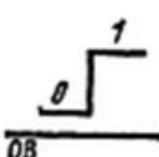
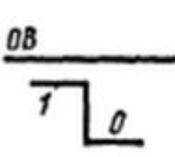
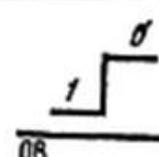
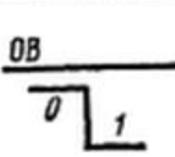
Практическое занятие №2. Изучение конструкторских и электрических параметров цифровых микросхем.

Цель работы: изучение терминов, определений, классификации и системы условных обозначений, применяемых в микроэлектронике, а также конструктивно-технологических параметров полупроводниковых микросхем.

Краткие теоретические сведения.

Большинство цифровых микросхем относятся к потенциальным микросхемам: сигнал на их входе и выходе представляется высоким и низким уровнем напряжения. Указанным двум состояниям сигнала ставятся в соответствие логические значения 1 и 0. В зависимости от кодирования состояния двоичного сигнала различают положительную и отрицательную логику (табл. 1).

Таблица 1

Вид логики	Полярность напряжения питания	
	Положительная	Отрицательная
Положительная		
Отрицательная		

Примечание. Состояния сигнала показаны относительно уровня нулевого потенциала.

Логические операции, выполняемые микросхемами, обычно указывают для положительной логики. Однако есть и исключения из этого правила, они в тексте будут оговорены.

Длительность потенциального сигнала определяется сменой информации: например, длительность сигнала на выходе микросхемы определяется временным интервалом между двумя входными сигналами. Иногда применительно к потенциальным микросхемам говорят, что они управляются положительными или отрицательными импульсами. В таких случаях речь идет о том, что для изменения состояния микросхемы необходимо на заданное время изменить уровень входного сигнала с 1 на 0 (отрицательный импульс) либо с 0 на 1 (положительный импульс).

Свойства цифровых микросхем характеризуют системой электрических параметров, которые для удобства рассмотрения разделим на статические и динамические.

Статические параметры характеризуют микросхему в статическом режиме. К ним относятся:

напряжение источника питания $U_{и.п.}$; входное $U^{0вх}$ и выходное $U^{0вых}$ напряжения логического 0; входное $U^{1вх}$ и выходное $U^{1вых}$ напряжения логической 1; входной $I^{0вх}$, $I^{1вх}$ и выходной $I^{0вых}$, $I^{1вых}$ токи логического 0 и логической 1;

коэффициент разветвления по выходу Краз, определяющий число входов микросхем — нагрузок, которые можно одновременно подключить к выходу данной микросхемы; в этом смысле часто употребляют термин «нагрузочная способность» микросхемы;

коэффициент объединения по входу Коб, определяющий число входов микросхемы, по которым реализуется логическая функция; допустимое напряжение статической помехи $U_{\text{пом}}$;

средняя потребляемая мощность $P_{\text{пот.ср}}$.

Последние два параметра нуждаются в кратком пояснении.

Допустимое напряжение статической помехи характеризует статическую помехоустойчивость микросхемы, т. е. ее способность противостоять воздействию мешающего сигнала, длительность которого значительно превосходит время переключения микросхемы. Такая помеха и названа статической. Напряжение допустимой статической помехи обычно определяется как разность выходного и входного напряжений, соответствующих уровню логической 1 либо уровню логического 0 (в расчет принимается наименьшее значение U_a): $U_{1n} = U_{1\text{вх}} - U_{1\text{вых}}$; $U_{0n} = U_{0\text{вх}} - U_{0\text{вых}}$.

Средняя потребляемая мощность определяется выражением

$$P_{\text{пот.ср}} = (P_{0\text{пот}} + P_{1\text{пот}}) / 2,$$

где $P_{0\text{пот}}$, $P_{1\text{пот}}$ — потребляемая микросхемой мощность в состоянии соответственно 0 и 1 на выходе.

Общепринятое усреднение потребляемой мощности оправдано тем, что обычно во время работы в составе цифрового устройства логические микросхемы половину времени находятся в открытом состоянии, а другую половину времени — в закрытом.

Средняя потребляемая мощность тесно связана с быстродействием микросхемы (ее временем переключения или рабочей частотой переключения); чем больше средняя потребляемая мощность, тем с большей частотой может переключаться микросхема.

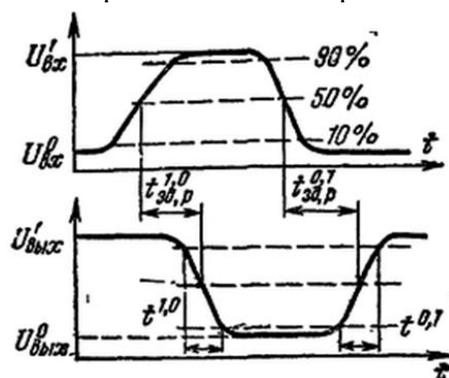


Рис. 1. Временные диаграммы напряжений на входе и выходе логической микросхемы

Для многих типов микросхем характерно заметное увеличение потребляемой мощности с ростом частоты переключения, что связано с увеличением потребления мощности в процессе переключения по сравнению со статическим режимом. Учитывая это, следует при расчетах реального энергопотребления цифрового устройства ориентироваться на мощность, потребляемую микросхемами в режиме переключения с заданной частотой, т. е. на мощность, потребляемую в динамическом режиме.

Динамические параметры характеризуют свойства микросхемы в режиме переключения. В основном это временные параметры микросхемы:

- время перехода из состояния логического 0 в состояние логической 1 $t_{0,1}$;
- время задержки распространения сигнала при выключении микросхемы $t_{0,1зд,р}$;
- время перехода из состояния логической 1 в состояние логического 0 $t_{1,0}$;
- время задержки распространения сигнала при включении микросхемы $t_{1,0зд,р}$;
- среднее время задержки распространения сигнала $t_{зд,р,ср}$.

Динамические параметры определяют при сравнении сигналов на входе и выходе логического элемента. На рис. 1 приведены временные диаграммы входного и выходного сигналов и показаны уровни отсчета, относительно которых определяют динамические параметры.

Среднее время задержки служит усредненным параметром быстродействия и определяется как полусумма задержек $t_{0,1зд,р}$ и $t_{1,0зд,р}$.

Этот параметр часто является основным при расчете рабочей частоты сложных логических устройств.

Среднее время задержки зависит от многих факторов: принципа построения логических элементов, наличия или отсутствия режима насыщения у входящих в схему транзисторов, величины переключающих токов и т. д. Кроме того, на среднее время задержки оказывают существенное влияние и условия работы микросхемы: температура окружающей среды, изменения питающих напряжений, емкость нагрузки и т. д.

Стремление обеспечить высокую надежность аппаратуры заставляет принимать в расчет те значения параметров логических элементов, в том числе и среднего времени задержки, которые соответствуют наилучшим условиям их работы.



Рис. 2. Характеристика динамической помехоустойчивости логической микросхемы

При использовании в расчетах справочных данных необходимо обращать внимание на то, для каких условий приведены эти данные и при необходимости перерасчитывать параметры с учетом реальных условий работы микросхем.

Например, расчеты, уточняющие среднее время задержки, можно производить с помощью коэффициентов, отражающих влияние на значение среднего времени задержки температуры и емкости нагрузки K_C :

$$t_{зд, р, ср} (при T^2) = t_{зд, р, ср} (при T^1) + \alpha_T (T^2 - T^1),$$

$$t_{зд, р, ср} (при C_{н2}) = t_{зд, р, ср} (при C_{н1}) + K_C (C_{н2} - C_{н1}).$$

При этом предполагается линейная зависимость среднего времени задержки от указанных факторов.

К числу динамических параметров следует отнести также динамическую помехоустойчивость, характеризующую способность микросхемы противостоять воздействию импульсной помехи, длительность которой соизмерима со средним временем задержки передачи сигнала через микросхему.

Количественно динамическая помехоустойчивость определяется амплитудой и длительностью импульса помехи, но чаще с помощью характеристики (рис. 2), отражающей зависимость допустимой амплитуды импульса помехи от длительности этого импульса. Из рисунка видно, что по мере увеличения длительности импульса помехи допустимая амплитуда помехи снижается до уровня максимально-допустимого напряжения статической помехи.

Заметим, что указанные параметры широко используют для характеристики как микросхемы в целом, так и отдельных ее элементов: логических элементов, триггеров и др.

Эксплуатационные параметры характеризуют работоспособность интегральных микросхем в условиях воздействия окружающей среды. К ним относятся: диапазон рабочих температур, допустимые механические нагрузки (вибрации, удары, линейные ускорения), границы допустимого изменения атмосферного давления, наибольшая влажность и некоторые другие.

Ход работы.

1. Для представленных ИМС по маркировке определить тип микросхемы и ее функциональное назначение. Результаты занести в таблицу

Таблица 1

№п/п	Обозначение ИМС	Тип ИМС	Выполняемая функция ИМС
------	-----------------	---------	-------------------------

--	--	--	--

2. Дать классификацию представленных корпусов по форме проекции корпуса на плоскость основания и расположению выводов корпуса.

3. Классифицировать представленные корпуса по конструктивно -технологическому исполнению.

4. Результаты занести в таблицу 2.

Таблица 2

№п/п	Наименование ИМС	Тип корпуса по форме проекции и расположению выводов	Конструктивно-технологическое исполнение корпусов	Область применения

5. Сделать вывод о работе.

Практическая работа №3. Изучение форм сигналов и их параметров.

Цель: изучить основные виды сигналов, их формы; изучить основные параметры импульсного сигнала: низкий и высокий логические уровни, частота повторения, фронт, срез.

Основные теоретические сведения

Форма сигналов.

Сигналом называют физический процесс, несущий информацию. Сигналы могут быть звуковыми, световыми, электрическими.

Информация сосредоточена в изменениях параметров физического процесса. Если параметры процесса не меняются, то не является сигналом. Так, неизменные звук, световой поток, синусоидальное электрическое колебание никакого сообщения не содержат. Наоборот, в изменениях громкости и тона звука, яркости и цвета светового излучения, амплитуды, частоты и фазы электрического колебания запечатлена информация. Информацией является также появление или окончание, например, звукового сигнала, т.е. его изменения.

Сигналы на выходе микрофона, передающей телекамеры, различного рода датчиков аналогичны по своему «рисунку» воздействиям на эти устройства – звуковому давлению, распределению освещенности, температуре и т.п. поэтому подобные сигналы называются *аналоговыми*. Между минимальным и максимальным значениями аналоговый сигнал может иметь любое значение. Обычно аналоговые сигналы являются непрерывными. Устройства, в которых действуют такие сигналы, называют *аналоговыми*.

Прерывистые кратковременные электрические колебания используются в импульсной технике. ЭВМ созданы на основе импульсной техники. Эта техника также является составной частью радиоэлектроники, телевидения, многоканальной связи. Причем различная аппаратура содержит узлы, вырабатывающие импульсы различной формы. Кроме этого, прерывистость импульсных колебаний дает возможность осуществить многоканальную связь. Используя один канал, импульсы, передающие одно сообщение, размещаются в паузах между импульсами, передающими другое сообщение. Устройства, в которых действуют электрические импульсы, называют *импульсными*.

Электрическим импульсом называют отклонение напряжения или тока от некоторого постоянного уровня (в частности, от нулевого), наблюдаемое в течение времени, которое меньше или сравнимо с длительностью переходных процессов в схеме.

Существуют два вида импульсов:

- видеоимпульсы (получившие свое название из телевидения, где они широко используются);
- радиоимпульсы.

Видеоимпульсы получают при коммутации цепи постоянного тока. Наиболее часто используют видеоимпульсы прямоугольной (рис.1а), трапециoidalной (рис.1б), экспоненциальной (остроконечной) (рис.1в), пилообразной (рис.1г) и треугольной (рис.1д) форм.

Различают видеоимпульсы положительной (рис.1,а,б,г,д) и отрицательной (рис.1,в) полярности, а также двусторонние – разнополярные импульсы (рис.1,е). Следует иметь в виду, что реальные импульсы не имеют формы, строго соответствующей названию.

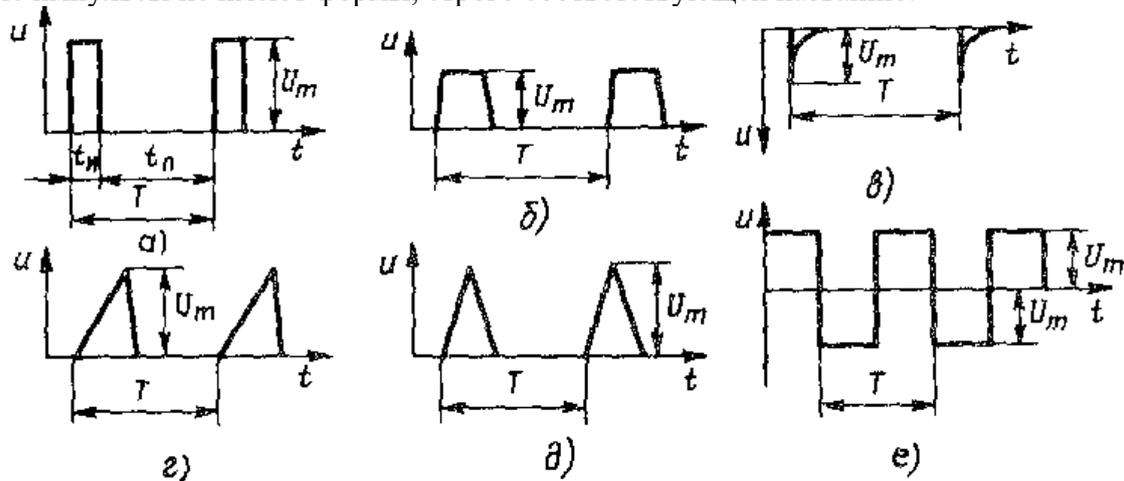


Рисунок 1.

Радиоимпульсы (рис.2) представляют собой кратковременные посылки синусоидального напряжения или тока.

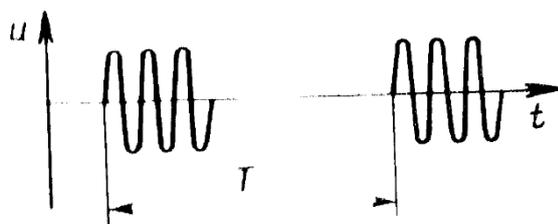


Рисунок 2.

Они снимаются с выхода высокочастотного генератора, который управляется (моделируется) видеоимпульсами. Поэтому форма огибающей радиоимпульсов соответствует форме модулирующих видеоимпульсов. Радиоимпульсы – результат модуляции амплитуды высокочастотного колебания прямоугольными видеоимпульсами.

Импульсное колебание, параметры которого изменяются в соответствии с передаваемой информацией, является сигналом. Такой сигнал относят к аналоговым, т.к. в диапазоне своих изменений он может принимать любое значение. Импульсный сигнал называют *дискретным*, так как он составляется элементами – импульсами, действующими в отдельные (дискретные) моменты времени. Эти импульсы являются выборками (отсчетами) непрерывного сигнала. Процесс взятия отсчетов называется *дискретизацией* непрерывного сигнала, а их период - *период дискретизации*. Вместо передачи непрерывного сигнала можно передавать соответствующий ему дискретный сигнал. В основе этого утверждения лежит теорема отсчетов, сформулированная и доказанная советским академиком В.А. Котельниковым.

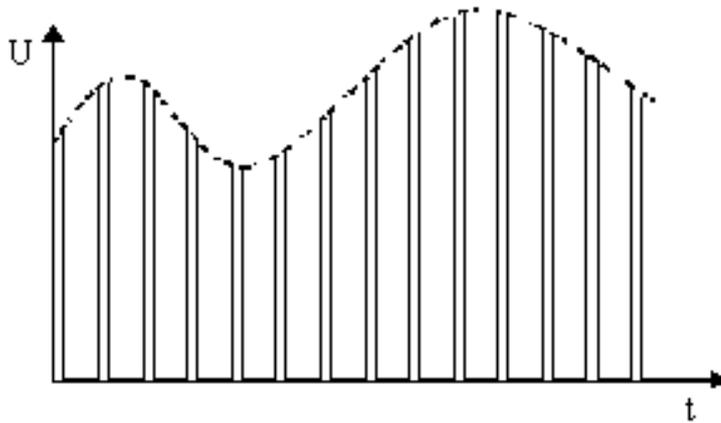


Рисунок 3.

Параметры сигнала: низкий и высокий логические уровни, частота повторения, фронт, срез.

Введем понятие об основных параметрах сигналов (импульсов) на примере реального прямоугольного импульса:

Длительность.

За активную длительность импульса $t_{на}$ принимают промежуток времени, измеренный на уровне, соответствующем половине амплитуды.

Иногда длительность сигналов определяют на уровне $0,1U_m$ ($0,1I_m$) или по основанию импульса. В дальнейшем, длительность импульса будем определять по основанию и обозначать t_u (см.рис.1). Длительность импульса выражается в единицах времени: секундах (с), миллисекундах ($мс=10^{-3}с$), микросекундах ($мкс=10^{-6}с$) и наносекундах ($нс=10^{-9}с$).

Амплитуда.

Наибольшее значение напряжения или тока импульса данной формы является амплитудой U_m (I_m).

Амплитуда импульса U_m (I_m) выражается в вольтах (В), киловольтах ($кВ=10^3В$), милливольтмах ($мВ=10^{-3}В$) и микровольтах ($мкВ=10^{-6}В$) (или амперах (А), миллиамперах (мА) и микроамперах (мкА)).

Длительность и крутизна фронта импульса.

Импульс имеет *передний фронт* и *срез*, последний также называют *задним фронтом*.

Длительность переднего фронта импульса определяется временем нарастания импульса, а длительность среза – временем спада импульса.

Наиболее часто пользуются понятием *активной длительности фронта* t_f , за которую принимают время нарастания импульса от $0,1U_m$ до $0,9U_m$; аналогично, длительность среза t_c – время спада импульса от $0,9U_m$ до $0,1U_m$.

Обычно длительность t_f и t_c составляет единицы процентов от длительности импульса. Чем меньше t_f и t_c по сравнению с t_u , тем больше форма импульса приближается к прямоугольной.

Иногда вместо t_f и t_c фронты импульса характеризуют *крутизной фронта (среза)* и выражают в вольтах в секунду (В/с), киловольтах в секунду (кВ/с). Участок импульса между фронтами называют *плоской вершиной*. На рисунке показан спад плоской вершины (ΔU), а также отрицательный выброс.

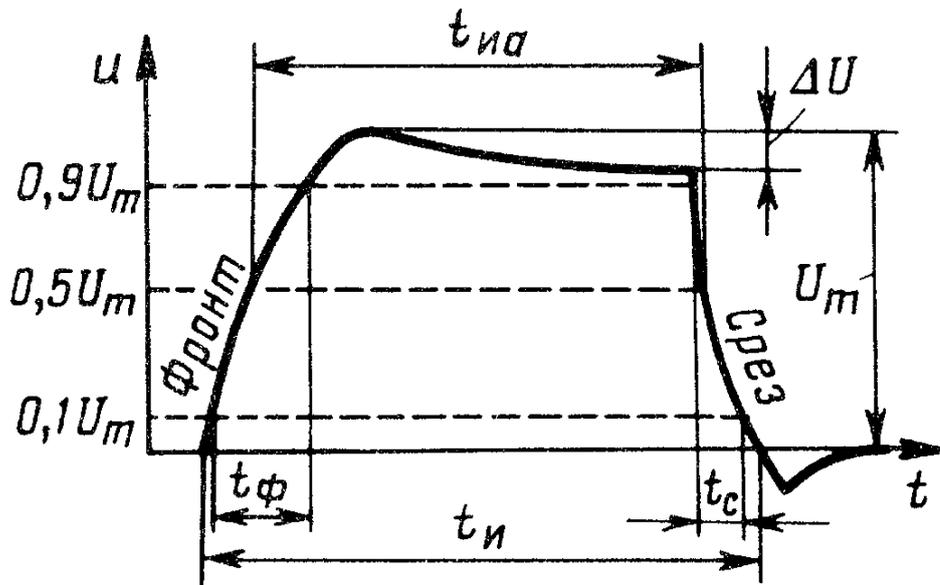


Рисунок 4.

Период повторения импульсов. Импульсы, повторяющиеся через разные промежутки времени, образуют периодическую последовательность.

Промежуток времени между началом двух соседних однополярных импульсов (рис.1а) называют периодом повторения (следования) импульсов T .

Он выражается в единицах времени: с, мс, мкс.

Величину, обратную периоду повторения, называют частотой повторения (следования) импульсов f .

Она определяет количество периодов в течение 1с и выражается в герцах (Гц), килогерцах (кГц) и т.д.

Указания по выполнению работы.

1. Ознакомиться с основными теоретическими положениями.
2. Составить классификацию видов сигналов:
3. Составить классификационную таблицу «Виды и формы импульсов»:

характеристика		
форма		
полярность		

4. Зарисовать рисунок реального прямоугольного импульса, охарактеризовать его основные параметры.

5. Составить отчет о работе. Сделать выводы. Ответить на контрольные вопросы.

Контрольные вопросы.

1. Что называется сигналом? Привести примеры.
2. Какой процесс может называться информационным?
3. Какие устройства называются аналоговыми?
4. Что такое электрический импульс?
5. На какие виды делят электрические импульсы, чем они отличаются друг от друга?
6. Почему импульсный сигнал называется дискретным?

Практическая работа №4. Схемная реализация функций алгебры логики (ДНФ)

Цель работы: разработать цифровое устройство, реализующее заданную таблицей истинности функцию алгебры логики (ФАЛ) в форме СДНФ, получить навыки минимизации ФАЛ.

Теоретические сведения

1. Аналитические формы записи булевых функций

Рассмотрим аналитическую запись булевых функций и метод перехода от таблицы задания функции к ее аналитическому представлению в форме СДНФ. Он состоит в следующем:

1. Выбрать в таблице задания функций $F(X_1, X_2, \dots, X_n)$ все наборы аргументов, на которых функция обращается в единицу.

2. Для каждого из выбранных наборов выписывается элементарная конъюнкция аргументов данной функции. При этом если аргумент X_i входит в данный набор как единица, то он включается в конъюнкцию без изменения, в противном случае в конъюнкцию включается его отрицание \bar{x}_i . Например, имеется функция от трех переменных $F(X_1, X_2, X_3)$, принимающая значение «единица» на наборе $X_1 = 0; X_2 = 1; X_3 = 1$. Этой ситуации будет соответствовать элементарная конъюнкция $\bar{x}_1 \cdot x_2 \cdot x_3$.

3. Все выписанные конъюнкции соединяются знаками дизъюнкции, при этом получаем аналитическую запись исходной функции F . Такую аналитическую запись называют «совершенной дизъюнктивной нормальной формой» (СДНФ) представления функции.

На рис.1 приводится пример получения СДНФ для функции $F(X_1, X_2, X_3)$, заданной таблично. Буквами a, b, c и d обозначены наборы, на которых $F = 1$ и соответствующие им элементарные конъюнкции.

X_1	X_2	X_3	F	
0	0	0	0	i
0	0	1	1	a
0	1	0	0	j
0	1	1	1	b
1	0	0	1	c
1	0	1	1	d
1	1	0	0	k
1	1	1	0	r

$$F = \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \cup \bar{X}_1 \cdot X_2 \cdot X_3 \cup X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cup X_1 \cdot \bar{X}_2 \cdot X_3$$

a
b

c
d

Рис. 1. Пример получения СДНФ.

Однако представление функции в виде СДНФ является в общем случае не оптимальным с точки зрения ее дальнейшей схемной реализации. Как правило, используя законы склеивания и поглощения, аналитическое выражение для F , заданное в виде СДНФ, можно упростить, а это, в свою очередь, приведет к снижению затрат при физической реализации КС. Упростим, например, СДНФ, полученную на рис.1:

$$F = \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 \cup \bar{X}_1 \cdot X_2 \cdot X_3 \cup X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 \cup X_1 \cdot \bar{X}_2 \cdot X_3 = \bar{X}_1 \cdot X_3 \cdot (\bar{X}_2 \cup X_2) \cup X_1 \cdot \bar{X}_2 \cdot (\bar{X}_3 \cup X_3) = \bar{X}_1 \cdot X_3 \cup X_1 \cdot \bar{X}_2$$

Реализация этого выражения на схемах И и ИЛИ показана на рис.2.

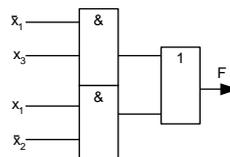


Рис.2. Пример упрощенной КС.

Результаты сравнения показывают, что схема на рис.2 содержит два двухвходовых элемента И и один двухвходовой элемент ИЛИ, а схема на рис.1, реализующая ту же функцию F , содержит четыре трехвходовых элемента И и один четырехвходовой элемент ИЛИ.

Следовательно, схема на рис.2 является более экономичной как по количеству элементов, так и по числу входов у этих элементов.

Таким образом, можно сделать вывод о том, что СДНФ не является, как правило, единственно возможной дизъюнктивной формой представления какой-либо булевой функции F. Обычно для этой же функции существуют другие дизъюнктивные формы представления называют: «дизъюнктивные нормальные формы» (ДНФ).

Среди всех возможных для данной функции ДНФ можно найти одну (или несколько), содержащую минимальное число букв. Такая ДНФ называется минимальной (МДНФ).

Таким образом, при синтезе КС (с одним входом) ставится задача получения не просто аналитического выражения для описывающей данную КС булевой функции, а выражения, содержащего минимальное число букв. Как правило, при этом речь идет о МДНФ, поскольку разработанные методы минимизации предназначены для получения именно этих форм. Затем по полученной МДНФ строится требуемая КС с приблизительно минимальным числом элементов. Слово «приблизительно» указывает на то, что имеющийся в нашем распоряжении набор интегральных логически элементов может не совпадать с набором элементов, вытекающим из МДНФ, по числу входов и (или) другим параметрам. В частности, МДНФ дают схему на элементах И, а многие промышленные интегральные серии базируются на элементах И-НЕ.

2. Минимизация булевых функций

Процесс получения МДНФ называют минимизацией. Разработано несколько десятков методов минимизации, позволяющих получить МДНФ либо из ее аналитического выражения для функции, либо из ее таблицы. Для функции от небольшого числа аргументов ($n \leq 6$) наибольшее распространение получил метод минимизации с помощью карт Карно. Рассмотрим далее этот метод минимизации.

Карты Карно для функций от n переменных представляют собой таблицу, состоящую из 2^n клеток. Каждой клетке ставится в соответствие один из возможных наборов аргументов. При этом различным клеткам должны соответствовать различные наборы. В то же время карта строится таким образом, чтобы склеивающиеся между собой элементарные конъюнкции располагались в соседних клетках карты. На рис.3 приведены карты Карно (один из возможных вариантов) соответственно для функций от трех и четырех аргументов.

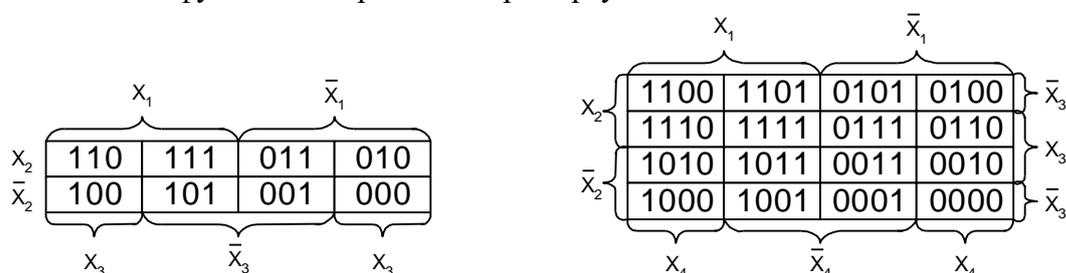


Рис.3. Примеры карт Карно.

Минимизация осуществляется по следующему алгоритму:

1. Значение функции переносится из таблицы в соответствующие клетки карты Карно. При этом, если функция задана в виде ДНФ, ее в начале нужно «развернуть» в СДНФ.
2. Все единицы на карте охватываются контурами. При этом должны соблюдаться следующие правила:

А) Любой контур представляет собой правильный прямоугольник и может охватывать только соседние единицы. Единицы, расположенные на противоположных краях карты, также являются соседними. Одна и та же единица может одновременно входить в различные контуры.

Б) контур может охватывать только 2^n (n - целое) единиц, то есть одну, две, четыре, восемь и т.д. единиц.

В) Контуры проводятся с таким расчетом, чтобы их было как можно меньше и в то же время каждый контур охватывал возможно большее число единиц.

3. Для каждого контура выписывается элементарная конъюнкция, которая составляется по следующему правилу:

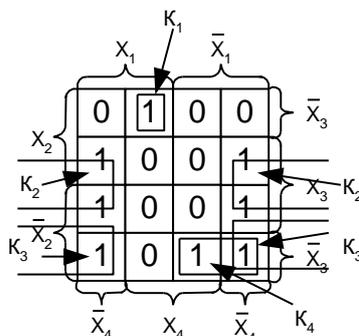
Назовем все клетки карты, которые относятся к переменной \bar{X}_i , областью определения этой переменной. Тогда переменная \bar{X}_i входит в составляемую конъюнкцию, если данный контур

полностью расположен в области ее определения, и не входит в конъюнкцию, если в этой области располагается только половина рассматриваемого контура.

4. Все выписанные конъюнкции объединяются знаками дизъюнкций. При этом получаем ДНФ функции. Если контуры проведены оптимальным образом, то полученная ДНФ представляет собой МДНФ функции.

На рис.4 приведен пример получения с помощью карты Карно МДНФ функции с заданной таблицей.

X ₁	X ₂	X ₃	X ₄	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0



$$F_{\text{мднф}} = X_1 X_2 \bar{X}_3 X_4 \cup X_3 \bar{X}_4 \cup \bar{X}_2 \bar{X}_4 \cup \bar{X}_1 \bar{X}_2 \bar{X}_3$$

Рис.4. Пример получения МДНФ функции.

В заключение отметим, что рассмотренные методы минимизации, как и другие существующие, предназначены для разработки КС с одним выходом. Если у схемы несколько выходов, то можно провести минимизацию для каждого выхода в отдельности. Однако в этом случае минимизация оказывается не оптимальной. Разработаны также методы совместной минимизации, предназначенные для КС со многими выходами, однако они слабо формализованы. Соответственно конечный результат при их использовании в основном зависит от опыта и сноровки человека.

Порядок выполнения работы

1. Для заданной таблицы истинности записать логическую функцию в форме СДНФ и разработать схему устройства.
2. Проверить схему, для этого собрать устройство в Multisim и измерить его таблицу истинности.
3. Выполнить минимизацию логической функции.
4. Проверить результаты минимизации, для этого собрать устройство в Multisim и измерить его таблицу истинности.
5. Варианты заданий к практической работе

Найти МДНФ заданной функции методом карт Карно и реализовать ее на элементарных микросхемах.

X ₁	X ₂	X ₃	X ₄	Номер варианта											
				1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	1	0	1	1	0	0	0	0	0	0	1	1
0	0	0	1	0	1	1	1	0	1	1	1	1	1	1	0
0	0	1	0	0	1	1	1	0	0	0	0	1	0	0	1
0	0	1	1	1	0	0	0	1	1	1	0	1	1	0	1
0	1	0	0	1	1	1	1	1	0	0	1	0	1	1	1

0	1	0	1	1	1	0	0	0	0	0	1	1	1	0	1
0	1	1	0	0	1	1	0	1	1	0	1	0	1	0	0
0	1	1	1	1	0	0	0	0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	0	1	0	0	0	1	0	1	1
1	0	0	1	0	1	1	0	1	0	0	1	0	0	0	0
1	0	1	0	0	0	0	0	1	1	1	0	0	1	1	0
1	0	1	1	1	0	0	0	0	1	1	0	0	1	0	1
1	1	0	0	1	1	1	1	1	0	1	0	1	0	1	1
1	1	0	1	0	1	0	1	0	1	1	1	0	0	0	0
1	1	1	0	0	0	0	0	1	0	0	1	1	0	0	1
1	1	1	1	1	0	1	1	0	1	1	1	0	1	1	1

Требования к отчету по практической работе

Отчет по практической работе должен содержать:

- заданную таблицу истинности и записанную по ней логическую функцию;
- заполненную карту Карно и минимизированную логическую функцию;
- графическое изображение полученной схемы.

Контрольные вопросы

1. Что называется комбинационной схемой?
2. Какие методы перехода от таблицы задания функции к ее аналитической форме вам известны?
3. Что называется минимизацией?

Практическая работа №5. Схемная реализация функций алгебры логики (КНФ)

Цель работы: разработать цифровое устройство, реализующее заданную таблицей истинности функцию алгебры логики (ФАЛ) в форме СКНФ, получить навыки минимизации ФАЛ.

Теоретические сведения

1. Аналитические формы записи булевых функций

Рассмотрим аналитическую запись булевых функций и метод перехода от таблицы задания функции к ее аналитическому представлению в форме СКНФ. Он состоит в следующем:

1. Выбрать в таблице задания функций $F(X_1, X_2, \dots, X_n)$ все наборы аргументов, на которых функция обращается в нуль.

2. Для каждого из выбранных наборов выписываются элементарные дизъюнкции аргументов данной функции. При этом если аргумент X_i входит в данный набор как нуль, то он включается в конъюнкцию без изменения, в противном случае в конъюнкцию включается его отрицание \bar{x}_i .

3. Все выписанные элементарные дизъюнкции берутся в скобки и объединяются знаками конъюнкции. При этом получаем СКНФ заданной функции.

В качестве примера построим СКНФ функции F :

$$F = (X_1 \cup X_2 \cup X_3)(X_1 \cup \bar{X}_2 \cup X_3)(\bar{X}_1 \cup \bar{X}_2 \cup X_3)(\bar{X}_1 \cup \bar{X}_2 \cup \bar{X}_3)$$

i
 j
 k
 r

Любая булева функция описывает некоторую комбинационную схему (КС) с одним выходом, которую можно реализовать физически на интегральных микросхемах. При этом переход от табличного описания КС к ее аналитическому описанию в виде СКНФ является весьма важным, так как последнее непосредственно задает функциональную схему КС. Например, для нашей СКНФ КС выглядит следующим образом (рис.1):

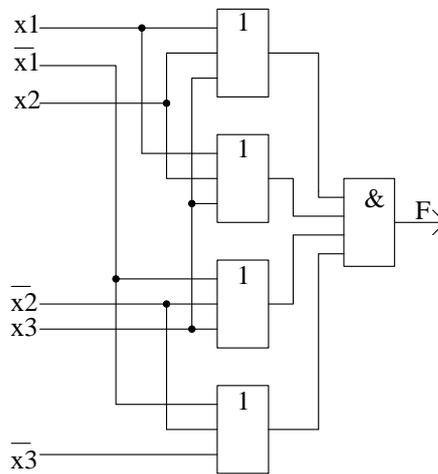


Рис.1. Пример комбинационной схемы.

Однако представление функции в виде СКНФ является в общем случае не оптимальным с точки зрения ее дальнейшей схемной реализации. Как правило, используя законы склеивания и поглощения, аналитическое выражение для F , заданное в виде СКНФ, можно упростить, а это, в свою очередь, приведет к снижению затрат при физической реализации КС. Упростим, например, СКНФ, полученную на рис.1:

$$F = (X_1 \cup X_2)(\bar{X}_1 \cup \bar{X}_3)$$

Реализация этого выражения на схемах ИЛИ и И показана на рис.2.

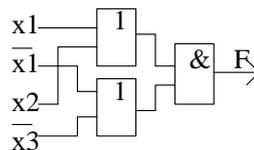


Рис.2. Пример упрощенной КС.

Результаты сравнения показывают, что схема на рис.2 содержит два двухвходовых элемента ИЛИ и один двухвходовой элемент И, а схема на рис.1 реализующая ту же функцию F , содержит четыре трехвходовых элемента ИЛИ и один четырехвходовой элемент И. Следовательно, схема на рис.2 является более экономичной как по количеству элементов, так и по числу входов у этих элементов.

Таким образом, можно сделать вывод о том, что СКНФ не является, как правило, единственно возможной дизъюнктивной (конъюнктивной) формой представления какой-либо булевой функции F . Обычно для этой же функции существуют другие конъюнктивные формы представления, содержащие меньшее число букв, чем СКНФ. Такие формы представления называют «конъюнктивные нормальные формы» (КНФ).

Среди всех возможных для данной функции КНФ можно найти одну (или несколько), содержащую минимальное число букв. Такая КНФ называется минимальной (МКНФ).

Таким образом, при синтезе КС (с одним входом) ставится задача получения не просто аналитического выражения для описывающей данную КС булевой функции, а выражения, содержащего минимальное число букв. Как правило, при этом речь идет об МКНФ, поскольку разработанные методы минимизации предназначены для получения именно этих форм. Затем по полученной МКНФ строится требуемая КС с приблизительно минимальным числом элементов. Слово «приблизительно» указывает на то, что имеющийся в нашем распоряжении набор интегральных логических элементов может не совпадать с набором элементов, вытекающим из МКНФ, по числу входов и (или) другим параметрам. В частности, МКНФ дают схему на элементах ИЛИ, а многие промышленные интегральные серии базируются на элементах ИЛИ-НЕ.

2. Минимизация булевых функций

Процесс получения МКНФ называют минимизацией. Разработано несколько десятков методов минимизации, позволяющих получить МКНФ либо из ее аналитического выражения для функции, либо из ее таблицы. Для функции от небольшого числа аргументов ($n \leq 6$) наибольшее

распространение получил метод минимизации с помощью карт Карно. Рассмотрим далее этот метод минимизации.

Минимизация осуществляется по следующему алгоритму:

1. Значение функции переносится из таблицы в соответствующие клетки карты Карно. При этом, если функция задана в виде ДНФ (КНФ), ее в начале нужно «развернуть» в СКНФ.

2. Все нули на карте охватываются контурами. При этом должны соблюдаться следующие правила:

А) Любой контур представляет собой правильный прямоугольник и может охватывать только соседние нули. Нули, расположенные на противоположных краях карты, также являются соседними. Один и тот же ноль может одновременно входить в различные контуры.

Б) контур может охватывать только 2^n (n - целое) нулей, то есть один, два, четыре, восемь и т.д. нулей.

В) Контуры проводятся с таким расчетом, чтобы их было как можно меньше и в то же время каждый контур охватывал возможно большее число нулей.

3. Для каждого контура выписывается элементарная дизъюнкция, которая составляется по следующему правилу: если данный контур входит полностью в область определения переменной \bar{X}_i , в дизъюнкцию включается инверсия этой переменной, в противном случае инверсия переменной \bar{X}_i в рассматриваемую дизъюнкцию не входит.

4. Все выписанные дизъюнкции объединяются знаками конъюнкций. При этом получаем КНФ функции. Если контуры проведены оптимальным образом, то полученная КНФ представляет собой МКНФ функции.

На рис.3 приведен пример получения с помощью карты Карно МКНФ функции с заданной таблицей.

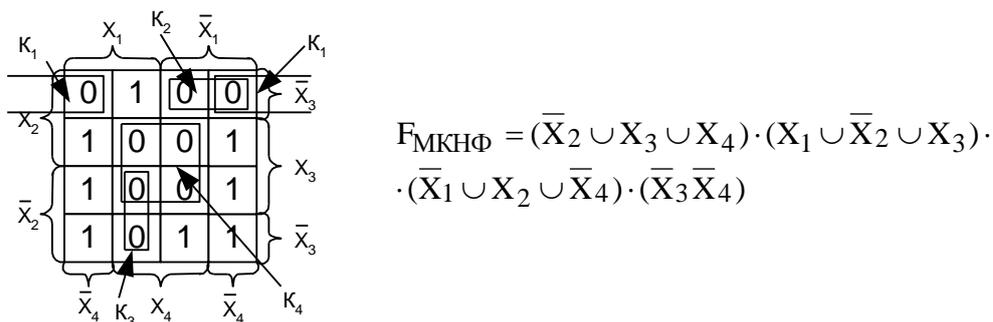


Рис.3. Пример получения МКНФ функции.

В заключение отметим, что рассмотренные методы минимизации, как и другие существующие, предназначены для разработки КС с одним выходом. Если у схемы несколько выходов, то можно провести минимизацию для каждого выхода в отдельности. Однако в этом случае минимизация оказывается не оптимальной. Разработаны также методы совместной минимизации, предназначенные для КС со многими выходами, однако они слабо формализованы. Соответственно конечный результат при их использовании в основном зависит от опыта и сноровки человека.

Порядок выполнения работы

1. Для заданной таблицы истинности записать логическую функцию и разработать схему устройства.
2. Проверить схему, для этого собрать устройство в Multisim и измерить его таблицу истинности.
3. Выполнить минимизацию логической функции.
4. Проверить результаты минимизации, для этого собрать устройство в Multisim и измерить его таблицу истинности.

Варианты заданий к практической работе

Найти МКНФ заданной функции и реализовать ее на элементарных микросхемах.

X ₁	X ₂	X ₃	X ₄	Номер варианта											
				1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	0
0	0	0	1	1	1	1	1	1	1	0	1	0	0	0	1
0	0	1	0	1	1	0	1	1	1	1	0	1	0	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	0	1	1
0	1	0	0	0	0	0	1	1	1	0	0	0	1	1	0
0	1	0	1	1	0	0	1	0	1	0	1	1	1	1	0
0	1	1	0	0	0	0	0	1	1	1	0	1	1	1	1
0	1	1	1	1	1	1	0	0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1	1	0	0	1	0	1	1	0
1	0	0	1	1	1	1	1	1	1	0	1	0	1	1	1
1	0	1	0	1	1	0	1	0	1	1	0	1	0	1	1
1	0	1	1	1	1	1	0	0	1	1	0	1	0	1	1
1	1	0	0	0	0	0	1	0	0	1	1	0	1	0	0
1	1	0	1	1	0	0	1	0	1	1	1	1	1	0	1
1	1	1	0	0	0	0	1	0	1	0	0	1	1	1	1
1	1	1	1	1	1	1	0	0	1	0	1	1	1	1	1

Требования к отчету по практической работе

Отчет по практической работе должен содержать:

- заданную таблицу истинности и записанную по ней логическую функцию;
- заполненную карту Карно и минимизированную логическую функцию;
- графическое изображение полученной схемы.

Контрольные вопросы

1. Что называется комбинационной схемой?
2. Какие методы перехода от таблицы задания функции к ее аналитической форме вам известны?
3. Что называется минимизацией?

Практическая работа №6. Проектирование одновыходной комбинационной схемы

Цель работы: ознакомиться с методикой и получить практические навыки синтеза комбинационных схем на интегральных микросхемах малой степени интеграции.

1. Минимизация булевых функций в базисах И – НЕ и ИЛИ – НЕ

Как уже отмечалось выше, не всегда в нашем распоряжении имеются микросхемы, соответствующие логическим функциям И и ИЛИ, задаваемым МДНФ (МКНФ). В частности, в данной практической работе используются микросхемы серий 155, 1533 (см. рис.1), выполненные в базисе И – НЕ, ИЛИ – НЕ.

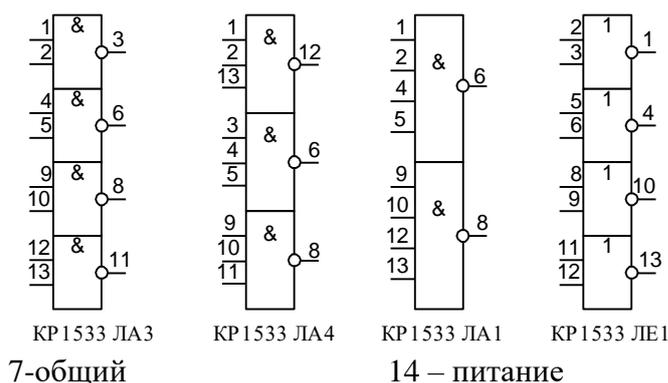


Рис. 1. Некоторые микросхемы серии KP1533

Рис. 1. Минимизация функции при помощи диаграмм Вейча.

Получим следующее минимальное выражение функции:

$$F_{\text{мин}}(x_3, x_2, x_1, x_0) = x_2 \bar{x}_0 \vee x_1 \bar{x}_0 \vee \bar{x}_3 \bar{x}_0 \vee x_3 x_2 x_1. \quad (1)$$

Преобразуем полученное выражение (1) к виду, удобному для реализации на элементах И-НЕ, т.е. запишем его в базисе Шеффера.

Преобразование выполняют по следующим правилам:

- все знаки конъюнкции и дизъюнкции заменяют на знаки «штрих Шеффера»;
- переменные, входящие в одну импликанту, заключают в скобки;
- однобуквенные импликанты инвертируют;
- исходное выражение, состоящее только из одной импликанты с числом букв 2 и более, после замены конъюнкции на «штрих Шеффера» инвертируют.

Примечание. Обычно легко запоминают первые два пункта правила перехода от ДНФ к функции Шеффера (это наиболее типичный случай) и забывают о частных случаях, отраженных в двух последних пунктах. Проиллюстрируем эти случаи.

Пример 1. Пусть полученное минимальное выражение:

$$F(a, b, c) = \bar{a} \vee b \bar{c}$$

Тогда преобразованное выражение будет выглядеть так:

$$F(a, b, c) = \bar{\bar{a}} | (b | \bar{c}) = a | (b | \bar{c}).$$

Пример 2. Допустим, исходное выражение имеет вид:

$$F(a, b, c) = \bar{a} b \bar{c}$$

После преобразования выражение будет выглядеть следующим образом:

$$F(a, b, c) = \bar{\bar{a}} | b | \bar{\bar{c}}.$$

В нашем примере получим:

$$F_1(x_3, x_2, x_1, x_0) = (x_2 | \bar{x}_0) | (x_1 | \bar{x}_0) | (\bar{x}_3 | \bar{x}_0) | (x_3 | x_2 | x_1). \quad (2)$$

Построение комбинационной схемы выполняют в следующей последовательности:

- вначале с помощью элементов НЕ получают инверсные значения переменных;
- затем, используя элементы И-НЕ, реализуют члены логической функции, заключенные в скобки;
- наконец, выходы элементов И-НЕ, использованных в п. б), подают на входы результирующего элемента И-НЕ.

Приведенная последовательность построения комбинационной схемы по полученному выражению (2) показана на рис. 2. Вначале с помощью инверторов D1 и D2 получают инверсные значения переменных x_0 и x_3 . Затем, используя элементы D3 - D6, реализуют члены логической функции, заключенные в скобки. Наконец, с помощью элемента D7 завершают построение схемы.

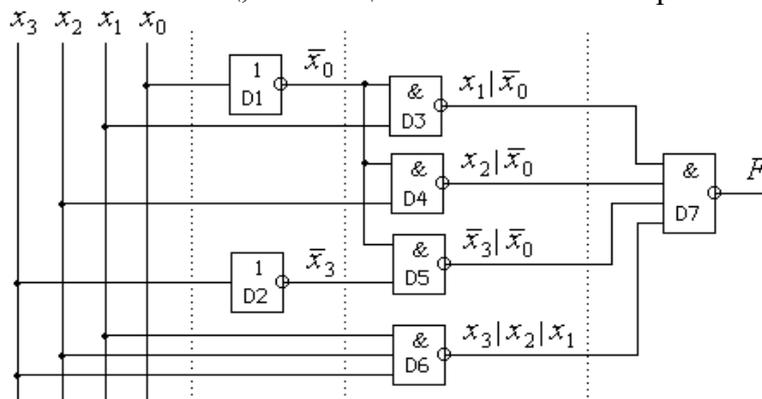


Рис. 2. Реализация комбинационной схемы на элементах И-НЕ

Временная диаграмма работы спроектированной комбинационной схемы приведена на рис.

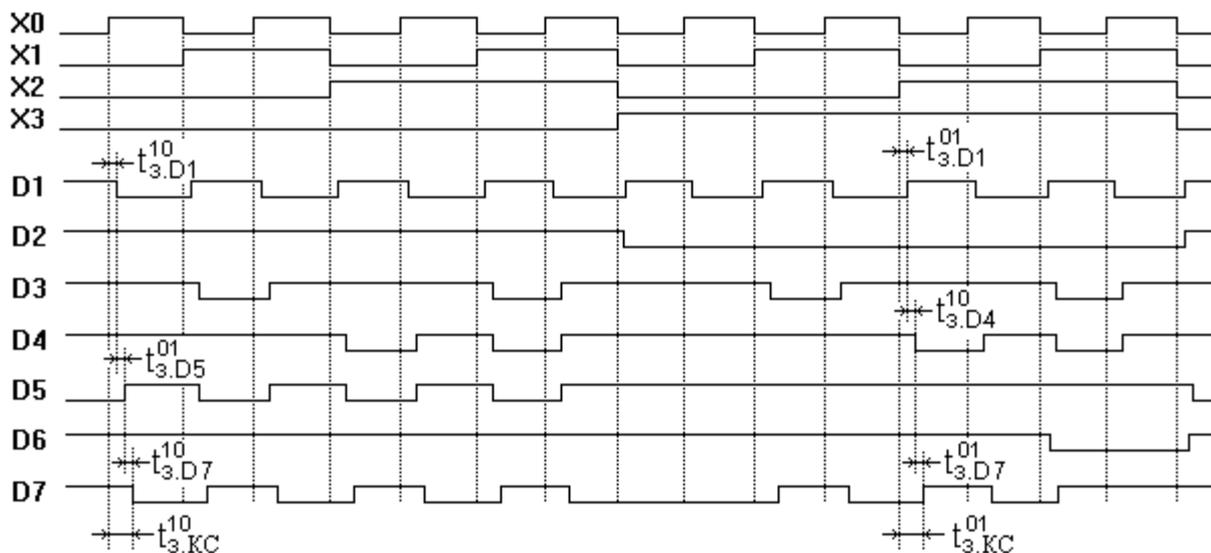


Рис. 3. Временная диаграмма работы комбинационной схемы

Из ее рассмотрения можно сделать вывод о соответствии функционирования схемы заданному закону. На вход схемы поступает последовательность сигналов, задающая все 16 наборов, на которых определена функция. Из рис. 3 видно, что выход схемы принимает значение 1 на наборах 0, 2, 4, 6, 10, 12, 14 и 15, т.е. спроектированная схема правильно реализует заданную функцию.

Динамические параметры комбинационной схемы

К динамическим параметрам комбинационной схемы относят задержки переключения выходного сигнала из 0 в 1 и из 1 в 0.

Данные задержки определяют по временной диаграмме в такой последовательности:

- предварительно на схеме находят наиболее длинный путь (или пути) прохождения сигнала от входа до выхода (длина пути определяется числом *последовательно* соединенных элементов);
- затем на временной диаграмме определяют входные состояния, переход к которым вызывает последовательное переключение всех элементов в найденном пути. Переход к одному из этих состояний должен вызывать переключение выходного сигнала из 0 в 1, переход к другому - переключение выходного сигнала из 1 в 0;
- после чего записывают выражения для подсчета задержек переключения выходного сигнала из 0 в 1 и из 1 в 0. Выражения представляют собой сумму соответствующих задержек логических элементов, входящих в путь;
- наконец, определяют числовое значение задержек комбинационной схемы, подставляя в найденные выражения значения задержек логических элементов.

Для спроектированной комбинационной схемы (см. рис. 2) наиболее длинный путь содержит три элемента. Таких путей в схеме несколько: $D1 \rightarrow D3 \rightarrow D7$, $D1 \rightarrow D4 \rightarrow D7$, $D1 \rightarrow D5 \rightarrow D7$ и $D2 \rightarrow D6 \rightarrow D7$.

На временной диаграмме существует несколько состояний, переход к которым активизирует некоторые из этих путей. Можно выбрать любые из них для оценки задержек переключения комбинационной схемы. Два перехода с обозначением задержек элементов показаны на рис. 3.

Непосредственно из рис. 3 можно записать выражения для задержек переключения выходного сигнала комбинационной схемы:

$$t_{3.KC}^{01} = t_{3.D1}^{01} + t_{3.D4}^{10} + t_{3.D7}^{01},$$

$$t_{3.KC}^{10} = t_{3.D1}^{10} + t_{3.D5}^{01} + t_{3.D7}^{10}.$$

Подставляя в найденные выражения паспортные значения задержек логических элементов, получим числовое значение задержек комбинационной схемы.

Задание на практическую работу

Минимизировать заданную функцию, используя метод диаграмм Вейча. Записать полученное выражение в базисе Шеффера, реализовать функцию на заданных микросхемах и

построить временную диаграмму работы комбинационной схемы. Рассчитать динамические параметры схемы.

X ₁	X ₂	X ₃	X ₄	Номер варианта											
				1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	1	0	1	1	0	0	0	0	0	0	1	1
0	0	0	1	0	1	1	0	0	1	1	1	1	1	1	0
0	0	1	0	0	1	1	1	0	0	0	0	1	0	0	1
0	0	1	1	1	0	0	0	1	1	1	0	1	1	0	0
0	1	0	0	1	1	1	1	1	0	0	1	0	0	1	1
0	1	0	1	1	1	0	0	0	0	1	1	1	1	0	1
0	1	1	0	0	1	1	0	1	1	0	1	0	1	0	0
0	1	1	1	1	1	0	0	0	1	1	1	1	1	0	1
1	0	0	0	0	1	1	0	1	0	0	0	1	0	1	1
1	0	0	1	0	1	1	0	1	0	0	1	0	0	0	1
1	0	1	0	0	0	0	0	1	1	1	0	0	1	1	0
1	0	1	1	1	0	0	0	0	1	1	0	0	1	0	1
1	1	0	0	1	1	1	1	1	1	1	0	1	0	1	1
1	1	0	1	0	1	0	1	0	1	1	1	0	0	0	0
1	1	1	0	0	0	0	0	1	0	0	1	1	0	0	1
1	1	1	1	1	0	1	1	0	1	1	1	0	1	1	1

4. Требования к отчету по практической работе
 Отчет по практической работе должен содержать:

- исходные данные задания;
- синтез комбинационной схемы;
- графическое изображение полученной схемы;
- временную диаграмму работы схемы;
- расчет динамических параметров схемы.

Контрольные вопросы

1. Что называется комбинационной схемой?
2. Какие методы перехода от таблицы задания функции к ее аналитической форме вам известны?
3. Что называется минимизацией?
4. Как осуществляется минимизация в базисах И-НЕ и ИЛИ-НЕ?

Практическая работа № 8. Синтез дешифраторов

Цель работы: ознакомиться с методикой и получить практические навыки синтеза дешифраторов на интегральных микросхемах малой степени интеграции.

Краткие теоретические сведения и методические указания

В вычислительной технике многие часто используемые комбинационные схемы выпускаются в виде отдельных микросхем. К таким схемам относятся дешифраторы.

Дешифратором называется комбинационная схема, имеющая в общем случае n информационных входов и 2^n информационных выходов. Работу такого дешифратора можно описать системой уравнений (здесь X – входы, а Y – выходы)

$$Y_0 = \bar{X}_0 \& \bar{X}_1 \& \dots \& \bar{X}_{n-2} \& \bar{X}_{n-1}$$

$$Y_1 = X_0 \& \bar{X}_1 \& \dots \& \bar{X}_{n-2} \& \bar{X}_{n-1}$$

$$Y_2 = \bar{X}_0 \& X_1 \& \dots \& \bar{X}_{n-2} \& \bar{X}_{n-1}$$

.....

$$Y_2^n = X_0 \& X_1 \& \dots \& X_{n-2} \& X_{n-1}$$

Иначе говоря, при подаче на входы дешифратора любой комбинации сигналов на одном из выходов дешифратора (соответствующем этой комбинации) появится активный сигнал. На рис.1 приводится условное обозначение дешифратора на два входа и таблица, описывающая его работу.

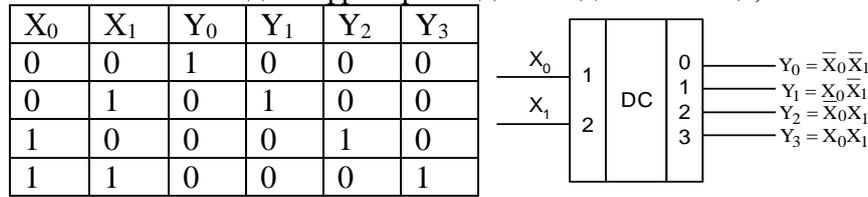


Рис.1. Пример функциональной схемы дешифратора.

Недостатком рассмотренного дешифратора является то, что в любой момент времени на одном из выходов стоит активный сигнал. Чтобы устранить этот недостаток, в состав дешифратора вводится управляющий вход Е. Если сигнал на этом входе активен, то работа дешифратора совпадает с описанной ранее. В противном случае все выходы дешифратора находятся в пассивном состоянии. Таким образом, вход Е осуществляет функцию стробирования дешифратора. В промышленно выпускаемых дешифраторах обычно имеется сразу несколько управляющих входов, объединенных по схеме И. Это представляет разработчику дополнительные удобства.

На рис.2 показан пример увеличения размерности дешифратора с использованием двух управляющих входов Е.

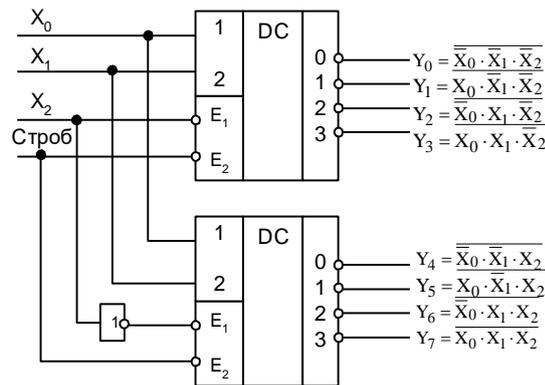


Рис.2. Пример увеличения размерности дешифратора.

На основе дешифраторов на n входов можно легко реализовать произвольные функции алгебры логики для n и менее переменных. Например, на рис.3 показана реализация функции, заданной таблицей.

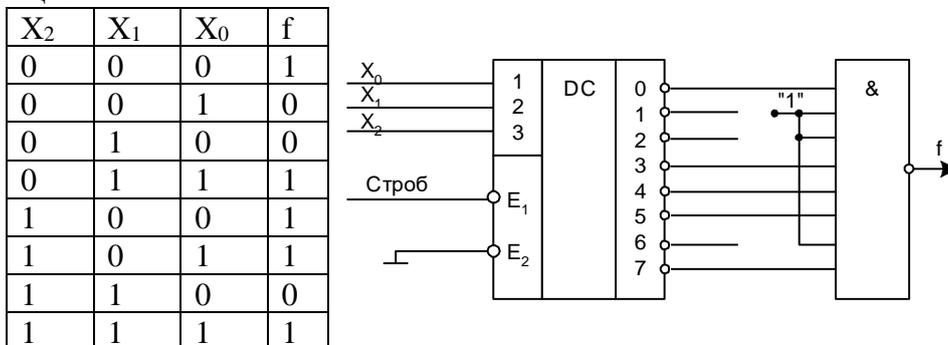


Рис.3. Пример реализации логической функции с использованием дешифратора.

Стробируемые дешифраторы можно использовать в качестве селекторов (демультиплексоров). Селектором в вычислительной технике называется комбинационная схема, осуществляющая передачу информации с единственного информационного входа на один из нескольких выходов. Селекторы не выпускаются в качестве самостоятельных микросхем, так как их функции легко реализуются дешифраторами. Управляющий вход (или один из них)

дешифратора в этом случае рассматривается как информационный, а информационные входы задают номер выхода, на который и выдается информация, т.е. в этом случае информационные входы используются в качестве управляющих. На рис.4 показано использование дешифратора на 2 входа в качестве селектора.

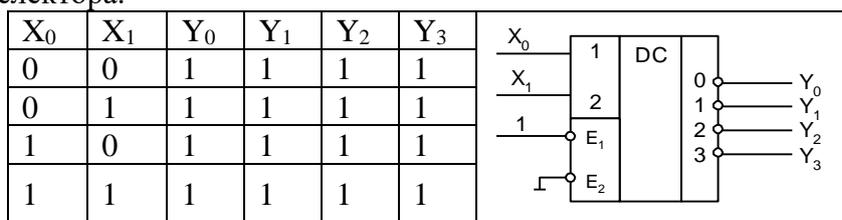


Рис.4. Пример использования дешифратора в качестве селектора.

В практической работе предполагается использовать дешифратор КР1533ИД4 (рис.5). Это двойной дешифратор, т.е. в корпусе реализуются два отдельных дешифратора, имеющих независимые выходы (Y_{0÷3} и Z_{0÷3}) и независимые управляющие входы (E_{1÷2} и G_{1÷2}). Однако оба дешифратора имеют одни и те же информационные входы X_{0÷1}.

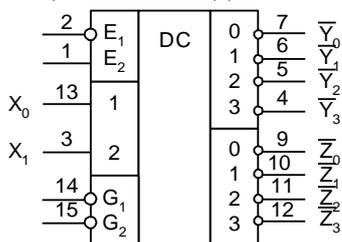


Рис.5. Микросхема дешифратора КР1533ИД4.

Варианты заданий на практическую работу

В соответствии с номером варианта согласно таблице 1 построить комбинационную схему на ИМС дешифратора.

Таблица 1

№ вар	Задание
1.	Реализовать на ИД4 и дополнительной логике функцию $F = \bar{X}_1 \cup \bar{X}_2 \oplus X_3 \cup X_2 \bar{X}_4$
2.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cdot \bar{X}_2 \cdot (X_2 \oplus \bar{X}_3) \cup (\bar{X}_1 X_2 X_3)$
3.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cup X_2 \cup X_3 \cdot X_4$
4.	Реализовать на ИД4 и дополнительной логике функцию $F = \bar{X}_1 X_2 \cup \bar{X}_2 X_3 \cup X_1 X_2 \bar{X}_4$
5.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 X_2 \cup (X_1 \oplus X_2 \oplus X_3)$
6.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \oplus \bar{X}_2 \cup \bar{X}_3 X_4$
7.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \bar{X}_2 (X_2 \oplus \bar{X}_3) \cup \bar{X}_1 X_2 X_3$
8.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 X_2 \cup X_2 X_3 \cup X_3 X_4 X_5$
9.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \oplus X_2 \oplus X_3 \oplus X_4$
10.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cdot \bar{X}_4 \cdot (X_2 \cup \bar{X}_3) \oplus (X_1 \bar{X}_2 X_3)$
11.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cdot X_2 \cdot X_3 \cup \bar{X}_4 \bar{X}_5$
12.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 X_2 X_3 \oplus \bar{X}_1 \bar{X}_2 \bar{X}_3$
13.	Реализовать на ИД4 и дополнительной логике функцию $F = \bar{X}_1 \cup X_3 \cdot (X_2 \cup \bar{X}_4) \cup (X_1 X_2 \oplus \bar{X}_3)$
14.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \oplus X_2 \cup X_2 \oplus \bar{X}_3 \cup X_3 X_4$
15.	Реализовать на ИД4 и дополнительной логике функцию $F = \bar{X}_1 \cup X_2 \oplus X_3 \cup \bar{X}_4$

16.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 X_2 \cup X_3 \oplus \bar{X}_1 X_2 \bar{X}_3$
17.	Реализовать на ИД4 и дополнительной логике функцию $F = \bar{X}_1 X_2 \oplus (X_1 X_2 \cup \bar{X}_3)$
18.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \bar{X}_2 \oplus \bar{X}_3 \cup X_4$
19.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cup X_2 X_3 \oplus \bar{X}_1 X_3$
20.	Реализовать на ИД4 и дополнительной логике функцию $F = X_1 \cdot X_2 \oplus X_3 \cup \bar{X}_2 X_4$

Порядок выполнения работы.

1. Выбрать из таблицы задание, согласно варианту.
2. Составить таблицу истинности для заданной функции.
3. Реализовать заданную функцию на дешифраторе.
4. Проверить правильность функционирования.

Содержание отчета

Отчет по практической работе должен содержать:

1. Исходное задание.
2. Реализацию задания в виде функциональной схемы.
3. Краткое описание применяемой микросхемы.

Контрольные вопросы

1. Что представляет собой дешифратор?
2. Как можно увеличить размерность дешифратора?
3. Что представляет собой селектор?

Практическая работа №9. Каскадное соединение дешифраторов

Цель работы: ознакомиться с методикой и получить практические навыки синтеза дешифраторов на интегральных микросхемах малой степени интеграции.

Краткие теоретические сведения и методические указания

Необходимость каскадного соединения нескольких дешифраторов возникает в том случае, когда разрядность одной ИС оказывается недостаточной для адресации большого количества различных устройств. Например, в нашем распоряжении схемы дешифратора на 2 входа и, соответственно, 4 выхода. А необходимо организовать возможность обращения к 16 цифровым устройствам. Очевидно, что для построения такой схемы понадобятся 4 ИС дешифратора указанной разрядности (выходная часть схемы на рис. 1). Первый из них будет обеспечивать выдачу сигналов $Q_0 \dots Q_3$, второй – $Q_4 \dots Q_7$, третий – $Q_8 \dots Q_{11}$ и последний, четвёртый – $Q_{12} \dots Q_{15}$. Для обеспечения выбора этих 16 выходов необходимы 4 входных сигнала – a_8, a_4, a_2 и a_1 . Два младших из них (a_2 и a_1) подаются на все дешифраторы одновременно. Два старших (a_8 и a_4) подаются на пятый дешифратор, служащий для обеспечения выбора одного из четырёх дешифраторов выходной части схемы.

Принцип работы каскада тот же, что и у отдельно взятого дешифратора - он выдаёт активный сигнал только на одном выходе. Номер этого выхода соответствует двоичному коду, поданному на входные линии. Например, при подаче кода 1110_2 (на рис. 1 показано красным цветом) будет работать только четвёртый дешифратор выходной очереди каскада, на разрешающие входы остальных дешифраторов подаётся логический ноль. Следовательно, на выходах схемы $Q_1 \dots Q_{11}$ будут сформированы логические нули. И только на активном, четвёртом дешифраторе формируется унарный код - на выходе "2" логическая единица соответствующая коду $10_2 = 2_{10}$ на входе этого дешифратора. Таким образом, на выходе каскада Q_{14} будет логическая единица, соответствующая коду $1110_2 = 14_{10}$.

На рис. 1 каскад построен на одинаковых дешифраторах. Но возможен синтез схем, когда выбирающий дешифратор на входе схемы будет другой разрядности. Рассмотрим каскад также на 16 выходов, но построенный на базе дешифраторов на 3 входа. В этом случае выходная очередь каскада содержит два дешифратора (рис. 2), на входы которых подаются сигналы с трёх младших входных линий a_4 , a_2 и a_1 . Сигнал со старшей линии a_8 подключается к единственной входной линии управляющего дешифратора на входе схемы. Он определяет, какой из двух дешифраторов будет активен. Так, если подан тот же код 1110₂ (показан на рис. 2 красным цветом), что и в предыдущем примере, то выбирается нижний, второй дешифратор. Следовательно, на выходах верхнего дешифратора (выходы каскада $Q_0...Q_7$ будут логические нули. Активный нижний дешифратор сформирует активный сигнал логической единицы только на одном выходе "6", т.е. на выходе каскада Q_{14} будет логическая единица, соответствующая входному коду 1110₂ = 14₁₀.

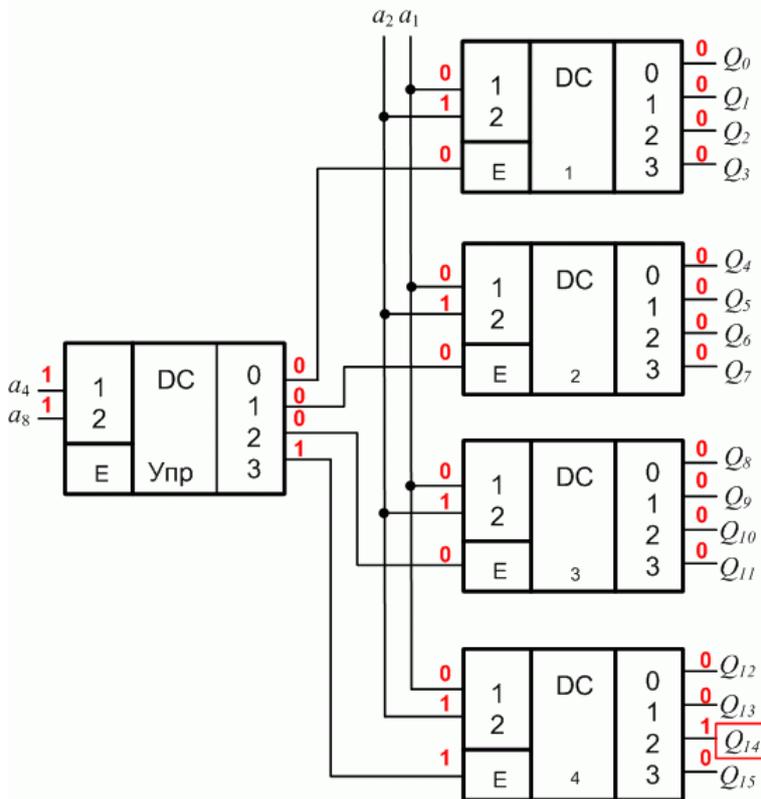


Рисунок 1. Каскад дешифраторов на 16 выходов на базе дешифраторов на 2 входа

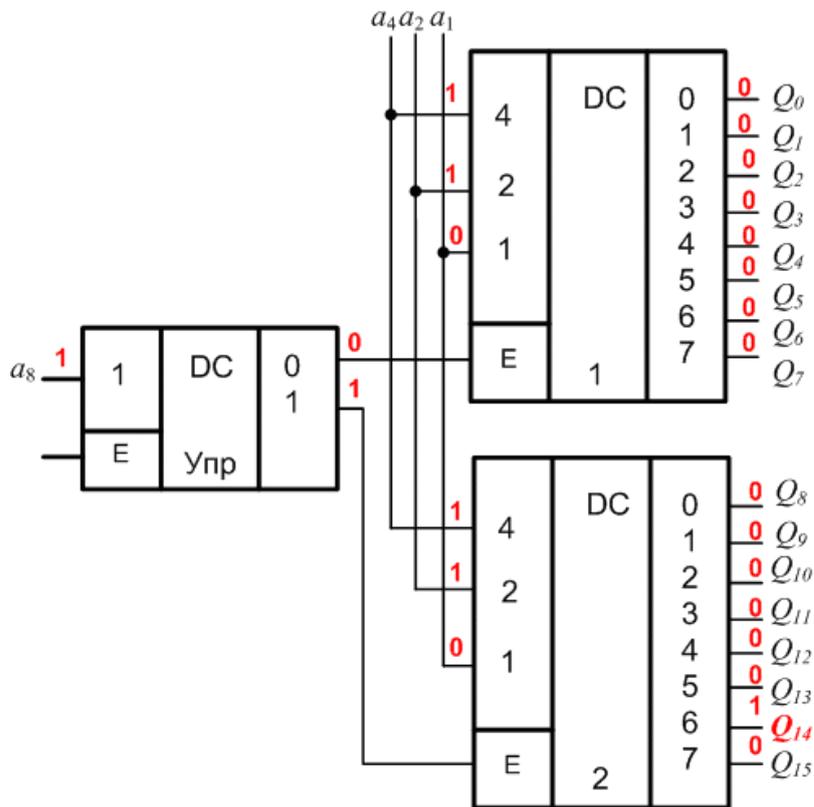


Рисунок 2. Каскад дешифраторов на 16 выходов на базе дешифраторов на 3 входа

Рассмотрим пример с большей разрядностью. Необходимо синтезировать схему дешифратора на 7 входов на базе 4-входовых дешифраторов.

У этой схемы должно быть $2^7 = 128$ выходных сигналов. Один базовый 4-входовой дешифратор обеспечивает наличие $2^4 = 16$ выходов. Поэтому в выходном каскаде схемы должно быть $128:16 = 8$ базовых дешифраторов (рис. 3).

Ту же схему можно изобразить более наглядно с помощью шин (рис. 4).

Шина - это совокупность линий, имеющих одинаковое функциональное назначение. С помощью шины можно объединить несколько линий, дав каждой из них свой номер. Номер сигнала ставится рядом с той шиной, в которую входит и из которой он выходит.

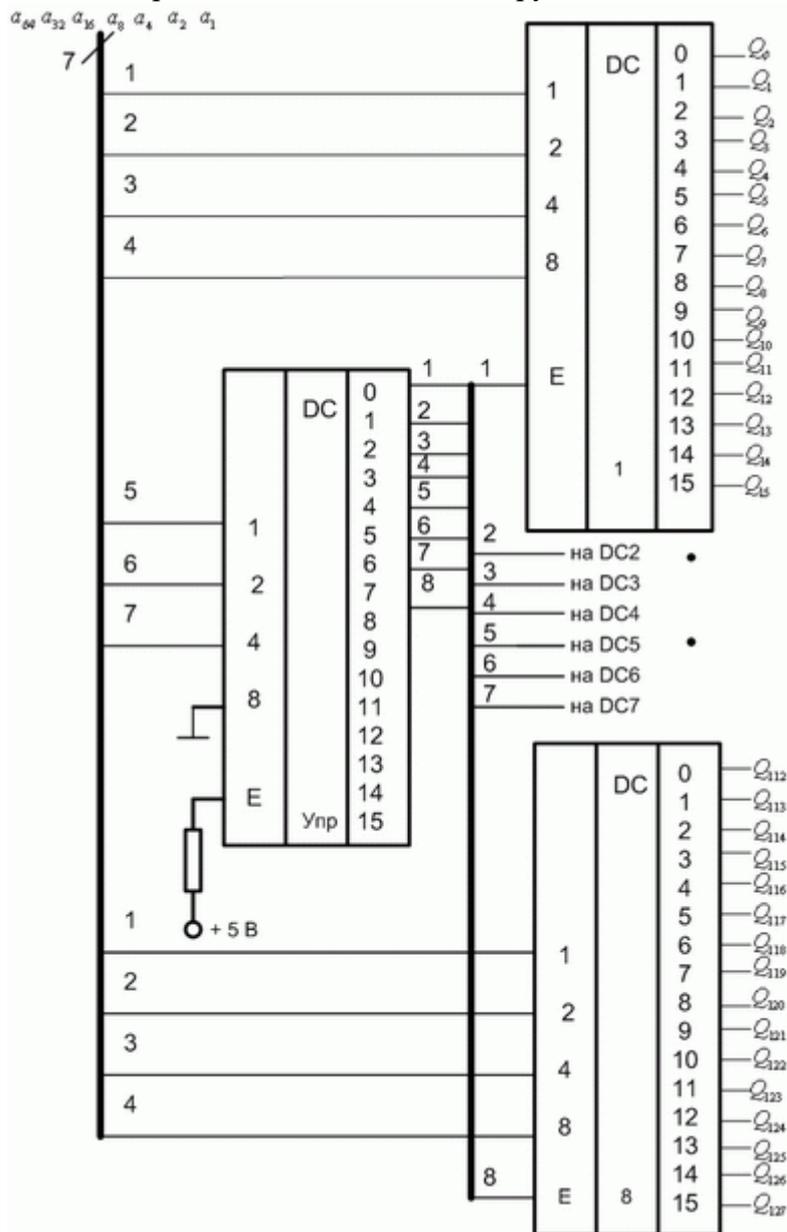


Рисунок 4. Шинная организация каскадного соединения дешифраторов

На рис. 4 изображены две шины. Одна из них объединяет входные сигналы a_{64} , a_{32} , a_{16} , a_8 , a_4 , a_2 и a_1 , а вторая - выходные сигналы управляющего дешифратора, использующиеся как разрешающие сигналы для дешифраторов 1...8 в выходной очереди каскада.

Во всех предыдущих примерах схемы содержали по две очереди каскада - входную и выходную. В тех случаях, когда разрядность каскада большая, а количество входов базового дешифратора маленькое, количество очередей возрастает. Так, например, в схеме дешифратора на 16 выходов на базе 1-входовых дешифраторов, будет четыре очереди (рис. 5).

Базовый дешифратор имеет 2 выхода, поэтому для построения каскада на 16 выходов необходимо соединить 8 базовых ИС, которые образуют выходную (первую очередь) каскада. Информационные входы всех дешифраторов выходной (первой) очереди каскада подключаются к младшим входным линиям соответственно разрядности базового дешифратора. Так, в схеме на рис. 5 на дешифраторы с номерами 1.1-1.8 приходит информация с младшей входной линии a_1 . На дешифраторы 2.1 - 2.4 второй очереди - следующий, второй сигнал со входа a_2 , на дешифраторы 3.1 - 3.2 - третий a_4 и на последний дешифратор 4.1 - последний, старший входной сигнал a_8 .

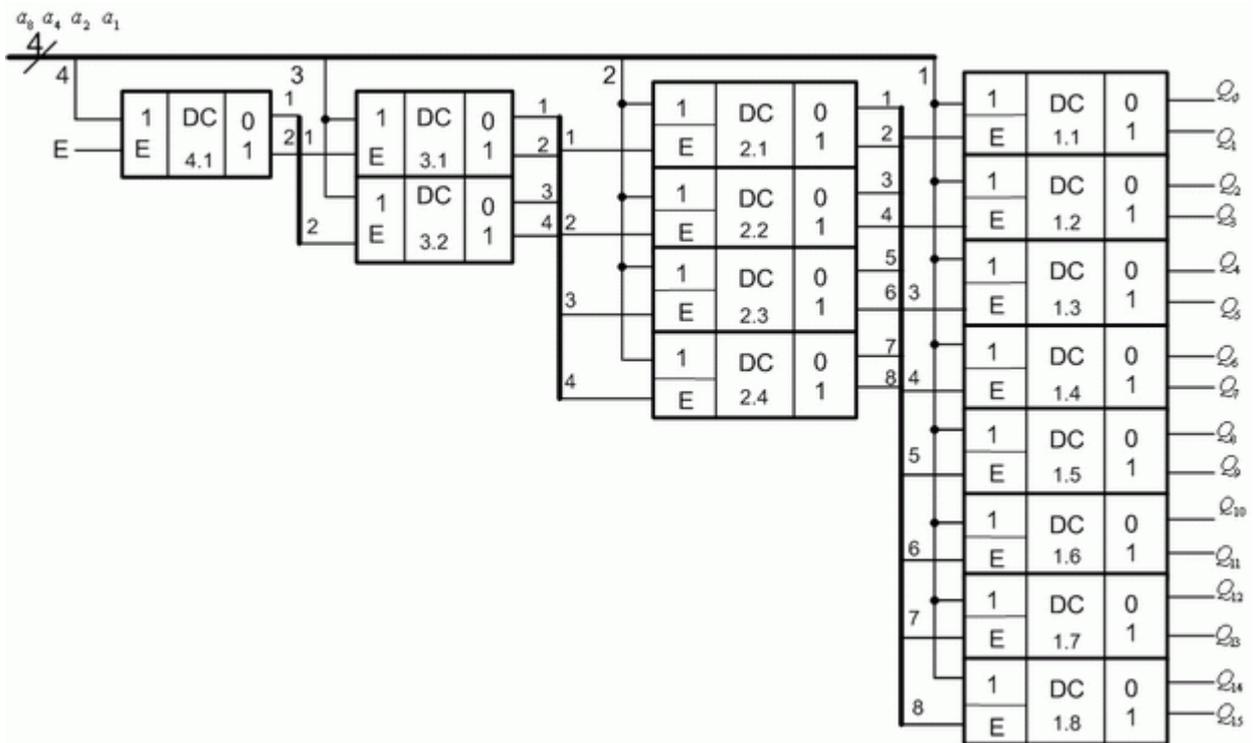


Рисунок 5. Каскад на 16 выходов на базе 1-входных дешифраторов

По вышеизложенному принципу можно построить каскад дешифраторов на любое количество разрядов. При синтезе схемы рекомендуется придерживаться следующей последовательности действий:

1. Нарисовать базовый дешифратор.
2. Определить количество дешифраторов в выходной части каскада (общее количество выходов схемы разделить на количество выходов базового дешифратора) и нарисовать выходную очередь каскада.
3. Нарисовать входную шину каскада нужной разрядности (из расчета $N = 2^n$, где N - количество выходов схемы, n - количество необходимых входных линий).
4. Соединить входные информационные линии дешифраторов выходного каскада и младшие разряды входной информационной шины.
5. Количество выходов дешифраторов следующей очереди каскада равно количеству дешифраторов предыдущей очереди. Следовательно, определить количество дешифраторов в следующем каскаде можно, поделив количество дешифраторов в предыдущем каскаде на количество выходов базового дешифратора. Нарисовать следующую очередь.
6. Подключить выходы следующей очереди к разрешающим входам дешифраторов предыдущей очереди (на схемах очереди следуют *справа налево*). Входные информационные линии дешифраторов следующей очереди подключаются к следующим разрядам входной шины каскада и т.д.

Задания к практической работе

№ варианта	Задание
1.	Каскад на 5 входов на базе 3-входных дешифраторов
2.	Каскад на 4 входа на баз 2-входных дешифраторов
3.	Каскад на 32 выхода на базе 3-входных дешифраторов
4.	Каскад на 64 выхода на базе 3-входных дешифраторов
5.	Каскад на 8 входов на базе 6-входных дешифраторов
6.	Каскад на 32 выхода на базе 2-входных дешифраторов
7.	Каскад на 7 входов на на базе 5-входных дешифраторов

8.	Каскад на 64 выхода на базе 4-входовых дешифраторов
9.	Каскад на 6 входов на базе 4-входовых дешифраторов
10.	Каскад на 64 выхода на базе 2-входовых дешифраторов
11.	Каскад на 4 входа на баз 2-входовых дешифраторов
12.	Каскад на 32 выхода на базе 2-входовых дешифраторов
13.	Каскад на 8 входов на базе 6-входовых дешифраторов
14.	Каскад на 5 входов на базе 3-входовых дешифраторов
15.	Каскад на 5 входов на баз 2-входовых дешифраторов
16.	Каскад на 7 входов на на базе 5-входовых дешифраторов
17.	Каскад на 64 выхода на базе 3-входовых дешифраторов
18.	Каскад на 32 выхода на базе 3-входовых дешифраторов
19.	Каскад на 64 выхода на базе 4-входовых дешифраторов
20.	Каскад на 64 выхода на базе 2-входовых дешифраторов

Практическая работа №10. Синтез преобразователя двоичных кодов.

Цель работы: ознакомиться с методикой и получить практические навыки синтеза преобразователя кода.

Теоретические сведения

1. Анализ функционирования преобразователя кода

Преобразователи кода – устройства, предназначенные для преобразования одного кода в другой.

В настоящее время применяется достаточно большое количество различных видов кодов, однако наибольшее распространение получили следующие коды: 8-4-2-1; 2-4-2-1; 7-4-2-1; с избытком 3; 3а+2; 2 из 5; Грея; прямой, обратный и дополнительный двоичный (таблица 1).

Таблица 1.

Цифра	Код									
	8421	2421	7421	С изб.3	3а+2	2 из 5	Грея	ПДК	ОДК	ДДК
0	0000	0000	0000	0011	00010	11000	0000	0000	1111	0001
1	0001	0001	0001	0100	00101	01100	0001	0001	1110	0000
2	0010	0010	0010	0101	01000	00110	0011	0010	1101	0011
3	0011	0011	0011	0110	01011	00011	0010	0011	1100	0010
4	0100	0100	0100	0111	01110	10001	0110	0100	1011	0101
5	0101	1011	0101	1000	10001	10100	0111	0101	1010	0100
6	0110	1100	0110	1001	10100	01010	0101	0110	1001	0111
7	0111	1101	1000	1010	10111	00101	0100	0111	1000	0110
8	1000	1110	1001	1011	11010	10010	1100	1000	0111	1001
9	1001	1111	1010	1100	11101	01001	1101	1001	0110	1000

Преобразователи кодов используются для шифрации и дешифрации цифровой информации и имеют n входов и k выходов. Соотношения между числами n и k могут быть любыми: n=k, n>k, n<k.

Преобразователи кодов могут быть двух типов:

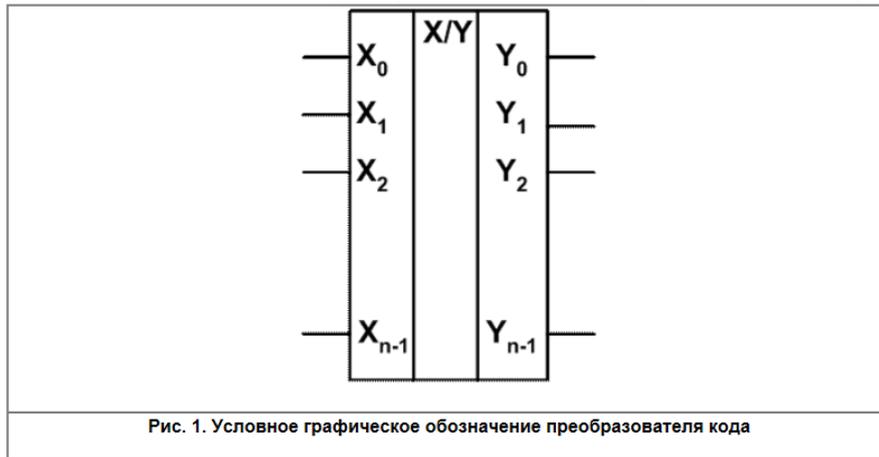
1. С невесовым преобразованием кодов.
2. С весовым преобразованием кодов.

Примером преобразователей первого типа являются преобразователи для отображения цифровой информации на основе семисегментного индикатора.

На основании данной классификации существует несколько разновидностей преобразователей кода:

1. Преобразователи двоичного кода в двоичный.
2. Преобразователи двоично-десятичных кодов в двоичный и обратно.
3. Преобразователи для отображения информации.

Условное графическое обозначение преобразователя кода представлено на рисунке 1.



2. Пример синтеза преобразователя кода

Рассмотрим пример синтеза на основе преобразователя кода 8-4-2-1 в код 2-4-2-1.

Таблица соответствия комбинаций приведена в таблице 2.

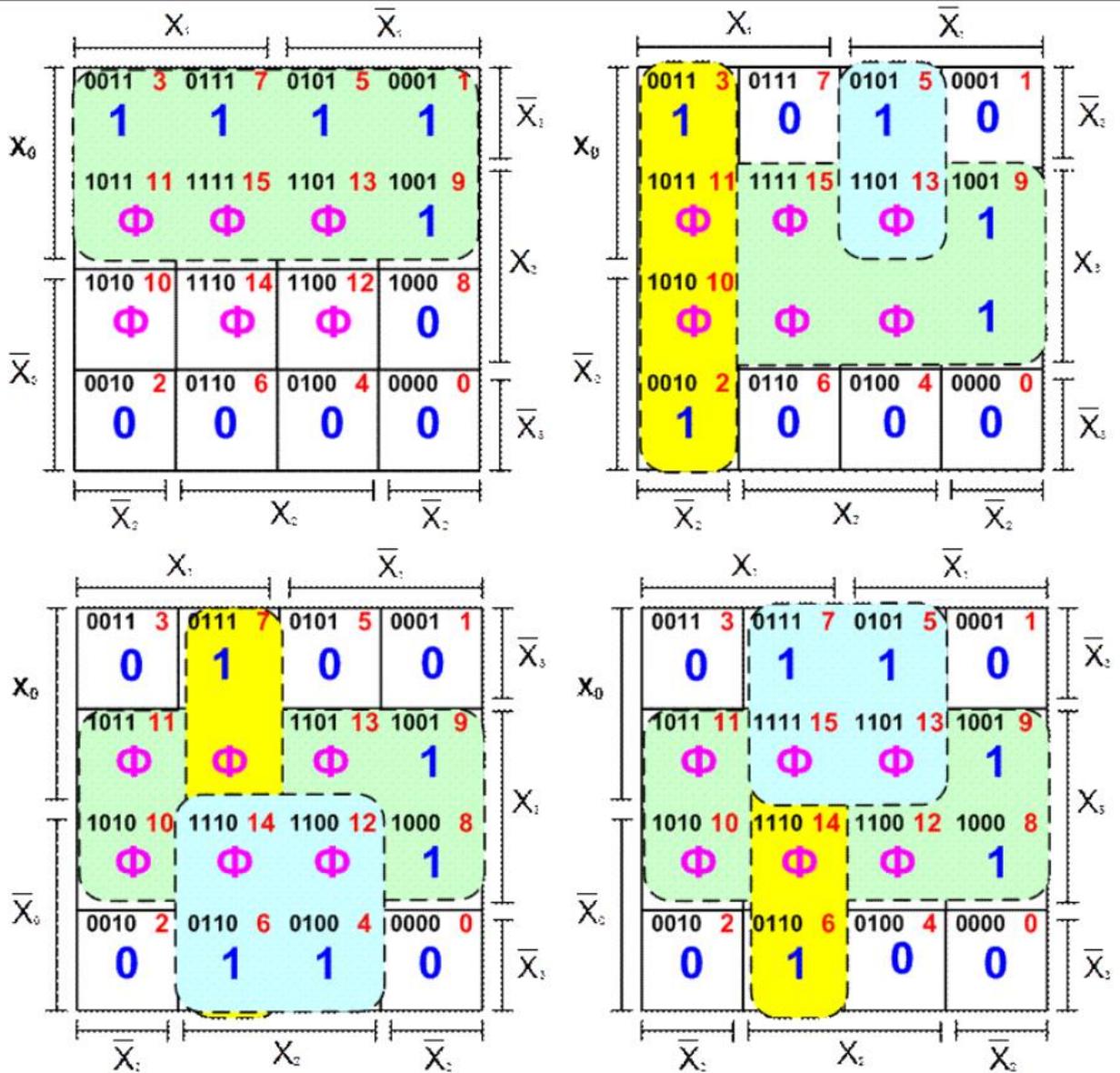
Таблица 2

Код	8421				2421			
Разряды	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
Вес	8	4	2	1	2	4	2	1
Цифра								
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	1	0	1	1
6	0	1	1	0	1	1	0	0
7	0	1	1	1	1	1	0	1
8	1	0	0	0	1	1	1	0
9	1	0	0	1	1	1	1	1

Составляем ДНФ.

$$\begin{aligned}
 Y_0 &= \bar{X}_3 \bar{X}_2 \bar{X}_1 X_0 \wedge \bar{X}_3 \bar{X}_2 X_1 X_0 \wedge \bar{X}_3 X_2 \bar{X}_1 X_0 \wedge \bar{X}_3 X_2 X_1 X_0 \wedge X_3 \bar{X}_2 \bar{X}_1 X_0 \\
 Y_1 &= \bar{X}_3 \bar{X}_2 X_1 \bar{X}_0 \wedge \bar{X}_3 \bar{X}_2 X_1 X_0 \wedge \bar{X}_3 X_2 \bar{X}_1 X_0 \wedge X_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 \wedge X_3 \bar{X}_2 \bar{X}_1 X_0 \\
 Y_2 &= \bar{X}_3 X_2 \bar{X}_1 \bar{X}_0 \wedge \bar{X}_3 X_2 X_1 \bar{X}_0 \wedge \bar{X}_3 X_2 X_1 X_0 \wedge X_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 \wedge X_3 \bar{X}_2 \bar{X}_1 X_0 \\
 Y_3 &= \bar{X}_3 X_2 X_1 \bar{X}_0 \wedge \bar{X}_3 X_2 X_1 X_0 \wedge \bar{X}_3 X_2 X_1 X_0 \wedge X_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 \wedge X_3 \bar{X}_2 \bar{X}_1 X_0
 \end{aligned}$$

Проводим минимизацию.



Получаем аналитические выражения:

$$Y_0 = X_0$$

$$Y_1 = X_3 + \bar{X}_2 X_1 + X_2 \bar{X}_1 X_0$$

$$Y_2 = X_3 + X_2 X_1 + X_2 \bar{X}_0$$

$$Y_3 = X_3 + X_2 X_1 + X_2 \bar{X}_1 X_0$$

Записываем выражения в базисе И-НЕ:

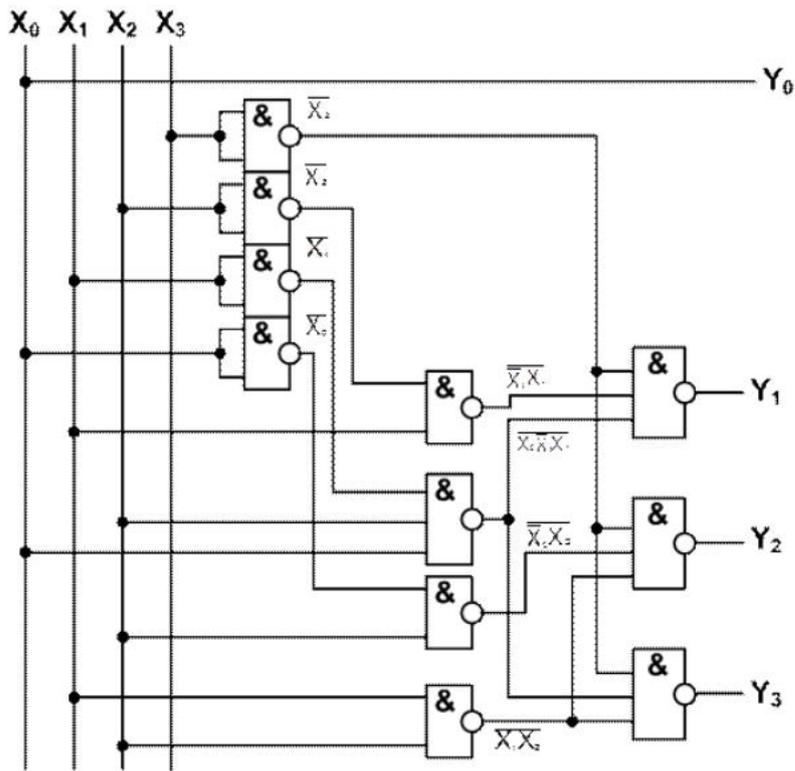
$$Y_0 = \overline{\bar{X}_0} = X_0$$

$$Y_1 = \overline{\overline{X_3 + \bar{X}_2 X_1 + X_2 \bar{X}_1 X_0}} = \overline{\bar{X}_3 \cdot \bar{X}_2 X_1 \cdot X_2 \bar{X}_1 X_0}$$

$$Y_2 = \overline{\overline{X_3 + X_2 X_1 + X_2 \bar{X}_0}} = \overline{\bar{X}_3 \cdot \bar{X}_2 X_1 \cdot X_2 \bar{X}_0}$$

$$Y_3 = \overline{\overline{X_3 + X_2 X_1 + X_2 \bar{X}_1 X_0}} = \overline{\bar{X}_3 \cdot \bar{X}_2 X_1 \cdot X_2 \bar{X}_1 X_0}$$

Строим схему устройства.



Задание на практическую работу

1. Выбрать из таблицы задание, согласно своему варианту (по номеру в журнале).

№ варианта	Исходный код	Конечный код
1.	8421	4221
2.	8421	7421
3.	8421	Грея
4.	8421	Грея-Штибица
5.	8421	Айкена
6.	Грея-Штибица	ПДК
7.	Грея-Штибица	ОДК
8.	Грея-Штибица	ДДК
9.	Грея-Штибица	4221
10.	Грея-Штибица	7421
11.	7421	Грея
12.	7421	Грея-Штибица
13.	7421	Айкена
14.	7421	ПДК
15.	7421	ОДК
16.	2421	ДДК
17.	2421	7421
18.	4221	Айкена
19.	4221	Грея
20.	4221	Грея-Штибица

2. Произвести синтез преобразователя кода.

Десятичная цифра	8421	7421	4221	2421	Грея	Грея-Штибица	Айкена	ПДК	ОДК	ДДК
0	0000	0000	0011	0000	0000	0010	0000	0000	1111	0001
1	0001	0001	0100	0001	0001	0110	0001	0001	1110	0000
2	0010	0010	0101	0010	0011	0111	0010	0010	1101	0011
3	0011	0011	0110	0011	0010	0101	0011	0011	1100	0010

4	0100	0100	0111	0100	0110	0100	0100	0100	1011	0101
5	0101	0101	1000	1011	0111	1100	1011	0101	1010	0100
6	0110	0110	1001	1100	0101	1001	1100	0110	1001	0111
7	0111	1000	1010	1101	0100	1101	1101	0111	1000	0110
8	1000	1001	1011	1110	1100	1111	1110	1000	0111	1001
9	1001	1010	1100	1111	1101	1110	1111	1001	0110	1000

Содержание отчета

Отчет по практической работе должен содержать:

1. Исходное задание.
2. Этапы минимизации.
3. Реализацию задания в виде функциональной схемы.

Практическая работа №11. Преобразователи произвольных кодов.

Цель работы: рассмотреть принцип синтеза логических схем, реализующих заданную математическую формулу.

Теоретическая часть

Преобразователь произвольных кодов - это логическая схема, реализующая определённую математическую формулу. На вход такой схемы подаётся двоичный код, соответствующий значению переменной $x_{вх}$. На выходе схемы получается двоичный код, соответствующий значению функции $x_{вых}$, вычисленному по указанной математической формуле.

В качестве примера синтеза логической схемы рассмотрим 3-входовую схему, реализующую увеличение входного кода в три раза: $x_{вых} = 3x_{вх}$. Последовательность действий при решении подобных задач следующая.

1. Определим максимально возможный код на выходе 3-входовой схемы: $7_{10} \times 3_{10} = 21_{10} = 10101_2$ - это *пятиразрядное* двоичное число. Поэтому количество выходов для данной схемы будет равно *пяти*.

2. Заполним таблицу истинности для синтезируемой схемы (табл. 1). Поскольку количество выходов данной схемы больше одного, таблица включает в себя несколько (здесь *пять*) столбцов, соответствующих двоичным разрядам выходного сигнала.

3. Для каждого выхода найдем минимальное выражение с помощью карт Карно (рис. 1).

4. По полученным выражениям построим логическую схему на пять выходов, каждый из которых соответствует двоичному разряду вычисляемого по заданной формуле числа (рис. 2).

Входной код				Выходной код					
В десятичном выражении	В двоичном коде			В десятичном выражении	В двоичном коде				
	a	b	c		Q ₄	Q ₃	Q ₂	Q ₁	Q ₀
	2 ²	2 ¹	2 ⁰		2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
0	0	0	0	0	0	0	0	0	0
1	0	0	1	3	0	0	0	1	1
2	0	1	0	6	0	0	1	1	0
3	0	1	1	9	0	1	0	0	1
4	1	0	0	12	0	1	1	0	0
5	1	0	1	15	0	1	1	1	1

6	1	1	0	18	1	0	0	1	0
7	1	1	1	21	1	0	1	0	1

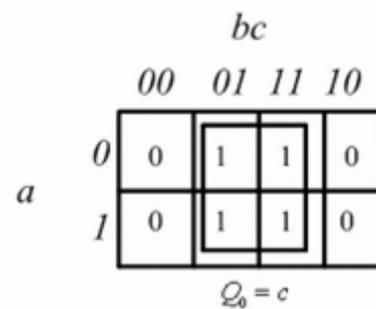
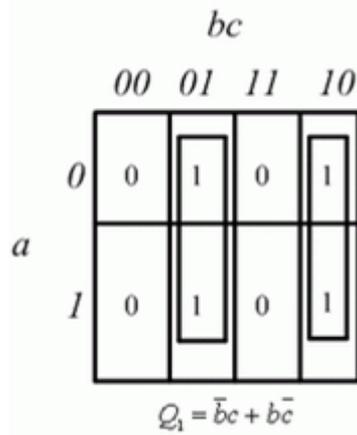
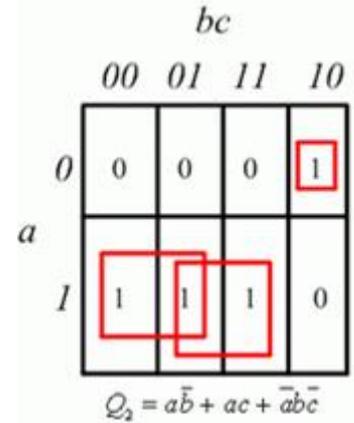
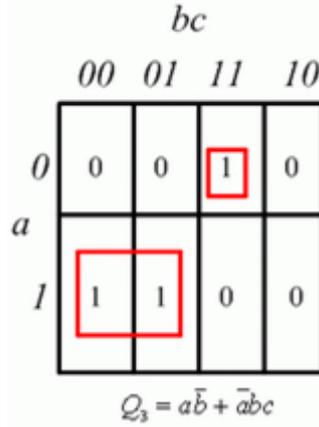
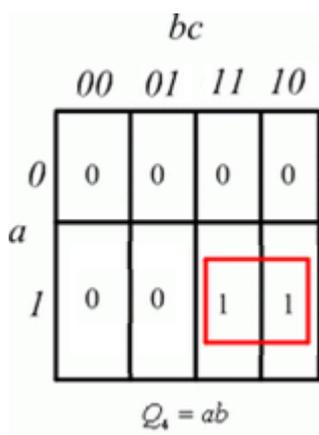


Рисунок 1. Минимизация логических выражений для выходных сигналов преобразователя, реализующего формулу $x_{\text{вых}} = 3x_{\text{вх}}$

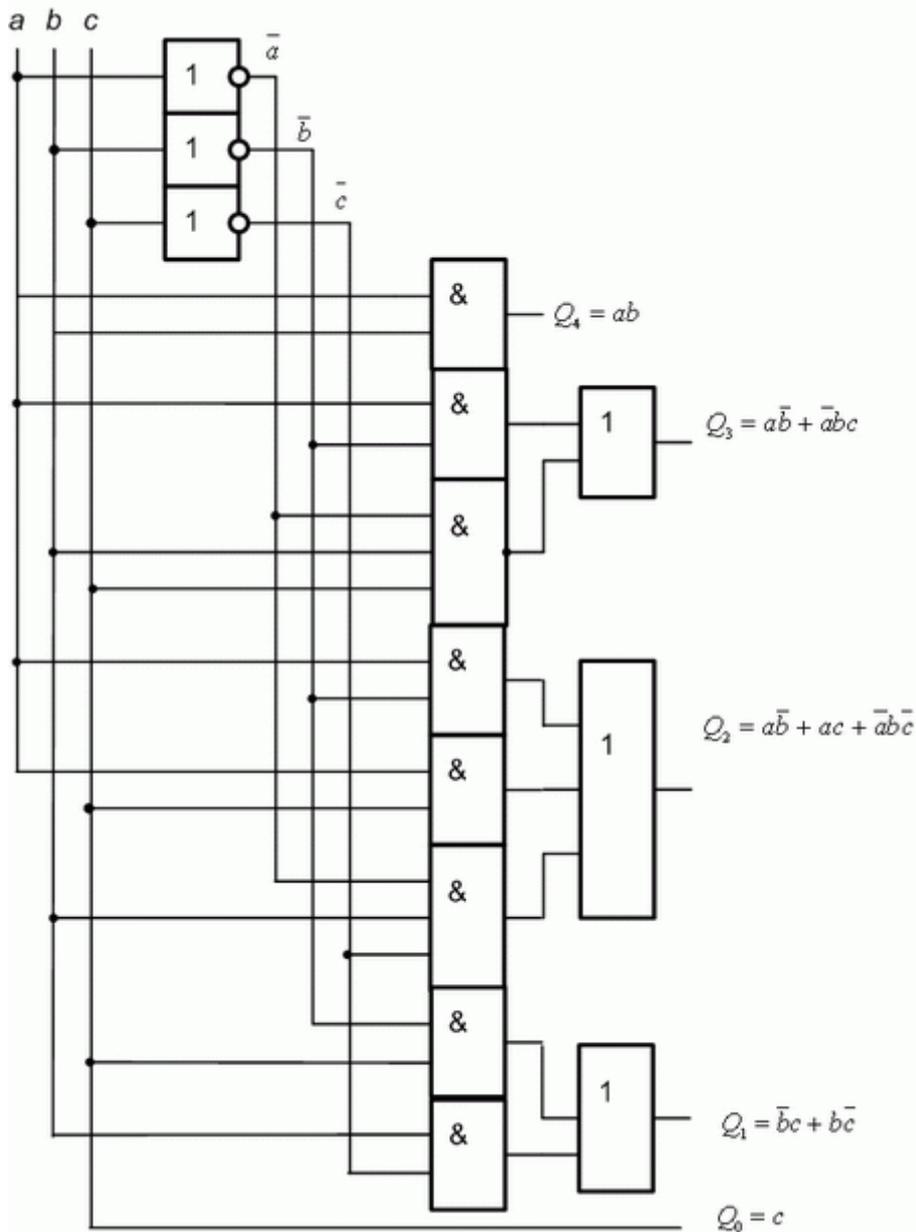


Рисунок 2. Логическая схема преобразователя на 3 входа, реализующего формулу умножения на 3

Рассмотрим далее схему на 4 входа, реализующую ту же самую формулу $X_{\text{вых}} = 3X_{\text{вх}}$. Алгоритм решения тот же.

1. Определим максимально возможный код на выходе 4-входовой схемы: $15_{10} \times 3_{10} = 45_{10} = 101101_2$ - это *шестизначное* двоичное число. Поэтому количество выходов для данной схемы будет равно *шести*.

2. Заполним таблицу истинности для синтезируемой схемы (табл. 2). Она включает в себя *шесть* столбцов, соответствующих двоичным разрядам выходного сигнала.

3. Для каждого выхода найдем минимальное выражение с помощью карт Карно (рис. 3).

4. По полученным выражениям построим логическую схему на шесть выходов, каждый из которых соответствует двоичному разряду вычисляемого по заданной формуле числа (рис. 4).

5. Если весь столбец значений для выхода $Q_i=1$, это означает, что независимо от состояния входных сигналов на выход Q_i подаётся напряжение источника питания.

6. Если весь столбец значений для выхода $Q_i=0$, это означает, что независимо от состояния входных сигналов выход Q_i подключен к общей точке ("земле").

Таблица 2. Таблица истинности четырёхвходовой схемы умножения на 3											
Входной код					Выходной код						
В десятичном выражении	В двоичном коде				В десятичном выражении	В двоичном коде					
	a	b	c	d		Q ₅	Q ₄	Q ₃	Q ₂	Q ₁	Q ₀
	2 ³	2 ²	2 ¹	2 ⁰		2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	3	0	0	0	0	1	1
2	0	0	1	0	6	0	0	0	1	1	0
3	0	0	1	1	9	0	0	1	0	0	1
4	0	1	0	0	12	0	0	1	1	0	0
5	0	1	0	1	15	0	0	1	1	1	1
6	0	1	1	0	18	0	1	0	0	1	0
7	0	1	1	1	21	0	1	0	1	0	1
8	1	0	0	0	24	0	1	1	0	0	0
9	1	0	0	1	27	0	1	1	0	1	1
10	1	0	1	0	30	0	1	1	1	1	0
11	1	0	1	1	33	1	0	0	0	0	1
12	1	1	0	0	36	1	0	0	1	0	0
13	1	1	0	1	39	1	0	0	1	1	1
14	1	1	1	0	42	1	0	1	0	1	0
15	1	1	1	1	45	1	0	1	1	0	1

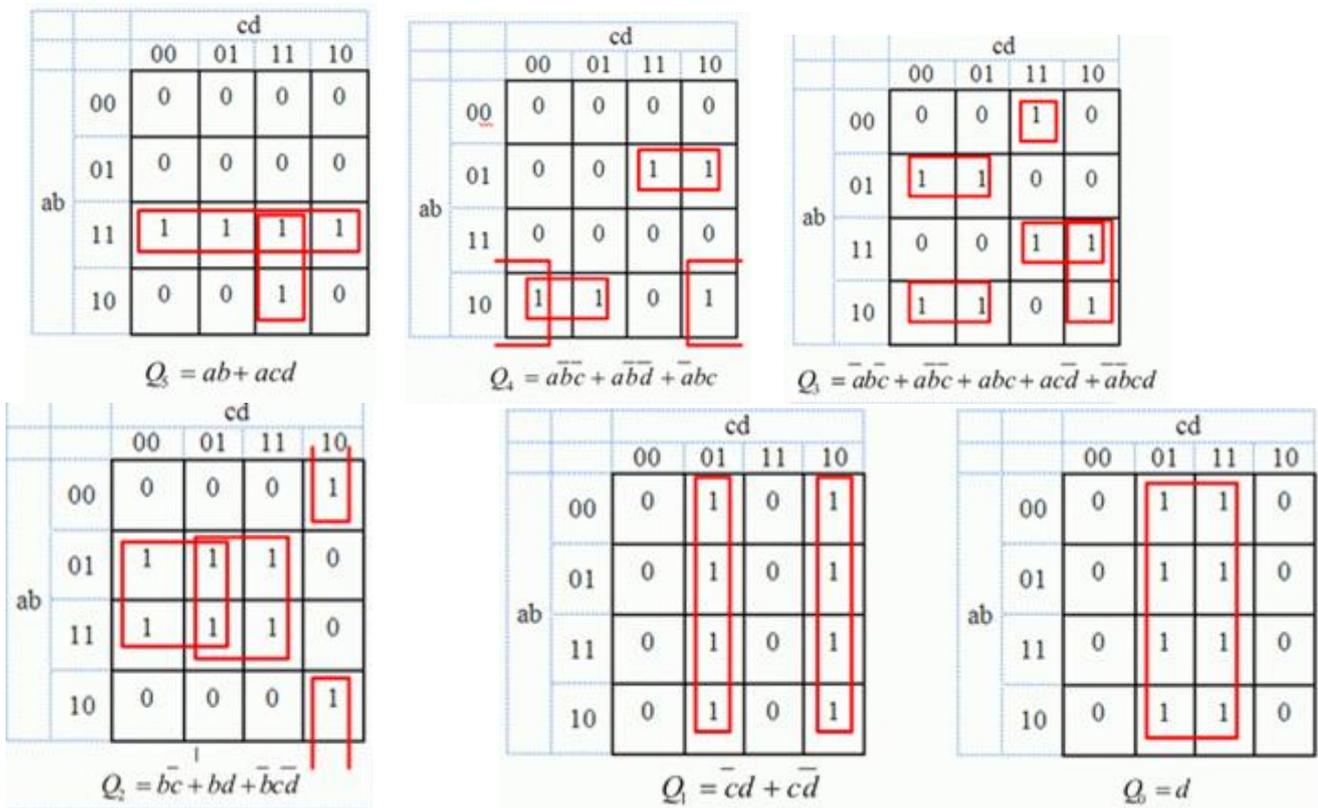


Рисунок 3. Минимизация логических выражений для выходных сигналов 4-входового преобразователя, реализующего формулу $x_{\text{ВЫХ}} = 3x_{\text{ВХ}}$.

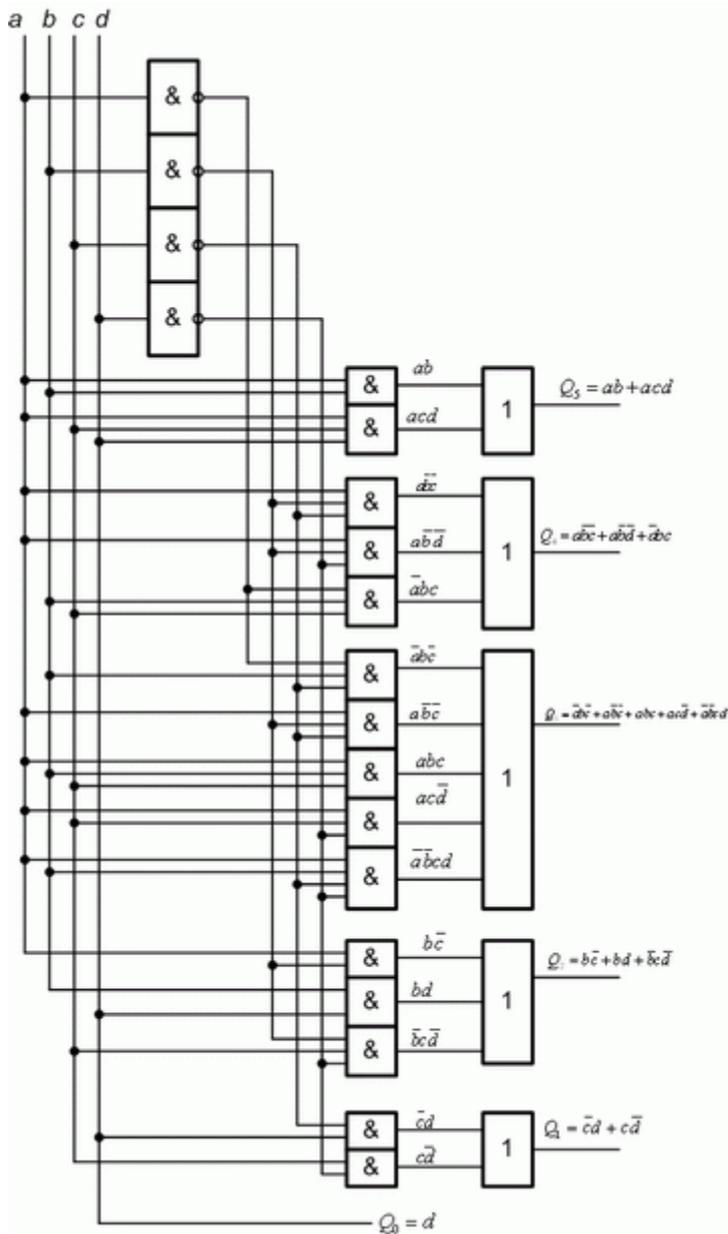


Рисунок 4. Логическая схема преобразователя на 4 входа, реализующего формулу умножения на 3

Практическая часть

1. Синтезировать логические схемы, реализующие заданную математическую формулу.

№ варианта	Математическая формула
1.	$X_{ВЫХ} = 3X_{ВХ} + 1$
2.	$X_{ВЫХ} = 3X_{ВХ} + 2$
3.	$X_{ВЫХ} = 3X_{ВХ} + 3$
4.	$X_{ВЫХ} = 3X_{ВХ} + 4$
5.	$X_{ВЫХ} = 3X_{ВХ} + 5$
6.	$X_{ВЫХ} = 3X_{ВХ} + 6$
7.	$X_{ВЫХ} = 3X_{ВХ} + 7$
8.	$X_{ВЫХ} = 3X_{ВХ} + 8$
9.	$X_{ВЫХ} = 3X_{ВХ} + 9$
10.	$X_{ВЫХ} = 3X_{ВХ} + 10$
11.	$X_{ВЫХ} = 2X_{ВХ} + 11$
12.	$X_{ВЫХ} = 2X_{ВХ} + 12$
13.	$X_{ВЫХ} = 2X_{ВХ} + 13$
14.	$X_{ВЫХ} = 2X_{ВХ} + 14$
15.	$X_{ВЫХ} = 2X_{ВХ} + 15$

16.	$X_{\text{ВЫХ}} = 2X_{\text{ВХ}} + 16$
17.	$X_{\text{ВЫХ}} = 2X_{\text{ВХ}} + 17$
18.	$X_{\text{ВЫХ}} = X_{\text{ВХ}} + 18$
19.	$X_{\text{ВЫХ}} = X_{\text{ВХ}} + 19$
20.	$X_{\text{ВЫХ}} = X_{\text{ВХ}} + 20$

Содержание отчета

Отчет по практической работе должен содержать:

1. Исходное задание.
2. Этапы минимизации.
3. Реализацию задания в виде функциональной схемы.

Практическая работа №12. Синтез мультиплексоров.

Цель работы: ознакомиться с методикой и получить практические навыки синтеза дешифраторов и мультиплексоров на интегральных микросхемах малой степени интеграции.

Краткие теоретические сведения и методические указания

В вычислительной технике многие часто используемые комбинационные схемы выпускаются в виде отдельных микросхем. К таким схемам относятся мультиплексоры.

Мультиплексором называется комбинационная схема, осуществляющая передачу сигнала с одного из своих информационных входов на единственный свой выход. В общем случае мультиплексор имеет 2^n информационных входов (X_i), один выход (Y) и n управляющих входов (Z_i). Последние задают номер входа, с которого передается сигнал. Работу мультиплексора можно описать уравнением

$$Y_0 = \bar{Z}_0 \cdot \bar{Z}_1 \cdot \dots \cdot \bar{Z}_{n-1} \cdot X_0 \cup Z_0 \cdot \bar{Z}_1 \cdot \dots \cdot \bar{Z}_{n-1} \cdot X_1 \cup \dots \cup Z_0 \cdot Z_1 \cdot \dots \cdot Z_{n-1} \cdot X_{2^n-1}$$

На рис.1 приведено условное обозначение мультиплексора на 2 управляющих входа.

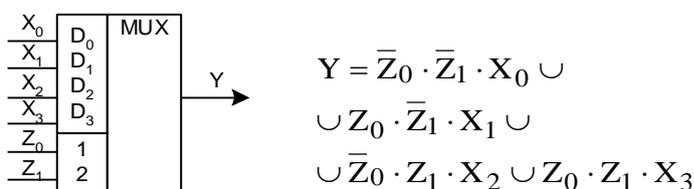


Рисунок 1. Пример функциональной схемы мультиплексора.

Зачастую в выпускаемых промышленно мультиплексорах имеется еще один управляющий вход E , который используется для стробирования и наращивания числа входов мультиплексора. При активном сигнале на входе E мультиплексор работает, как описано выше. При пассивном сигнале на входе E сигнал на выходе Y также будет пассивным независимо от уровней сигналов на остальных входах. На рис.2 показана реализация мультиплексора $8 \rightarrow 1$ на двух мультиплексорах $4 \rightarrow 1$ с управляющими входами E .

Здесь схема И3 реализует функцию $E_1 = \text{строб} \cdot Z_2 = \overline{\text{строб}} \cup \bar{Z}_2$. Т.е. MUX1 будет работать в том случае, если оба эти сигнала (строб и Z_2) активны (равны единице).

Схема И4 реализует функцию

$$E_2 = \overline{\text{строб}} \cdot Z_2 \cdot \text{строб} = \text{строб} \cdot Z_2 \cup \overline{\text{строб}} = Z_2 \cup \overline{\text{строб}}$$

То есть MUX2 будет работать при условии, что строб = 1 и $Z_2 = 0$.

Схема И5 реализует функцию

$$Y = \overline{Y_1} \cdot \overline{Y_2} = Y_1 \cup Y_2$$

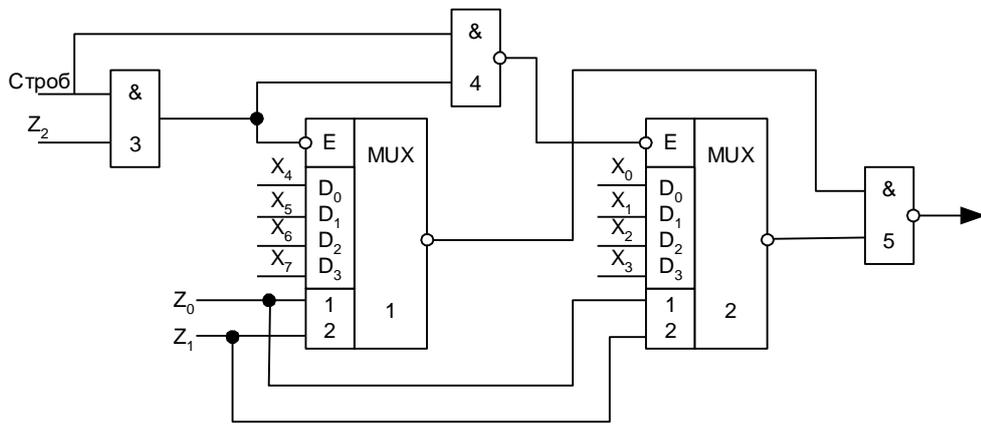


Рисунок 2. Пример увеличения размерности мультиплексора.

Мультиплексор $2^n \rightarrow 1$, как следует из описывающего его работу уравнения, позволяет простейшим образом реализовать любую логическую функцию от n переменных. Для этого достаточно рассматривать управляющие входы Z_j как входы, на которые подаются аргументы функции, а на информационные входы X_i завести значение функции на соответствующих наборах переменных. Пример показан на рис. 3.

0	1	

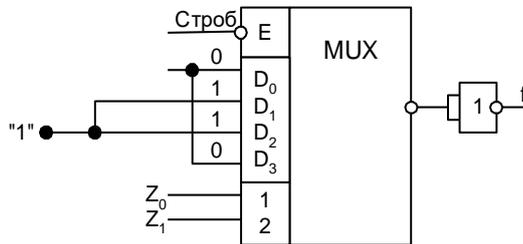


Рисунок 3. Пример реализации логической функции с использованием мультиплексора.

На мультиплексоре $2^n \rightarrow 1$ можно реализовать (с помощью дополнительной логики) и функции с числом аргументов большим, чем n . На рисунке 4 показан пример реализации $F(Z_0, Z_1, Z_2)$ на мультиплексоре $4 \rightarrow 1$.

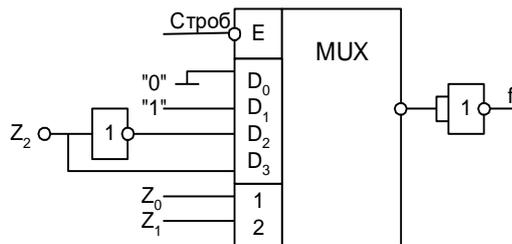


Рисунок 4. Пример реализации логической функции с числом аргументов большим, чем n .

В практической работе предполагается использовать мультиплексор $8 \rightarrow 1$ КП7. Его условное обозначение приведено на рис.5.

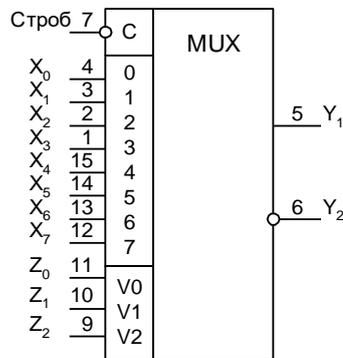


Рисунок 5. Условное графическое обозначение мультиплексора КР1533КП7.

Варианты заданий на практическую работу

В соответствии с номером варианта согласно таблице 1 построить комбинационную схему на ИМС мультиплексоров.

Таблица 1

№ вар	Задание
1.	Реализовать на КП7 и дополнительной логике функцию $F = \bar{X}_1 \cup \bar{X}_2 \oplus X_3 \cup X_2 \bar{X}_4$
2.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cdot \bar{X}_2 \cdot (X_2 \oplus \bar{X}_3) \cup (\bar{X}_1 X_2 X_3)$
3.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cup X_2 \cup X_3 \cdot X_4$
4.	Реализовать на КП7 и дополнительной логике функцию $F = \bar{X}_1 X_2 \cup \bar{X}_2 X_3 \cup X_1 X_2 \bar{X}_4$
5.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 X_2 \cup (X_1 \oplus X_2 \oplus X_3)$
6.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \oplus \bar{X}_2 \cup \bar{X}_3 X_4$
7.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \bar{X}_2 (X_2 \oplus \bar{X}_3) \cup \bar{X}_1 X_2 X_3$
8.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 X_2 \cup X_2 X_3 \cup X_3 X_4$
9.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \oplus X_2 \oplus X_3 \oplus X_4$
10.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cdot \bar{X}_4 \cdot (X_2 \cup \bar{X}_3) \oplus (X_1 \bar{X}_2 X_3)$
11.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cdot X_2 \cdot X_3 \cup \bar{X}_2 \bar{X}_4$
12.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 X_2 X_4 \oplus \bar{X}_1 \bar{X}_2 \bar{X}_3$
13.	Реализовать на КП7 и дополнительной логике функцию $F = \bar{X}_1 \cup X_3 \cdot (X_2 \cup \bar{X}_4) \cup (X_1 X_2 \oplus \bar{X}_3)$
14.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \oplus X_2 \cup X_2 \oplus \bar{X}_3 \cup X_3 X_4$
15.	Реализовать на КП7 и дополнительной логике функцию $F = \bar{X}_1 \cup X_2 \oplus X_3 \cup \bar{X}_4$
16.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 X_2 \cup X_3 \oplus \bar{X}_1 X_2 \bar{X}_3$
17.	Реализовать на КП7 и дополнительной логике функцию $F = \bar{X}_1 X_2 \oplus (X_1 X_2 \cup \bar{X}_3)$
18.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \bar{X}_2 \oplus \bar{X}_3 \cup X_4$
19.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cup X_2 X_3 \oplus \bar{X}_1 X_3$
20.	Реализовать на КП7 и дополнительной логике функцию $F = X_1 \cdot X_2 \oplus X_3 \cup \bar{X}_2 X_4$

Порядок выполнения работы

1. Выбрать из таблицы задание, согласно варианту.

2. Составить таблицу истинности для заданной функции.
3. Реализовать заданную функцию на мультиплексоре.
4. Проверить правильность функционирования.

Содержание отчета

Отчет по практической работе должен содержать:

1. Исходное задание.
2. Реализацию задания в виде функциональной схемы.
3. Краткое описание применяемой микросхемы.

Контрольные вопросы

1. Что такое мультиплексор?
2. Для чего в промышленных мультиплексорах добавлен еще один управляющий вход?
3. Как на мультиплексоре $2n \rightarrow 1$ можно реализовать функции с числом аргументов, больших n ?

Практическая работа № 13. Построение функциональной схемы сумматора.

Цель работы: составить схемы сумматоров для реализации сложения четырехразрядных и восьмиразрядных двоичных чисел.

Краткие теоретические положения

Сумматор – это комбинационное цифровое устройство, предназначенное для сложения двоичных чисел. При сложении одноразрядных чисел образуется двухразрядное число (с учетом переноса) и схема полного сумматора должна складывать три одноразрядных числа: два слагаемых разряда двоичных числа a_i , b_i и перенос p_{i-1} , получаемый при сложении предыдущих младших разрядов.

Логическая схема полного одноразрядного сумматора представлена на рис. 1.

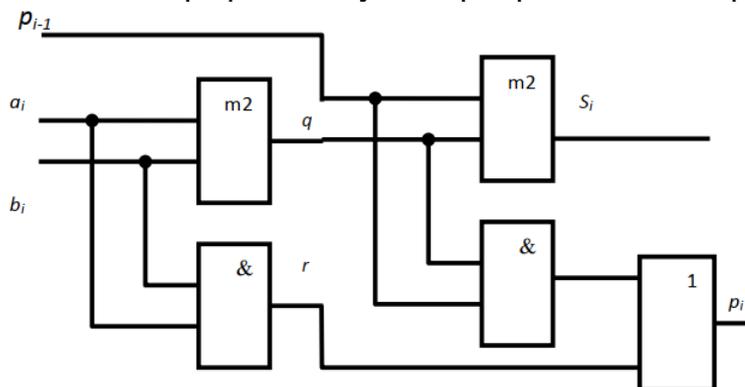


Рисунок 1. Логическая схема полного одноразрядного сумматора

Данное суммирование производится в соответствии с таблицей 1.

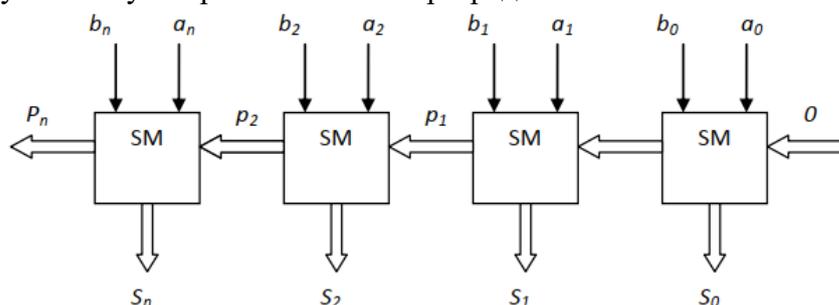
Таблица истинности сложения трех чисел

a_i	b_i	p_{i-1}	q	r	s	S_i	p_i
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	1	0	0	1	0
0	1	1	1	0	1	0	1
1	0	0	1	0	0	1	0
1	0	1	1	0	1	0	1
1	1	0	0	1	0	0	1
1	1	1	0	1	0	1	1

где a_i, b_i – разряды слагаемых чисел; p_{i-1} – перенос от предыдущей суммы; q, r, s – промежуточные результаты, получаемые в соответствии с выражениями:

$$q = a_i \oplus b_i, \quad r = a_i \cdot b_i, \quad s = p_{i-1} \cdot q, \quad S_i = q \oplus p_{i-1}, \quad p_i = r + s$$

При суммировании многоразрядных двоичных чисел одноразрядные сумматоры соединяют в последовательные структуры (рис.2). Выходы переноса P_i микросхем младших разрядов подключаются к входам переноса P_{i-1} микросхем старших разрядов. Разряды слагаемых подаются на входы a_i и b_i микросхем соответствующих разрядов, а с их выходов S_i снимаются разряды результата суммирования. Выход переноса P_n микросхемы самого старшего разряда является выходом переноса результата суммирования всего n -разрядного числа.

Рисунок 2. Структурная схема n -разрядного сумматора

Последовательность выполнения

1. Построить логическую схему сумматора для сложения двух двоичных четырехразрядных чисел a и b . Для этого необходимо взять четыре одноразрядных сумматора (рис.1) и соединить их в соответствии с рис. 2. Подключить на входы схемы четыре ключа для задания значений числа a и четыре ключа для числа b . Выход последнего переноса P и выхода результата суммы S последовательно подключить к логическому анализатору.

2. Задать переключением ключей значения логических сигналов на входах построенной схемы четырехразрядного сумматора при сложении заданных в табл. 1 двоичных чисел a и b (графы 2,3).

Исходные данные

№ варианта	Двоичные четырёхразрядные числа	
	<i>a</i>	<i>b</i>
1	2	3
<i>Пример</i>	1001	1100
0	1011	1111
1	1100	1100
2	1111	1101
3	1110	1001
4	0011	0111
5	0111	1110
6	1100	1000
7	0111	0110
8	1011	1001
9	1111	1111

3. Зафиксировать в отчет показания логического анализатора.
4. Выполнить математически (в столбик) сложение двух заданных числе *a* и *b*.
5. Сравнить результат сложения двух заданных двоичных чисел п. 4 и п.5. Если результаты одинаковые, то построение и расчет выполнены верно.
6. Оформить отчет.

Содержание отчета

1. Тема и цель практической работы.
2. Схема включения четырехразрядного сумматора с зафиксированным показанием логического анализатора.
3. Результат сложения двух заданных двоичных чисел, выполненный математическим способом.
4. Вывод о проделанной работе.

Контрольные вопросы

1. Пояснить маркировку сумматоров, привести примеры ИМС сумматоров, вычитателей.
2. В каком году был построен первый механический сумматор?
3. Перечислить элементы, на которых строятся логические схемы сумматоров.

Практическая работа №14. Исследование работы АЛУ

Цель работы: проверить правильность функционирования микросхемы арифметико-логического устройства.

Краткие теоретические сведения

Арифметико-логическое устройство АЛУ (Arithmetic-Logic Unit - ALU) представляет собой комбинационное устройство на основе сумматора, выполняющее ряд дополнительных функций обработки данных. На рисунке 1 представлено условное обозначение типичного 4-разрядного АЛУ, реализованного в модуле 74181.

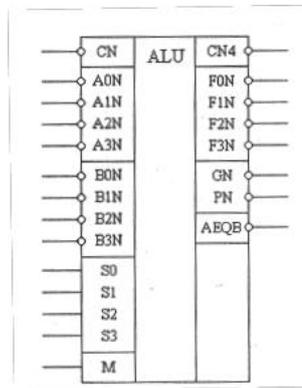


Рисунок 1. Условное обозначение четырёхразрядного АЛУ (модуль 74181)

Представленное АЛУ содержит две группы входов для двух 4-разрядных операндов (обрабатываемых двоичных чисел) $A0N...A3N$ и $B0N...B3N$. На выводах $F0N...F3N$ формируется 4-разрядный результат выполненной операции. Вход CN предназначен для подачи входного переноса в младший разряд устройства, если такой перенос существует. Выход $CN4$ содержит перенос в пятый разряд в случае его возникновения в ходе выполнения операции. Выходы GN и PN предназначены для подачи групповых функций генерации и распространения на внешнюю схему ускоренного формирования переносов (74182). Эта схема может быть использована для построения АЛУ с разрядностью более 4 и параллельным распространением переноса между 4-разрядными блоками. На выходе $AEQB$ формируется сигнал равенства операндов A и B .

Входы $S0...S3$ и M обеспечивают выбор одной из 32 возможных операций, выполняемых устройством. Список операций представлен в таблице 1. Все операции делятся на две группы: логические и арифметические. Переключение между группами осуществляется с помощью входа M . Приведенная таблица соответствует положительной логике линий данных (1 - высокий уровень). Входные 4-разрядные операнды (данные) и 4-разрядный результат операции обозначены в таблице буквами A , B и F . Бит входного переноса носит имя соответствующего вывода модуля CN . Логические операции выполняются над операндами побитово (поразрядно), т. е. без взаимодействия разрядов. Эти операции присутствуют и в логическом и в арифметическом режимах. Для отличия от арифметических операций, выполняемых с учетом переносов в разрядах и обозначаемых в таблице обычными символами $+$ и логические операции указаны с помощью кратких обозначений языка AHDL (символом решетка ($\#$) обозначена операция дизъюнкции (ИЛИ), символом доллар ($\$$) – операция сложения по модулю 2 (исключающее ИЛИ)). Если при выполнении операций арифметического режима возникает перенос в пятый разряд, то на выходе $CN4$ устанавливается 0, в противном случае на нем остается 1.

Таблица истинности 4-разрядного АЛУ 74181

Входы выбора операции				Результат операции (F)		
S3	S2	S1	S0	Логический режим M=H	Арифметический режим M=L	
					CN = H	CN = L
L	L	L	L	!A	A	A + 1
L	L	L	H	!(A \$ B)	A # B	(A # B) + 1
L	L	H	L	(!A) & B	A # (!B)	(A # (!B)) + 1
L	L	H	H	0	- 1 *	0 ***
L	H	L	L	!(A & B)	A + (A & (!B))	A + (A & (!B)) + 1
L	H	L	H	!B	(A # B) + (A & (!B))	(A # B) + (A & (!B)) + 1
L	H	H	L	A \$ B	A - B - 1	A - B
L	H	H	H	A & (!B)	(A & (!B)) - 1	(A & (!B))
H	L	L	L	(!A) # B	A + (A & B)	A + (A & B) + 1
H	L	L	H	!(A \$ B)	A + B	A + B + 1
H	L	H	L	B	(A # (!B)) + (A & B)	(A # (!B)) + (A & B) + 1
H	L	H	H	A & B	(A & B) - 1	(A & B)
H	H	L	L	1	A + A **	A + A + 1
H	H	L	H	A # (!B)	(A # B) + A	(A # B) + A + 1
H	H	H	L	A # B	(A # (!B)) + A	(A # (!B)) + A + 1
H	H	H	H	A	A - 1	A

* -1 представляется в дополнительном коде, т. е. 1111 для 4-разрядного устройства.

** Сдвиг влево на один разряд (умножение на 2).

*** 0 представляется в 4-разрядном устройстве как 0000.

Задание на практическую работу

В качестве микросхемы АЛУ взять микросхему серии 74 – 74181. Подключить, проверить работу микросхемы по таблице 2.

В отчёте расписать 6 операций с двумя разными наборами операндов. Результаты работы оформить по таблице 2.

Таблица 2

Результаты работы

Код операции	Операция	Операнд А	Операнд В	Результат

Практическая работа №15. Цифровые компараторы.

Цель работы: изучение правил выполнения операции сравнения двоичных чисел и исследование принципов построения цифровых компараторов.

Теоретические основы практической работы

Компаратором (устройством сравнения) называют функциональный узел, обеспечивающий сравнение двух чисел А и В. Если А и В – n-разрядные двоичные числа, то компаратор именуют цифровым.

Простейшие компараторы формируют на выходе однобитовый сигнал равенства, или неравенства сравниваемых чисел А и В. Эти отношения используются как логические условия в микропрограммах, в устройствах контроля и диагностики ЭВМ, в устройствах автоматики компараторы используются для сигнализации о выходе величин за установленные пределы и т.д.

Компараторы строятся на основе поразрядных операций над одноименными разрядами обоих слов. Слова равны, если попарно равны все одноименные их разряды. Признак (условие) равенства i-х разрядов сравниваемых слов А и В:

$$r_{ip} = a_i b_i + \overline{a_i} \overline{b_i} = \overline{a_i \oplus b_i} = 1 \quad (1)$$

Условие неравенства i-х разрядов:

$$r_{in} = a_i \overline{b_i} + \overline{a_i} b_i = a_i \oplus b_i = 1 \quad (2)$$

Схемная реализация приведенных условий изображена на рис. 1, а.

Схема n-разрядного компаратора на равенство показана на рис.1, б.

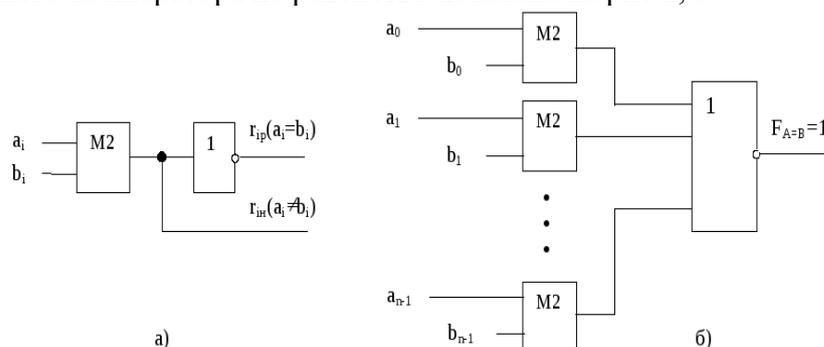


Рис. 1. Схема компаратора 2-х переменных (а) и n-разрядных слов (б)

Более сложные компараторы выявляют не только факт равенства двух n-разрядных чисел, но и сравнивают числа по значению. Такие компараторы имеют три выхода: “А>В”, “А=В”, “А<В”, и в зависимости от соотношения величин А и В, активный уровень (уровень логической 1) появляется на одном из этих выходов.

Построить такой компаратор можно на базе двоичного сумматора, выполнив на нем операцию вычитания А-В и проанализировав полученный результат. Для этого на сумматор нужно число В подать в дополнительном коде. Тогда выходной перенос сумматора (р₁) будет равен 0 лишь в том случае, когда А строго меньше В. Равенство разности 0 является признаком того, что А=В. Единица переноса при нулевой сумме указывает на то, что А строго больше В. Сказанное иллюстрируют следующие примеры:

$\begin{array}{r} \text{A} > \text{B} \\ -\text{A} &_{13} & + 1101 \\ -\text{B} &_{12} & + 0100 \\ \hline & & 1.0001 \\ p_1=1 \quad s \neq 0 \end{array}$	$\begin{array}{r} \text{A} = \text{B} \\ -\text{A} &_{12} & + 1100 \\ -\text{B} &_{12} & + 0100 \\ \hline & & 1.0000 \\ s=0 \end{array}$	$\begin{array}{r} \text{A} < \text{B} \\ -\text{A} &_{11} & + 1011 \\ -\text{B} &_{12} & + 0100 \\ \hline & & 0.1111 \\ p_1=0 \end{array}$
---	--	--

Примечание. Вычитание из числа А числа В=12₁₀=1100₂ заменено прибавлением к А дополнительного кода числа В, равного 0100₂.

Правила справедливы, если числа А и В рассматриваются, как положительные величины, без знака. Если же их старшие разряды трактуются как знаки, то правила будут несколько иные. Их легко вывести самостоятельно, если есть навыки обращения с обратными и дополнительными кодами.

Схема, реализующая описанный алгоритм, изображена на рис. 2.

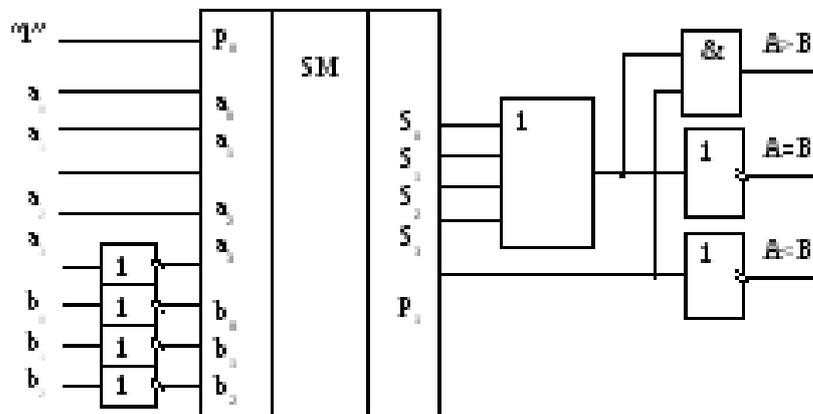


Рис. 2. Схема 4-разрядного компаратора на базе двоичного сумматора.



Примером компаратора двоично-кодированных чисел может служить ИС 4-разрядного компаратора К555СП1 (рис. 3).

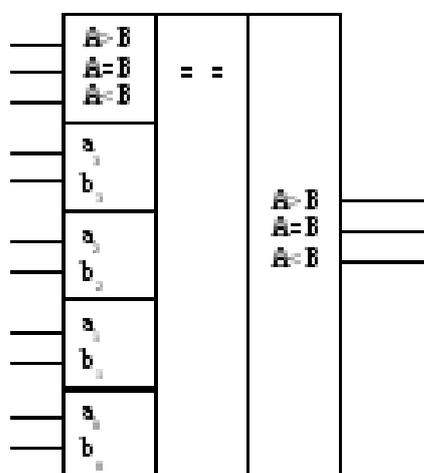


Рис. 3. Условное обозначение ИС компаратора К555СП1

Компаратор имеет 11 входов. Четыре пары входов $a_i b_i$ ($i=0,1,2,3$) используются для подачи на них соответствующих разрядов сравниваемых чисел, входы $A < B$, $A = B$, $A > B$ позволяют каскадировать несколько ИС компараторов для увеличения разрядности сравниваемых чисел. Компаратор имеет три выхода результатов сравнения: $A > B$, $A = B$ и $A < B$. При каскадировании выходы $A > B$, $A = B$ и $A < B$ схемы, сравнивающей младшие разряды, следует присоединить к одноименным входам последующего каскада. Этим способом с помощью двух компараторов СП1 можно сравнивать два восьмиразрядных слова. Нетрудно подсчитать необходимое число каскадов для любой большей длины сравниваемых слов.

Все возможные комбинации поразрядных соотношений входных кодов, а также уровней на входах каскадирования сведены в таблицу, где показаны соответствующие результирующие уровни на выходах $A > B$, $A = B$ и $A < B$ (табл. 1).

Таблица 1

	Входы сравнения данных				Входы наращивания каскадов			Выходы		
	a_3, b_3	a_2, b_2	a_1, b_1	a_0, b_0	$I(A>B)$	$I(A<B)$	$I(A=B)$	$A>B$	$A<B$	$A=B$
1.	$a_3>b_3$	x	x	x	x	x	x	В	Н	Н
2.	$a_3<b_3$	x	x	x	x	x	x	Н	В	Н
3.	$a_3=b_3$	$a_2>b_2$	x	x	x	x	x	В	Н	Н
4.	$a_3=b_3$	$a_2<b_2$	x	x	x	x	x	Н	В	Н
5.	$a_3=b_3$	$a_2=b_2$	$a_1>b_1$	x	x	x	x	В	Н	Н
6.	$a_3=b_3$	$a_2=b_2$	$a_1<b_1$	x	x	x	x	Н	В	Н
7.	$a_3=b_3$	$a_2=b_2$	$a_1=b_1$	$a_0>b_0$	x	x	x	В	Н	Н
8.	$a_3=b_3$	$a_2=b_2$	$a_1=b_1$	$a_0<b_0$	x	x	x	Н	В	Н
9.	$a_3=b_3$	$a_2=b_2$	$a_1=b_1$	$a_0=b_0$	Н	Н	В	Н	Н	В

Задание на практическую работу

1. На базе 2-х входных ЛЭ “М2”(К155ЛП5) спроектировать схему и исследовать работу n-разрядного компаратора на равенство, (n=2 для 1-й и 2-й бригад; n=3 для 3-й, 4-й и 5-й бригад).

Порядок выполнения пункта 1 задания. При фиксированном значении одного из сравниваемых чисел, например А, равном номеру вашей бригады, установить значение второго числа (В) равным, большим и меньшим А на единицу. Результаты сравнения свести в таблицу.

2. На базе 4-х разрядного двоичного сумматора спроектировать и исследовать работу компаратора с тремя выходами: $A=B$, $A>B$ и $A<B$.

Порядок выполнения пункта 2 задания. Четырехразрядный двоичный сумматор построить из двухразрядных сумматоров К155ИМ2.

При фиксированном значении одного из сравниваемых чисел, например А, равном номеру вашей бригады плюс 3, установить значение второго числа (В) равным, большим и меньшим А на 2. Результаты сравнения свести в таблицу.

3. Исследовать работу ИС 4-х разрядного компаратора К555СП1.

Порядок выполнения пункта 3 задания аналогичен порядку выполнения п. 2.2. Кроме того, для фиксации равенства $A=B$ на входы наращивания($A>B$)и($A<B$)следует подать напряжение низкого уровня, а на вход($A=B$)– напряжение высокого уровня (см. строку 9 табл. 1).

Контрольные вопросы

1. Приведите определение цифрового компаратора и перечислите его возможные применения.

2. Запишите условия равенства (неравенства) одноименных разрядов сравниваемых чисел А и В.

3. Докажите справедливость выражений (1) и (2).

4. Используя 2-х входные ЛЭ“М2”, спроектируйте схему n-разрядного цифрового компаратора на равенство (неравенство). Определите потребное для этого число ЛЭ“М2”, других ЛЭ, если n=2, 3, 4, 5.

5. Чему равно значение выхода схемы (рис. 1, б) при а) $A=B$, б) $A<B$ и в) $A>B$?

6. Выполните требования п. 2.1 задания на лабораторную работу, если в вашем распоряжении имеются 2-х входные ЛЭ “М2” с инверсными выходами.

7. Используя ИС К555СП1 спроектируйте схему 8-ми разрядного цифрового компаратора.

Практическая работа №16. Разработка и моделирование процессов передачи информации через драйверные схемы

Теоретическая часть

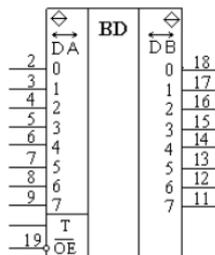
Драйвер – интегральная комбинационная схема с повышенной нагрузочной способностью, назначением которой является организация связи с периферийными устройствами. Если связь осуществляется с помощью двунаправленной шины данных, то в качестве драйвера используется схема с Z-состоянием.

Шинные драйверы обозначаются на схемах как BD.

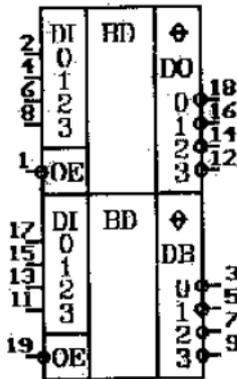
Рассмотрим, к примеру, работу шестиразрядного шинного драйвера серии 155 ЛП 10. Данные поступают на входы DI 0-5 и передаются на выходы DO 0-5 в инвертированном виде при условии, что на входах разрешения присутствуют сигналы низкого уровня. В остальных случаях выходы драйвера переводятся в третье состояние.

Таблица истинности:

OE	T	Направление передачи
0	0	DB → DA
0	1	DA → DB
1	X	Z-состояние



Примеры схем шинных драйверов ТТЛ-технологии

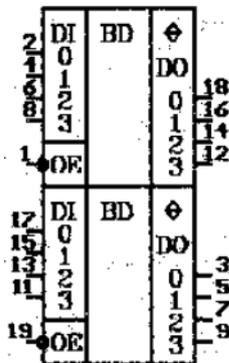


Два четырехразрядных инвертирующих шинных драйвера

530-, 531-, 533-, 555-, 1533АП3
(10—общ., 20 — +5 В).

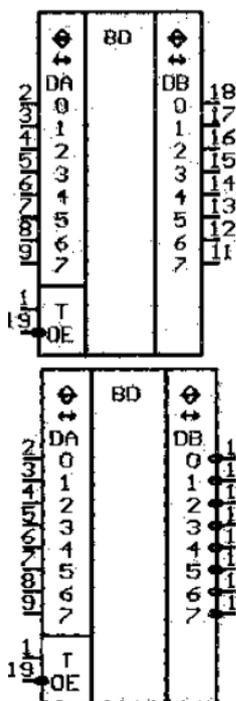
Управление ИС аналогично ЛП8.

При подаче на вход OE=0 происходит передача информации, при OE=1 выходы схемы переводятся в z-состояние.



Два четырехразрядных шинных драйвера 533-, 555-, 1533АП5 (10—общ., 24— +5 В).

Управление ИС аналогично ЛП8.



Восьмиразрядный шинный драйвер 533-, 555-, 1533АП6 (10—общ., 24—+5 В).
 Функционирование ИС задается в соответствии с таблицей режимов:

OE	T	Направление передачи
0	0	DB → DA
0	1	DA → DB
1	x	z-состояние

Восьмиразрядный инвертирующий шинный драйвер 1533АП9 (10—общ., 20—+5 В).

Функционирование ИС задается в соответствии с таблицей режимов:

OE	T	Направление передачи
0	0	$\overline{DB} \rightarrow DA$
0	1	$DA \rightarrow \overline{DB}$
1	x	z-состояние

Практическое задание

Смоделировать работу драйверной схемы по заданным условиям любыми программными средствами. Построить временную диаграмму и таблицу истинности работы полученной схемы.

Вариант 1. Схема 155 ЛП 10. Режим параллельной передачи 18-разрядного числа.

Вариант 2. Схема на базе 1533 АП 3. Режим работы – асинхронная передача двух 8-разрядных чисел.

Вариант 3. Схема на базе 1533 АП 5. Организовать асинхронную передачу 12-разрядного и 4-разрядного данного.

Вариант 4. На базе 1533 АП 6 организовать двунаправленную передачу 32-разрядного данного.

Вариант 5. На базе 1533 АП 9 построить схему асинхронной передачи двух 8-разрядных чисел.

Вариант 6. На базе 155 ЛП 10 построить схему асинхронной передачи трех 6-разрядных чисел.

Вариант 7. Схема на базе 555 АП 3. Организовать передачу 20-разрядного адреса.

Вариант 8. На базе схем 555 АП 5 организовать асинхронную передачу трех 8-разрядных данных.

Вариант 9. На базе 533 АП 6 построить схему асинхронной двунаправленной передачи двух 16-разрядных данных.

Вариант 10. Схема на базе 1533 АП 9. Организовать 16-разрядную шину адреса.

Практическая работа №17. Моделирование и исследование логики работы асинхронных RS-триггеров.

Цель работы: ознакомление с принципом работы асинхронных RS-триггеров, получение практических навыков в построении и контроле работоспособности асинхронных RS-триггеров, а также исследование логики работы асинхронных RS-триггеров методом моделирования с использованием программы Electronics Workbench.

Теоретическая часть

Для построения цифровых устройств кроме логических элементов требуются элементы памяти, предназначенные для хранения двоичных кодов в течение требуемого времени.

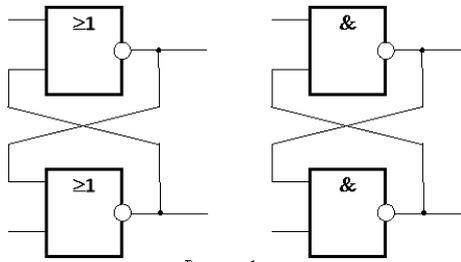


Рисунок 1

В качестве статического элемента памяти используются бистабильные ячейки (БЯ), имеющие два устойчивых состояния. Бистабильные ячейки могут быть построены на двух логических элементах И-НЕ или ИЛИ-НЕ, соединенных перекрёстными связями (см. рисунок 1).

В качестве элементов памяти используются так называемые триггеры. Триггер - это цифровая электронная схема с двумя устойчивыми состояниями, которые устанавливаются при подаче соответствующей комбинации входных сигналов и сохраняются после снятия этих сигналов.

Триггер имеет несколько входов и два выхода - прямой и инверсный. Сигналы на выходах триггера всегда имеют различные значения. Если на прямом выходе сигнал равен 1, то на инверсном - 0 и наоборот. Состояние триггера определяется значением сигнала на прямом выходе (Q). Если сигнал на прямом выходе равен 1, то триггер находится в состоянии 1.

Триггеры могут быть синхронными или асинхронными. Если изменения сигнала Q происходит только при наличии специального сигнала С, являющегося сигналом синхронизации, то такой триггер называется синхронным триггером. Синхронизация триггера может происходить либо по уровню сигнала, либо по фронту сигнала (переднему или заднему).

Асинхронный триггер не имеет входа синхронизации, поэтому переключение триггера происходит только при поступлении на вход информационных входных сигналов X.

Логика переключения триггера из одного состояния в другое зависит от количества и назначения входов. Наиболее часто используются в цифровой технике следующие типы триггеров: RS-триггеры, JK-триггеры, D-триггеры и T-триггеры. Буквами R, S, J, K, D и T обозначаются информационные входы триггеров (X).

Асинхронные и синхронные триггеры разных типов

Асинхронные RS-триггеры

Асинхронный RS-триггер имеет два информационных входа - R и S. Вход S используется для установки триггера в состояние 1, а вход R - для установки в состояние 0.

Работа триггера описывается таблицей переходов, которая имеет вид таблицы 1.

Таблица 1

Выходы	Вход	Состояния	
		Q(0)	Q(1)
	0	0	1
	1	1	1
	0	0	0
		Не определено	

Из таблицы 1 может быть получено уравнение переходов триггера. После минимизации (например, с использованием карт Карно) уравнение переходов примет вид:

$$Q_{t+1} = S + \bar{R} \cdot Q_t$$

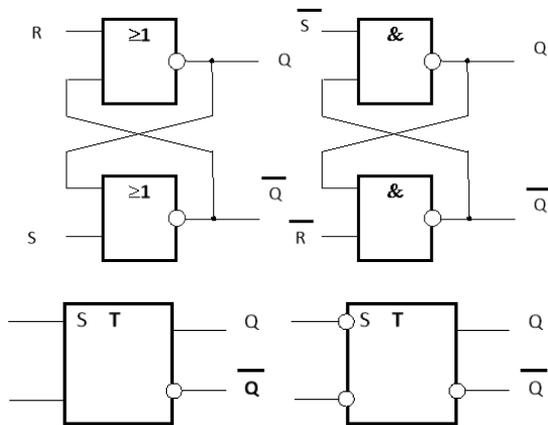


Рисунок 3

Из уравнения следует, что при $S=1, R=0$ всегда $Q_{t+1}=1$, при $S=0, R=1$ всегда $Q_{t+1}=0$, а при $S=0, R=0$ $Q_{t+1}=Q_t$. Комбинация сигналов $S=1, R=1$ является запрещенной, так состояние триггера не определено.

Для построения триггера на элементах И-НЕ уравнение необходимо преобразовать (двойным инвертированием) к другому виду:

$$Q_{t+1} = \overline{\overline{S \cdot R} \cdot Q_t}$$

Для построения триггера на элементах ИЛИ-НЕ уравнение имеет вид:

$$Q_{t+1} = \overline{\overline{S + R + Q_t}}$$

Функциональные схемы асинхронных RS-триггеров, построенные на элементах ИЛИ-НЕ (слева) и И-НЕ (справа), и их условные графические обозначения (УГО) показаны на рисунке 3.

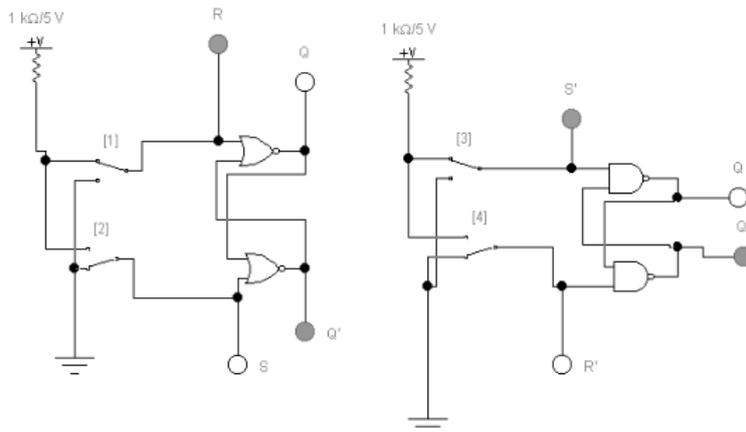
Как видно из рисунка 3, асинхронный RS-триггер представляет собой бистабильную ячейку, построенную на элементах И-НЕ или ИЛИ-НЕ.

При построении RS-триггера на элементах И-НЕ действующими установочными сигналами являются инверсные значения информационных сигналов R и S.

Порядок выполнения работы

Построить на элементах 2И-НЕ и 2ИЛИ-НЕ схемы асинхронных RS-триггеров (см. рисунок 3) и исследовать логику их работы в статическом режиме.

Путем моделирования работы триггеров получить таблицы переходов и сравнить их с таблицей 1. Образцы схем для моделирования приведены ниже. Исследуемые схемы и таблицы занести в отчет.



Содержание отчета

В отчет о выполненной работе включить следующие материалы:

1. Тему и цель работы.
2. Результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов.
3. Анализ полученных результатов.
4. Выводы по работе.

Контрольные вопросы

1. Из каких логических элементов можно построить схему триггера?
2. Чем отличаются синхронные триггеры от асинхронных триггеров?

Практическая работа №18. Моделирование и исследование логики работы синхронных RS-триггеров.

Цель работы: ознакомление с принципом работы синхронных триггеров, получение практических навыков в построении и контроле работоспособности синхронных триггеров, а также исследование логики работы синхронных триггеров методом моделирования с использованием программы Electronics Workbench.

Теоретическая часть

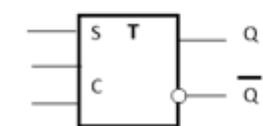
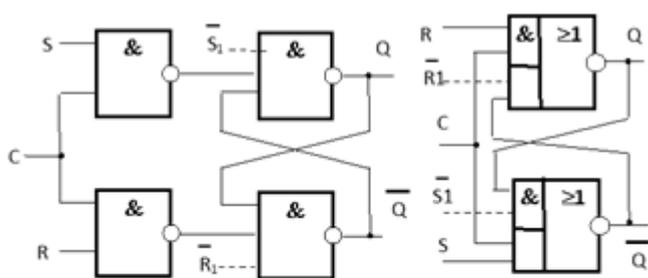
Синхронный RS-триггер дополнительно имеет вход синхронизации С, на который поступает синхросигнал. Информационные сигналы R и S воздействуют на состояние триггера только при значении синхросигнала C=1.

Таблица переходов синхронного RS-триггера состоит из двух частей. Первая часть таблицы описывает переходы триггера при C=1 и совпадает с таблицей переходов асинхронного триггера, а вторая – при C=0.

При C=0 триггер не меняет своего состояния при любой комбинации сигналов на информационных входах R и S. В этом случае всегда $Q_{t+1} = Q_t$.

Уравнение синхронного RS-триггера имеет вид:

$$Q_{t+1} = S \cdot C + (R + C) \cdot Q_t$$



$$Q_{t+1} = S + R \cdot \overline{Q}_t$$

Из уравнения следует, что при C=0 $Q_{t+1} = Q_t$, т.е. работа описывается уравнением асинхронного триггера. На рисунке приведены функциональные схемы синхронных RS-триггеров, реализованных на элементах И - НЕ для уравнения

$$Q_{t+1} = S \cdot C + (R \cdot C) \cdot Q_t$$

и на элементах И-ИЛИ-НЕ для уравнения

$$Q_{t+1} = S \cdot C + (R \cdot C) \cdot Q_t$$

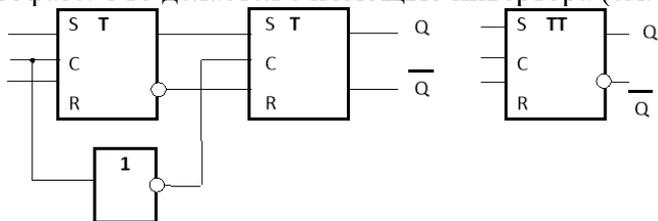
На рисунке, кроме основных входов R и S, показаны дополнительные инверсные асинхронные входы R₁ и S₁.

Двухтактные RS-триггеры

Триггеры в ЭВМ используются в различных узлах, между которыми осуществляется передача информации. Устойчивая работа цепочки триггеров возможна только в том случае, если запись новой информации в триггер осуществляется после считывания ранее записанной

информации и передачи её в следующий по цепочке триггер. Это возможно при использовании двух серий синхроимпульсов, сдвинутых относительно друг друга на 180° . Такой принцип управления и синхронизации применяется в двухтактных триггерах.

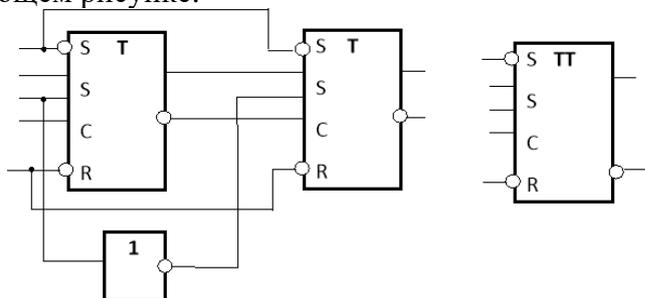
Простейшая схема двухтактного RS-триггера может быть построена на двух одноктактных триггерах, причём синхроимпульсы на входы С первого и второго триггеров должны подаваться в противофазе. Это делается с помощью инвертора (см. рисунок).



При поступлении на вход первого одноктактного триггера импульса $C=1$ информация на входах R и S устанавливает триггер в соответствующее новое состояние Q_{t+1} , а второй одноктактный триггер хранит информацию о предыдущем состоянии Q_t , так как на его входе С сигнал равен нулю. По окончании действия синхроимпульса, т.е. при $C=0$, первый триггер переходит в режим хранения, а информация Q_{t+1} , записанная в первом триггере, передается во второй, так как на его входе С сигнал становится равным единице. В результате к началу следующего такта на выходе двухтактного RS-триггера появится сигнал, определяемый состоянием Q_{t+1} первого триггера. В таком триггере выходной сигнал формируется по заднему фронту синхроимпульса.

Двухтактный синхронный RS-триггер может быть использован для построения других типов триггеров, таких как D-, T- и JK-триггеров.

Для установки RS-триггера в 0 или 1 независимо от присутствия сигнала на входе С в схему вводят прямые или инверсные входы R и S асинхронной установки, как показано на следующем рисунке:



Практическая часть

Задание 1. Построить на элементах 2И-НЕ и 2-2И-2ИЛИ-НЕ схемы синхронных RS-триггеров и исследовать логику их работы в статическом режиме. Образцы схем для моделирования приведены на рисунках 1 и 2. В качестве элементов 2-2И-2ИЛИ-НЕ использована микросхема 7455, в которой располагается элемент 4-4И-2ИЛИ-НЕ. Исследуемые схемы и таблицы занести в отчет.

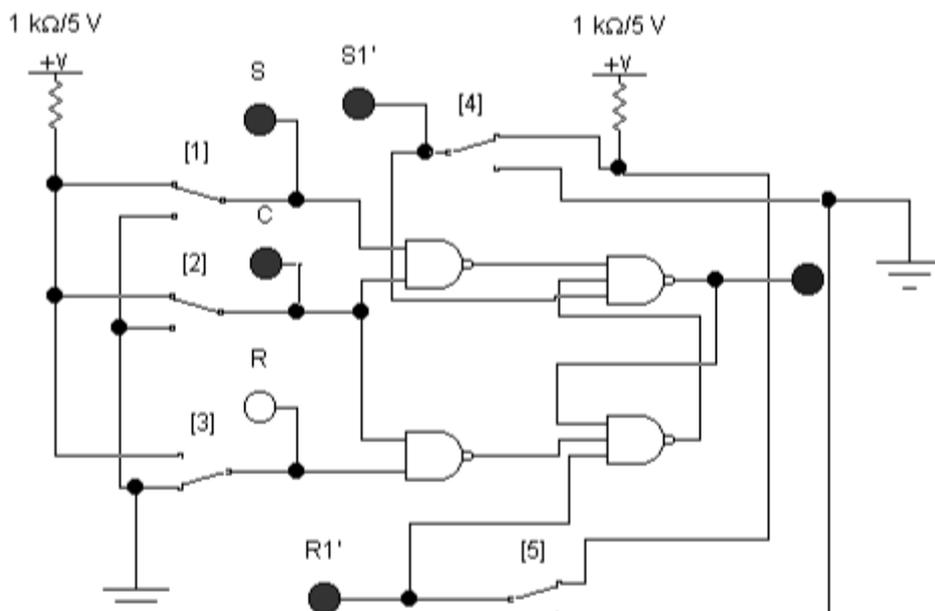


Рисунок 1

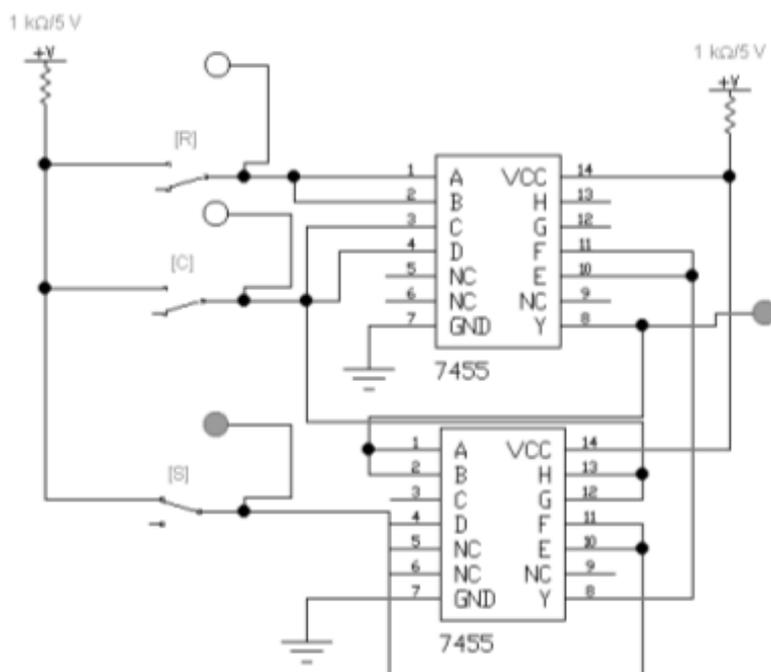
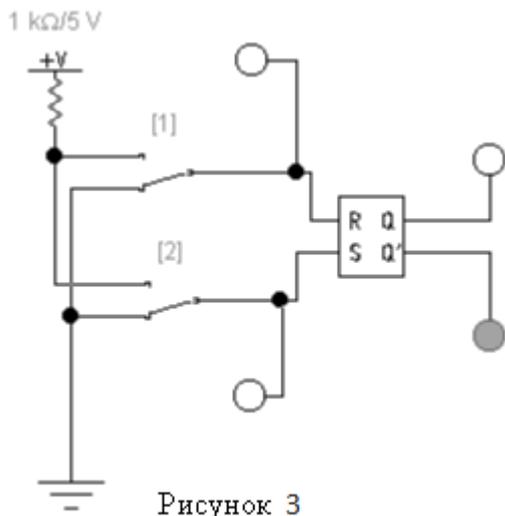
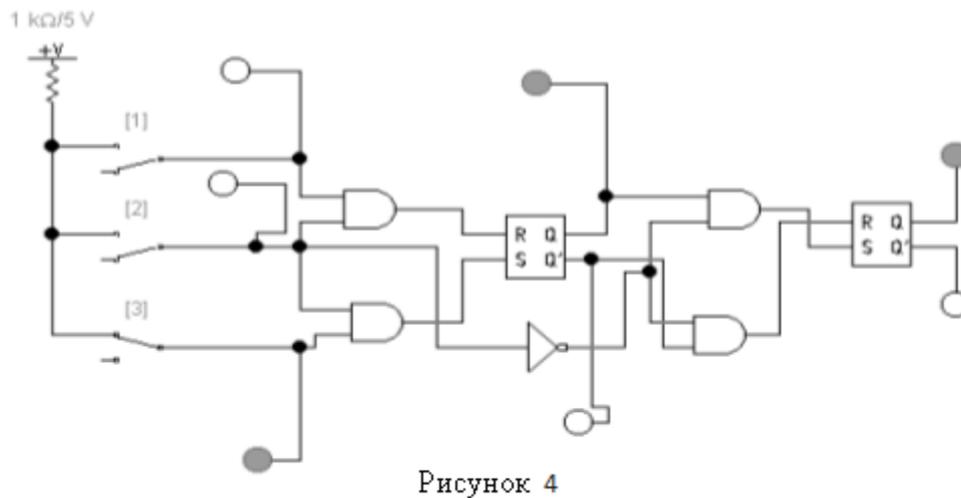


Рисунок 2

Задание 2. Исследовать в статическом режиме логику работы RS-триггера, который имеется в библиотеке программы. Для этого собрать схему, показанную на рисунке 3. Получить таблицу переходов триггера и сравнить ее с таблицей 1. Исследуемую схему и таблицу занести в отчет.



Задание 3. Исследовать в статическом режиме логику работы двухтактного RS-триггера. Для этого собрать схему, показанную на рисунке 4. Получить таблицу переходов триггера и сравнить ее с таблицей 1. Исследуемую схему и таблицу занести в отчет.



Содержание отчета

В отчет о выполненной работе включить следующие материалы:

1. Тему и цель работы.
2. Результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов.
3. Анализ полученных результатов.
4. Выводы по работе.

Контрольные вопросы

1. Из каких логических элементов можно построить схему триггера?
2. Чем отличаются синхронные триггеры от асинхронных триггеров?

Практическая работа №19. Моделирование и исследование логики работы D-триггеров.

Цель работы: ознакомление с принципом работы D-триггеров, получение практических навыков в построении и контроле их работоспособности, а также исследование логики работы D-триггеров методом моделирования с использованием программы Electronics Workbench.

Теоретическая часть

Асинхронный и синхронный D-триггеры

В вычислительной технике широко применяется D-триггер, который реализует функцию временной задержки входного сигнала. D-триггер имеет один информационный вход. Логика работы асинхронного D-триггера описывается таблицей переходов, которая имеет вид таблицы 1.

По таблице 1 может быть записано уравнение переходов D-триггера:

$$Q_{t+1} = D_t,$$

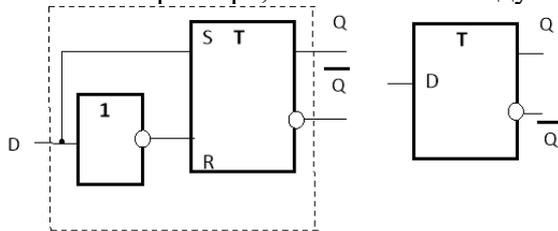
где: t - текущий момент времени; $t+1$ - последующий момент времени.

Таблица 1

Вход	Состояния	
	Q(0)	Q(1)
0	0	0
1	1	1

Как видно из уравнения, в асинхронном D-триггере состояние (выходной сигнал) Q_{t+1} повторяет значение входного сигнала D_t . Поэтому асинхронный D-триггер по существу является не элементом памяти, а элементом задержки, и рассматривается только как основа для построения синхронного D-триггера.

Функциональная схема и УГО асинхронного D-триггера, построенного на основе асинхронного RS-триггера, показаны на следующем рисунке:



Для построения счётчиков, регистров и других цифровых схем используются синхронные D-триггеры как одноктактные, так и двухтактные. Логика работы синхронного D-триггера описывается таблицей переходов, которая имеет вид таблицы 2.

Таблица 2

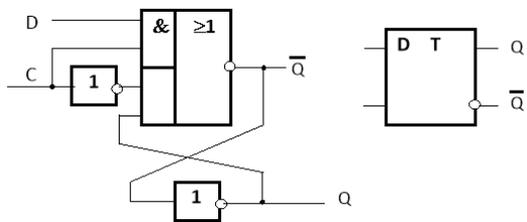
Входы		Состояния	
C	D	Q(0)	Q(1)
1	0	0	0
1	1	1	1
0	0	0	1
0	1	0	1

Уравнение переходов синхронного триггера, записанное по таблице 3, имеет следующий вид:

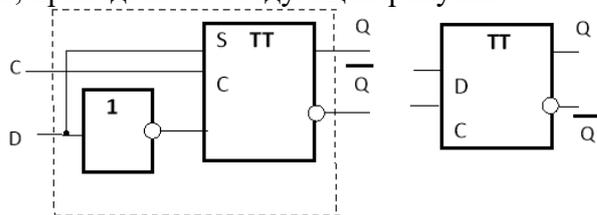
$$Q_{t+1} = C \cdot Q_t + \bar{C} \cdot D$$

В соответствии с уравнением синхронный D-триггер при $C=0$ сохраняет свое состояние, а при $C=1$ работает как асинхронный.

Функциональная схема синхронного D-триггера на элементах ИЛИ-НЕ приведена на следующем рисунке:

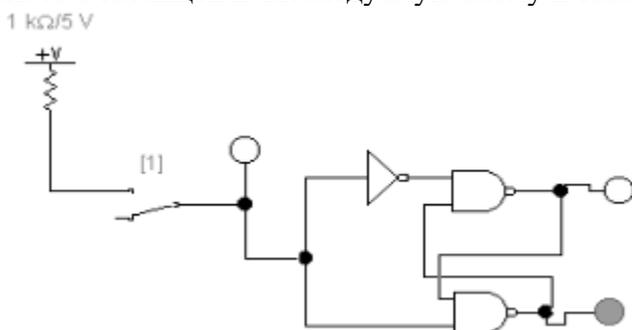


Функциональная схема двухтактного D-триггера, построенного на основе двухтактного RS-триггера, приведена на следующем рисунке:

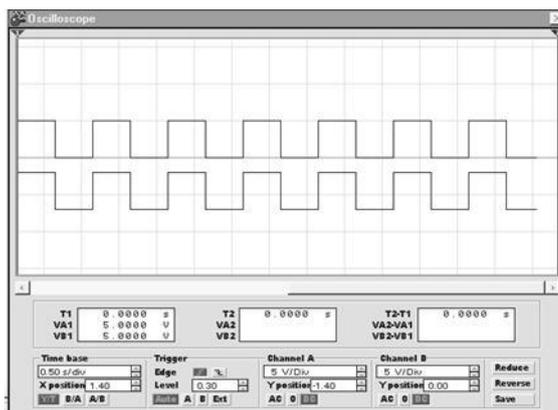
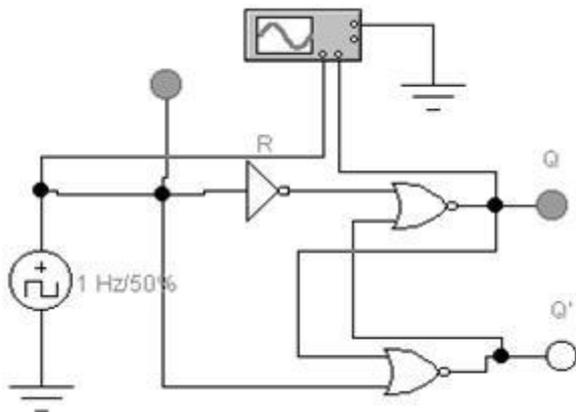


Практическая часть

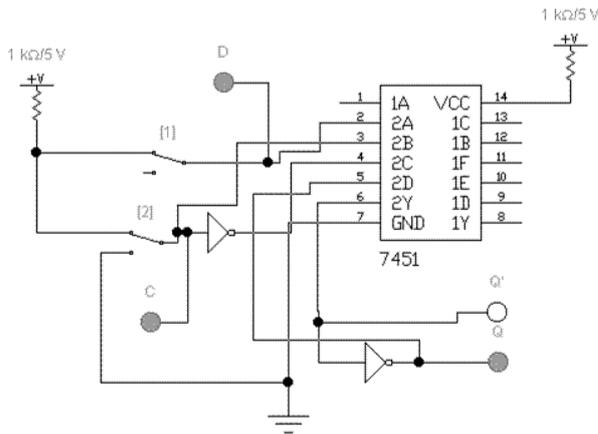
Задание 1. Исследовать в статическом режиме логику работы асинхронного D-триггера. Для этого собрать схему, показанную на рисунке. Получить таблицу переходов триггера и сравнить ее с таблицей 2. Исследуемую схему и таблицу занести в отчет.



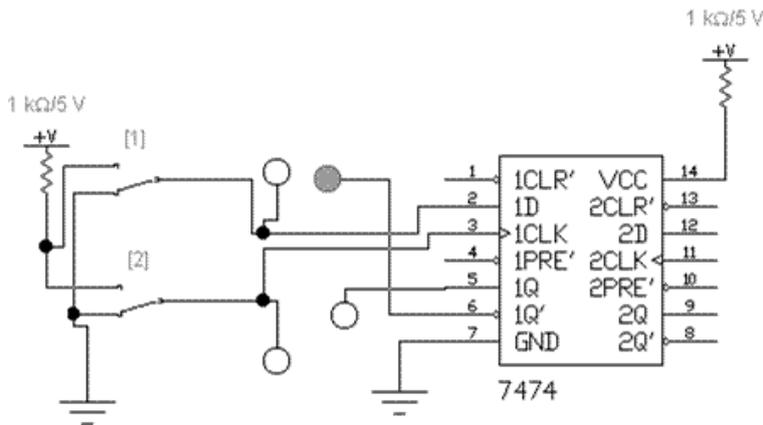
Задание 2. Исследовать в динамическом режиме логику работы асинхронного D-триггера. Для этого собрать схему, показанную на рисунке. Для визуального наблюдения работы схемы установить частоту генератора 1 Гц. Зарисовать полученную осциллограмму. Исследуемую схему и таблицу занести в отчет.



Задание 3. Собрать и исследовать в статическом режиме схему синхронного D-триггера на элементе 2И-2И-2ИЛИ-НЕ, в качестве которого использовать микросхему 7451 с 2-мя элементами 2И-2И-2ИЛИ-НЕ. Схема для исследования показана на рисунке ниже. Результаты исследования занести в отчет.



Задание 4. Собрать и исследовать микросхему 7474, состоящую из 2-х синхронных D-триггеров. Схема показана на рисунке ниже. Результаты исследования занести в отчет.



Содержание отчета

В отчет о выполненной работе включить следующие материалы:

1. Тему и цель работы.
2. Результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов.
3. Анализ полученных результатов.
4. Выводы по работе.

Контрольные вопросы

1. Можно ли построить схему D-триггера на основе RS - триггера ?
2. На какое время может быть задержана установка синхронного D-триггера по отношению к сигналу на его входе?
3. На какое время может быть задержана установка в 1 асинхронного D-триггера по отношению к сигналу на его входе?
4. Чем отличается двухтактный триггер от одноктактного триггера?

Практическая работа №20. Моделирование и исследование логики работы Т-триггеров.

Цель работы: ознакомление с принципом работы Т-триггеров, получение практических навыков в построении и контроле их работоспособности, а также исследование логики работы Т-триггеров методом моделирования с использованием программы Electronics Workbench.

Теоретическая часть

Асинхронный и синхронный Т-триггеры

T-триггер имеет один информационный вход. Логика работы асинхронного T-триггера может быть описана таблицей переходов, которая имеет вид таблицы 1.

Таблица 4

ход	Состо- яния	
	Q(0)	(1)

По таблице 1 может быть получено следующее уравнение асинхронного T-триггера:

$$Q_{t+1} = \overline{T}Q_t + T\overline{Q}_t$$

Как видно из таблицы 1 и уравнения триггера, при T=1 асинхронный T-триггер меняет свое состояние на противоположное, а при T=0 состояние триггера не изменяется.

Так как T-триггер суммирует (или подсчитывает) по модулю два количество единиц, поступающих на его информационный вход, то T-триггер называют также триггером со счетным входом.

Логика работы синхронного T-триггера описывается таблицей переходов, которая имеет вид таблицы 2.

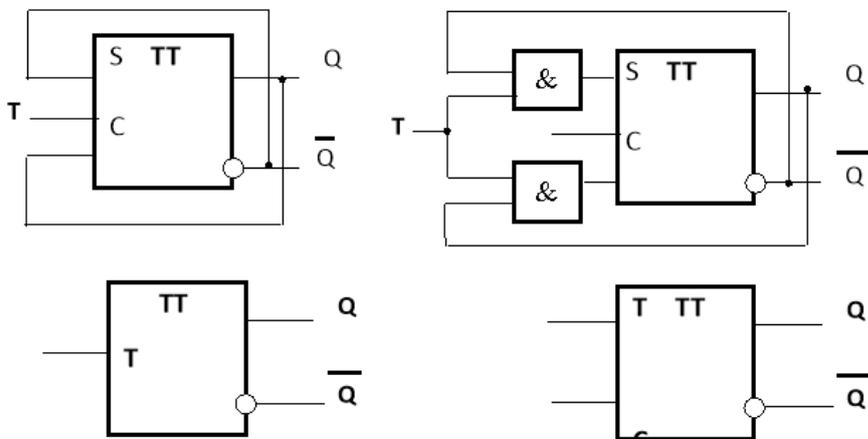
Таблица 2

Входы		Состояния	
C	T	Q(0)	Q(1)
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

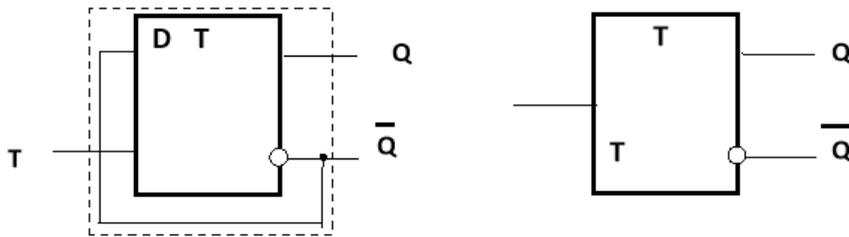
Из таблицы 2 видно, что при C=0 триггер не изменяет своего состояния, а при C=1 работает как асинхронный T-триггер.

Функциональная схема T-триггера может быть построена на основе синхронного RS-триггера (однотактного или двухтактного).

Схемы асинхронного и синхронного T-триггера приведены на рисунках ниже. Обе схемы построены на основе синхронного двухтактного RS-триггера. Аналогичные схемы можно строить на основе однотактного RS-триггера. В двухтактных асинхронных T-триггерах выходной сигнал формируется по заднему фронту входного сигнала T, а в однотактных - по переднему фронту. В двухтактных синхронных T-триггерах выходной сигнал формируется по заднему фронту сигнала C.

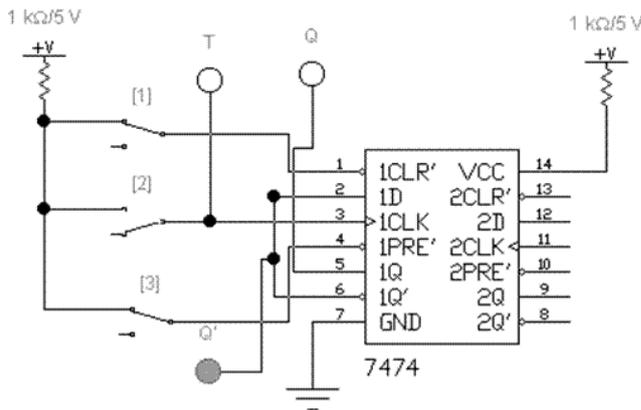


Схему асинхронного T-триггера, в свою очередь, можно получить из D-триггера простой коммутацией входов и выходов:



Практическая часть.

Задание 1. Собрать схему и исследовать работу асинхронного Т-триггера, построенного на базе синхронного D-триггера в статическом режиме. Соответствующая схема показана на рисунке ниже. В качестве синхронного D-триггера использовать микросхему 7474 с дополнительными асинхронными входами установки и сброса (инверсные входы R и S). Результаты исследования занести в отчет.



Содержание отчета

В отчет о выполненной работе включить следующие материалы:

1. Тему и цель работы.
2. Результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов.
3. Анализ полученных результатов.
4. Выводы по работе.

Контрольные вопросы

1. Как построить схему Т-триггера, если использовать схему RS - триггера и логические элементы?
2. Почему Т-триггер называется триггером со счетным входом?

Практическая работа №21. Моделирование и исследование логики работы JK-триггеров.

Цель работы: ознакомление с принципом работы JK-триггеров, получение практических навыков в построении и контроле их работоспособности, а также исследование логики работы JK-триггеров методом моделирования с использованием программы Electronics Workbench.

Теоретическая часть

JK-триггер называется также универсальным триггером. Универсальность схемы JK-триггера состоит в том, что простой коммутацией входов и выходов можно получать схемы других типов триггеров.

JK-триггер имеет два информационных входа. Вход J используется для установки триггера в состояние 1, а вход K - для установки в состояние 0, т.е. входы J и K аналогичны входам R и S RS-триггера. Отличие заключается в том, что на входы J и K могут одновременно поступать сигналы 1. В этом случае JK- триггер изменяет свое состояние на противоположное.

Таблица переходов JK-триггера при C=1 имеет вид таблицы 1.

Таблица 1

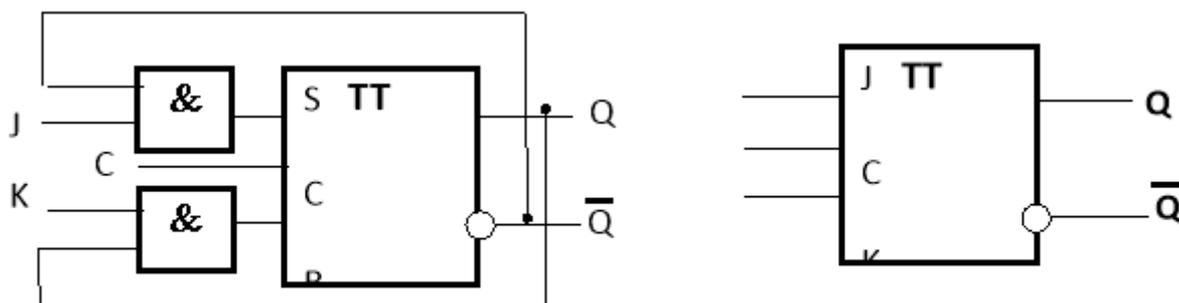
Входы		Состояния	
J	K	Q(0)	Q(1)
0	0	0	1
0	1	0	0
1	0	1	1
1	1	1	0

Из таблицы 1 можно получить следующее уравнение JK-триггера:

$$Q_{t+1} = J Q_t + K \bar{Q}_t$$

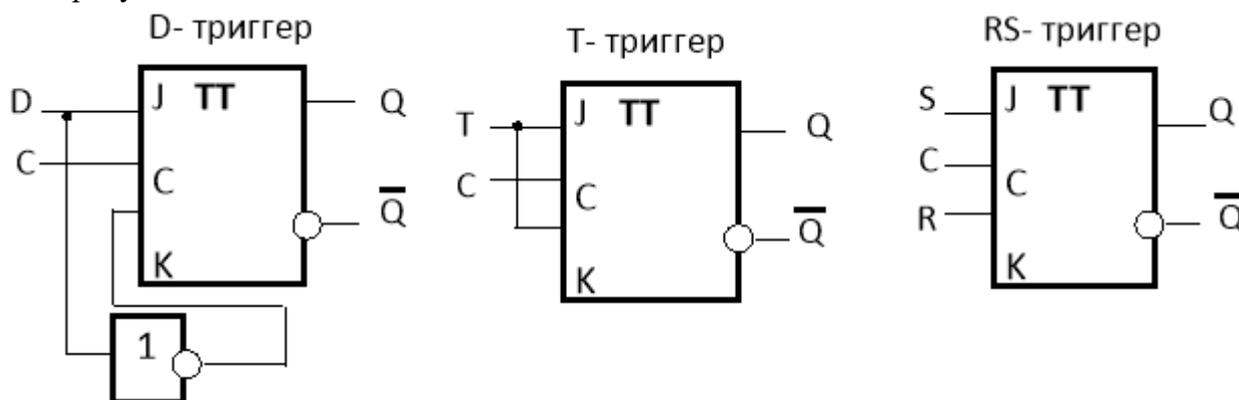
Следовательно, при J=1, K=0 всегда $Q_{t+1}=1$, а при J=0, K=1 всегда $Q_{t+1}=0$, т.е. JK-триггер работает как RS-триггер, если рассматривать входы J и K как входы S и R.

Функциональная схема двухтактного JK-триггера и УГО триггера показаны на рисунке ниже.



В свою очередь, при J=1, K=1 $Q_{t+1}=\bar{Q}_t$, т.е. триггер переходит в противоположное состояние (работает как T-триггер).

Примеры получения других типов триггеров на основе JK-триггера представлены на следующем рисунке:

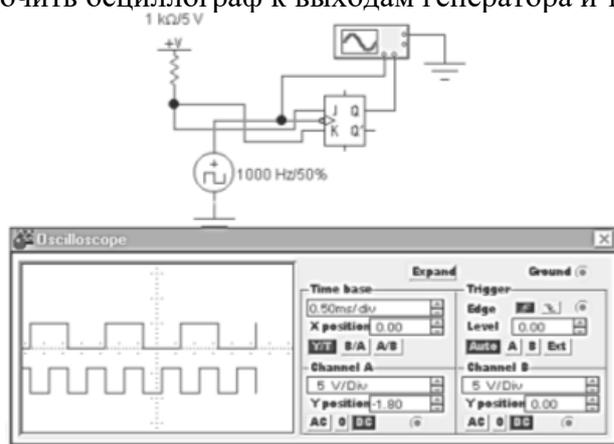


JK-триггер, кроме основных информационных входов и входа синхронизации, может иметь также дополнительные информационные входы, например, дополнительные инверсные асинхронные входы R и S, которые используются для установки триггера в 0 или 1 независимо от значения сигнала на входе синхронизации. Кроме того, триггер может иметь несколько входов J или K, объединенных по схеме И.

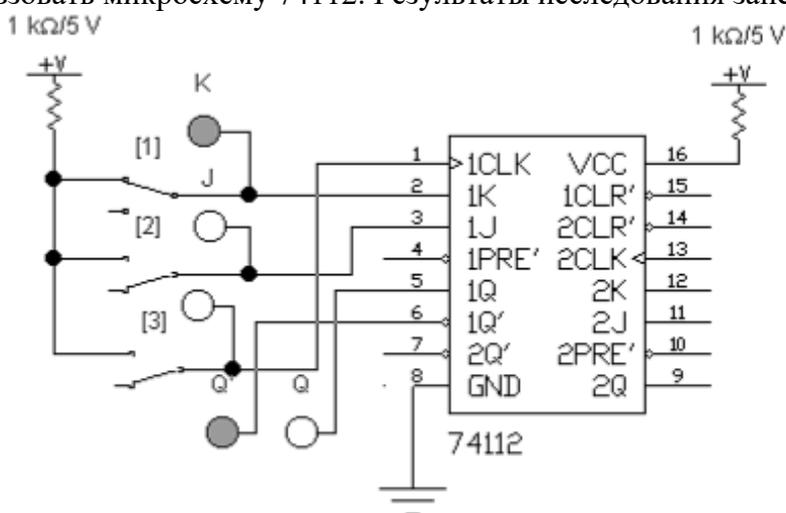
Практическая часть

Задание 1. Исследовать работу синхронного JK-триггера в динамическом режиме. Для этого собрать схему, показанную на рисунке ниже. При подаче на входы J и K сигналов высокого уровня, а на вход синхронизации импульсов от генератора, триггер будет работать в режиме

переключения с частотой в два раза ниже, чем частота генератора. Для визуальной индикации подключить осциллограф к выходам генератора и триггера.



Задание 2. Собрать схему и исследовать работу синхронного JK-триггера в статическом режиме. Соответствующая схема показана на рисунке ниже. В качестве синхронного JK-триггера использовать микросхему 74112. Результаты исследования занести в отчет.



Содержание отчета

В отчет о выполненной работе включить следующие материалы:

1. Тему и цель работы.
2. Результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов.
3. Анализ полученных результатов.
4. Выводы по работе.

Контрольные вопросы

1. В каких случаях таблица переходов JK-триггера совпадает с таблицей переходов RS-триггера, в каких случаях отличается?
2. Почему JK-триггер называется универсальным триггером?
3. Чем отличается двухтактный триггер от одноктактного триггера?

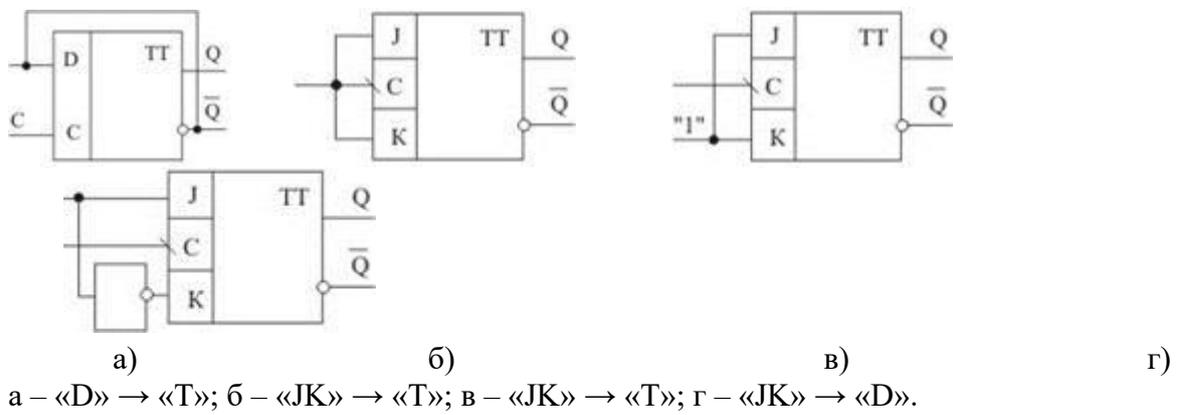
Практическая работа №22. Взаимное преобразование триггеров.

Цель работы: изучение функционирования триггеров различных типов, принципов их синтеза и взаимопреобразования.

Теоретические сведения

При реализации логических и цифровых устройств часто различные схемы триггеров выполняют на базе какого-либо одного триггера. Это упрощает процесс изготовления, ремонта устройств и расширяет возможности их применения.

На рисунке ниже приведены некоторые схемы взаимного преобразования триггеров.



Простейший JK-триггер можно получить из синхронного RS-триггера, если ввести дополнительные обратные связи с выходов триггера на входы, которые позволяют устранить неопределенность в таблице состояний (рисунок 1).

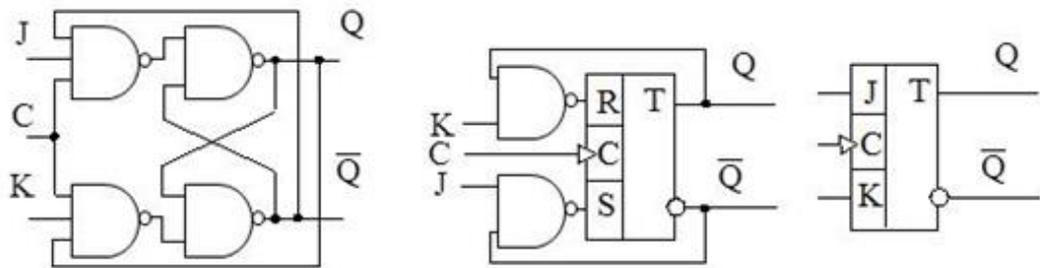


Рисунок 1 – Преобразование синхронного RS-триггера в JK-триггер

D-триггер возможно получить из синхронного RS-триггера, если ввести дополнительный инвертор между входами R и S. В таком триггере состояние неопределенности для входов R и S исключается, т. к. инвертор формирует на входе R сигнал S.

Из JK-триггера также можно получить D-триггер, если вход соединить с входом J через дополнительный инвертор (рисунок 2).

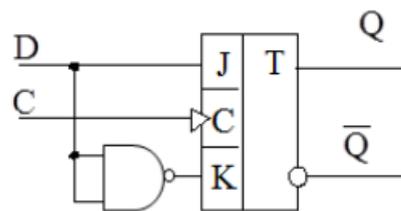
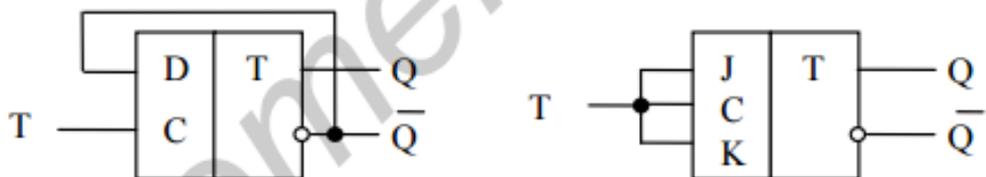


Рисунок 2 – Преобразование JK- в D-триггер

T-триггер может быть построен на JK-триггере путем объединения входов J, K и C (т. е. $J = K = C = T$). Также он может быть построен на D-триггере путем соединения инверсного выхода с входом D и подачей на вход C счетных импульсов, в результате чего триггер при каждом счетном импульсе будет переключаться в противоположное состояние (рисунок 3).



Практическая часть

Порядок выполнения работы:

1. Ознакомиться с теоретической частью.
2. Собрать схему в соответствии с рисунком 4 и исследовать работу Т-триггера, D-триггера и JK-триггера. Работа RS-триггера из-за наличия запрещенных комбинаций не исследуется.

Тактовые импульсы (прямоугольной формы) с выхода генератора сигналов XFG1 с амплитудой 5 В и частотой F Гц подаются на синхровходы триггеров и на вход анализатора XLA1. Частота работы внутреннего тактирующего источника генератора бинарного слова – 1кГц, логического анализатора – 10 кГц (установки по умолчанию).

Сигналы J, K, а также значения F берутся из таблицы 3 в соответствии с номером варианта.

3. Исследовать работу Т-триггера в счетном режиме, для чего на Т-вход необходимо подать сигнал логической единицы, на синхровход – сигнал с генератора импульсов.

4. Получить временные диаграммы работы исследуемых триггеров.

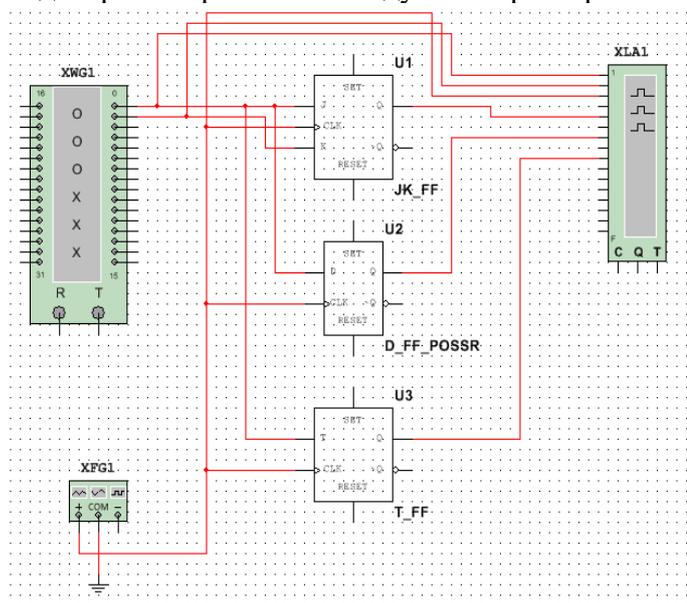


Рисунок 4 – Схема исследования Т-, D- и JK-триггера

Содержание отчета по практической работе

1. № и наименование (тема) работы.
2. Цель работы.
3. Теоретические сведения.
4. Задание.
5. Порядок выполнения /ход работы/: подробные записи по выполнению заданий (Схема исследования триггеров различных типов, Структурные схемы и временные диаграммы для каждого исследованного триггера) полученные результаты.
6. Ответы на вопросы.
7. Выводы по выполненной работе.

Контрольные вопросы

1. Приведите определение триггера, перечислите его отличительные особенности.
2. Какие признаки используют при классификации триггеров?
3. Какие триггеры называются асинхронными, а какие синхронными?
4. Какой тип триггеров называется «универсальным» и почему?
5. Приведите определение, схему, условное обозначение и принцип работы RS-триггера.
6. Приведите определение, схему, условное обозначение и принцип работы D-триггера.
7. Приведите определение, схему, условное обозначение и принцип работы JK-триггера.
8. Приведите определение, схему, условное обозначение и принцип работы Т-триггера.

Практическая работа №23. Исследование принципов построения и функционирования цифровых автоматов.

Цель работы: усвоение схемной реализации и исследование особенностей функционирования цифровых автоматов.

Теоретические сведения

Цифровой автомат – устройство, оперирующее с логическими сигналами и имеющее некоторое множество внутренних состояний Z , находящийся в каждый момент времени t в одном из этих состояний $Z_t \in Z$, способный переходить из одного состояния в другое под воздействием множества входных сигналов X и формировать множество выходных сигналов Y .

Понятие состояния автомата предполагает наличие у него внутренней памяти. Число возможных различных состояний зависит от глубины этой памяти. В качестве элементов памяти могут использоваться стандартные модули ПЗУ или триггеры. Если число внутренних состояний конечно и определено, то цифровой автомат называют *конечным*. Различают конечные автоматы *Мура* и *Мили*.

Любой конечный автомат определяется:

- множеством входных сигналов $X=(X_1, X_2, \dots, X_n)$;
- множеством выходных сигналов $Y=(Y_1, Y_2, \dots, Y_n)$;
- множеством внутренних состояний $Z=(Z_1, Z_2, \dots, Z_n)$;
- начальным состоянием автомата $Z_t=0 \in Z$;
- функцией переходов $Z_{t+1} = f(Z_t, X_t)$;
- функцией выходов: $Y_t = \phi(Z_t, X_t)$ – для автомата Мили;
 $Y_t = \phi(Z_t)$ – для автомата Мура.

К конечным автоматам относятся цифровые устройства для формирования сигналов управления различными объектами: лифтовыми подъёмниками, турникетами, шаговыми двигателями, игровыми автоматами, счётными устройствами, бытовыми приборами и др. Описание автомата может быть задано в виде словесного описания, в виде графа функционирования и в виде таблиц перехода и выхода. Синтез конечного автомата по заданному описанию сводится к определению структуры внутренней памяти и схемы комбинационного устройства, обеспечивающего логику переходов автомата и формирование выходных сигналов. В данной лабораторной работе ставится задача синтеза и исследования логики функционирования типовых конечных автоматов: устройства управления светофором перекрёстка и формирователей временных интервалов электронных часов.

Рассмотрим процесс синтеза конечного автомата – устройства управления уличным светофором:

1) Формулируем словесное описание работы автомата.

Конечный автомат должен обеспечивать переключение светофора на уличном перекрестке с последовательным включением ламп:



Здесь и в дальнейшем используем обозначение ламп: красной – **К**, желтой – **Ж**, зеленой – **З**. Временные интервалы для горения соответствующих ламп определяются таймером. Исходное состояние – включена лампа “**К**”. Переход из одного состояния в другое осуществляется при смене уровней входного сигнала X . В начальном состоянии значение входного сигнала $X=0$.

2) Составляем граф работы автомата (рис. 1).

Число состояний автомата $N_{COC} = 4$.

Состояния автомата:

Z_0, Y_1 – включение лампы **К**;

Z_1, Y_1, Y_2 – включение ламп **К** и **Ж**;

Z_2, Y_3 – включение лампы **З**;

Z_3, Y_2 – включение лампы **Ж**.

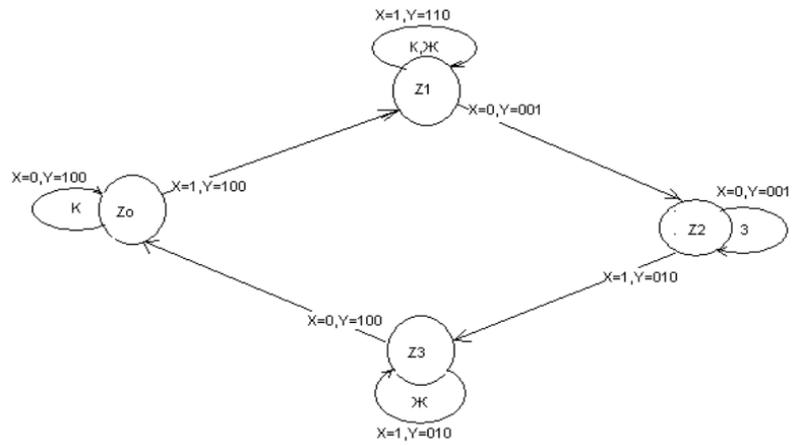


Рисунок 1 – Граф функционирования автомата управления уличным светофором.

- 3) Определяем структуру внутренней памяти автомата. Число элементов памяти $m = \lceil \log_2 N_{COC} \rceil = \lceil \log_2 4 \rceil = 2$. Выбираем в качестве элементов памяти два Т-триггера. Кодировем состояния автомата состояниями Т-триггеров Q_2Q_1 :
 $Z_0 \rightarrow Q_2Q_1$; $Z_1 \rightarrow Q_2Q_1$; $Z_2 \rightarrow Q_2Q_1$; $Z_3 \rightarrow Q_2Q_1$.

4) По графу автомата составляем таблицу функционирования автомата, отражающую функции перехода $Z_{t+1} = f(Z_t, X_t)$ и выхода $Y_t = \phi(Z_t, X_t)$ (табл.1)

Таблица 1 – Таблица функционирования автомата.

Исходное состояние автомата $Z_{t=0} \in Z$	Z_0	Z_1	Z_2	Z_3	Z_0	Z_1	Z_2	Z_3
Состояние 1-го триггера – Q_{01}	0	1	0	1	0	1	0	1
Состояние 2-го триггера – Q_{02}	0	0	1	1	0	0	1	1
Значение входного сигнала – X	0	0	0	0	1	1	1	1
Новое состояние автомата – Z_{t+1}	Z_0	Z_2	Z_2	Z_0	Z_1	Z_1	Z_3	Z_3
Состояние 1-го триггера – Q_1	0	0	0	0	1	1	1	1
Состояние 2-го триггера – Q_2	0	1	1	0	0	0	1	1
Сигналы включения ламп – Y_i :								
красной – Y_1	1	0	0	1	1	1	0	0
жёлтой – Y_2	0	0	0	0	1	1	1	1
зелёной – Y_3	0	1	1	0	0	0	0	0

4) По данным таблицы функционирования составляем таблицы переключений триггеров, обеспечивающих переход автомата из одного состояния в другое в соответствии с графом рис. 1. Исходное состояние определяется при этом сигналами X , Q_{01} , Q_{02} .

а) для первого триггера	б) для второго триггера.																																								
<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0-0</td> <td style="text-align: center;">0-1</td> <td style="text-align: center;">0-1</td> <td style="text-align: center;">0-0</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">1-0</td> <td style="text-align: center;">1-1</td> <td style="text-align: center;">1-1</td> <td style="text-align: center;">1-0</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table>		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0-0	0-1	0-1	0-0	Q_{01}	1-0	1-1	1-1	1-0		\overline{X}	X		\overline{X}	<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0-0</td> <td style="text-align: center;">0-0</td> <td style="text-align: center;">1-1</td> <td style="text-align: center;">1-1</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">0-1</td> <td style="text-align: center;">0-0</td> <td style="text-align: center;">1-1</td> <td style="text-align: center;">1-0</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table>		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0-0	0-0	1-1	1-1	Q_{01}	0-1	0-0	1-1	1-0		\overline{X}	X		\overline{X}
	$\overline{Q_{02}}$		Q_{02}																																						
$\overline{Q_{01}}$	0-0	0-1	0-1	0-0																																					
Q_{01}	1-0	1-1	1-1	1-0																																					
	\overline{X}	X		\overline{X}																																					
	$\overline{Q_{02}}$		Q_{02}																																						
$\overline{Q_{01}}$	0-0	0-0	1-1	1-1																																					
Q_{01}	0-1	0-0	1-1	1-0																																					
	\overline{X}	X		\overline{X}																																					

5) Выбираем тип триггера и с учётом логики его работы составляем карты Карно для определения функций управления триггерами. Для Т-триггера, изменяющего своё состояние при подаче на T -вход сигнала “1”, карты Карно имеют вид:

а) для первого Т-триггера	б) для второго Т-триггера.																																								
<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table> $T_1 = X\overline{Q_{01}} + \overline{X}Q_{01}$		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0	1	1	0	Q_{01}	1	0	0	1		\overline{X}	X		\overline{X}	<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table> $T_2 = \overline{X}Q_{01}$		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0	0	0	0	Q_{01}	1	0	0	1		\overline{X}	X		\overline{X}
	$\overline{Q_{02}}$		Q_{02}																																						
$\overline{Q_{01}}$	0	1	1	0																																					
Q_{01}	1	0	0	1																																					
	\overline{X}	X		\overline{X}																																					
	$\overline{Q_{02}}$		Q_{02}																																						
$\overline{Q_{01}}$	0	0	0	0																																					
Q_{01}	1	0	0	1																																					
	\overline{X}	X		\overline{X}																																					

7) По данным таблицы функционирования составляем карты Карно для определения логических функций, определяющих логику формирования сигналов включения ламп светофора:

а) для красной (Y_1):	б) для жёлтой (Y_2):	в) для зелёной (Y_3):																																																												
<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table> $Y_1 = X\overline{Q_{02}} + \overline{Q_{01}}\overline{Q_{02}} + \overline{X}Q_{01}Q_{02};$		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	1	1	0	0	Q_{01}	0	1	0	1		\overline{X}	X		\overline{X}	<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table> $Y_2 = X;$		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0	1	1	0	Q_{01}	0	1	1	0		\overline{X}	X		\overline{X}	<table border="1" style="margin: auto;"> <tr> <td></td> <td colspan="2" style="text-align: center;">$\overline{Q_{02}}$</td> <td colspan="2" style="text-align: center;">Q_{02}</td> </tr> <tr> <td style="text-align: center;">$\overline{Q_{01}}$</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">Q_{01}</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="text-align: center;">\overline{X}</td> <td colspan="2" style="text-align: center;">X</td> <td style="text-align: center;">\overline{X}</td> </tr> </table> $Y_3 = \overline{X}Q_{01}\overline{Q_{02}} + \overline{X}Q_{02}\overline{Q_{01}};$		$\overline{Q_{02}}$		Q_{02}		$\overline{Q_{01}}$	0	0	0	1	Q_{01}	1	0	0	0		\overline{X}	X		\overline{X}
	$\overline{Q_{02}}$		Q_{02}																																																											
$\overline{Q_{01}}$	1	1	0	0																																																										
Q_{01}	0	1	0	1																																																										
	\overline{X}	X		\overline{X}																																																										
	$\overline{Q_{02}}$		Q_{02}																																																											
$\overline{Q_{01}}$	0	1	1	0																																																										
Q_{01}	0	1	1	0																																																										
	\overline{X}	X		\overline{X}																																																										
	$\overline{Q_{02}}$		Q_{02}																																																											
$\overline{Q_{01}}$	0	0	0	1																																																										
Q_{01}	1	0	0	0																																																										
	\overline{X}	X		\overline{X}																																																										

8) Преобразуем логические функции в базис двухвходовых логических элементов:

$T1 = X \oplus Q01$, $Y1 = Q02(X + Q01) + X(Q01Q02)$ и $Y3 = X(Q01 \oplus Q02)$. С учётом произведённых тождественных преобразований составляем схему цифрового автомата (рис. 2).

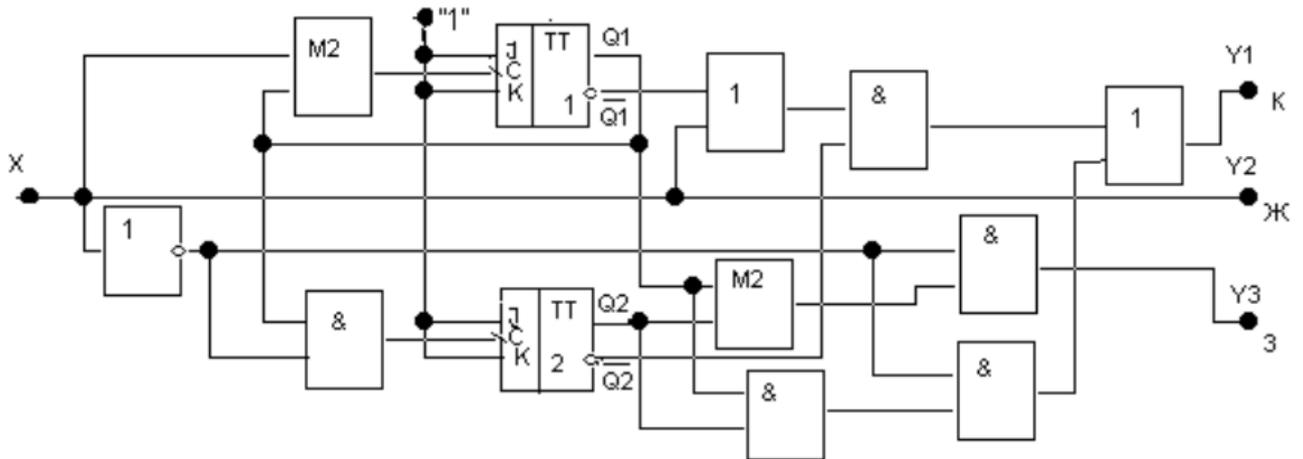


Рисунок 2 – Схема цифрового автомата включения ламп светофора.

3. К числу конечных автоматов относятся цифровые часы, представляющие собой совокупность таймеров с расширенными функциональными возможностями. Функциональная схема цифровых часов приведена на рисунке 3. В них используется три счётчика-делителя частоты (два с коэффициентом счёта $M=60$ и один с $M=24$), три пары цифровых индикаторов для отображения состояний счётчиков (секунд, минут и часов, соответственно) и генератор синхросигналов с частотой $F_C = 1\text{Гц}$.

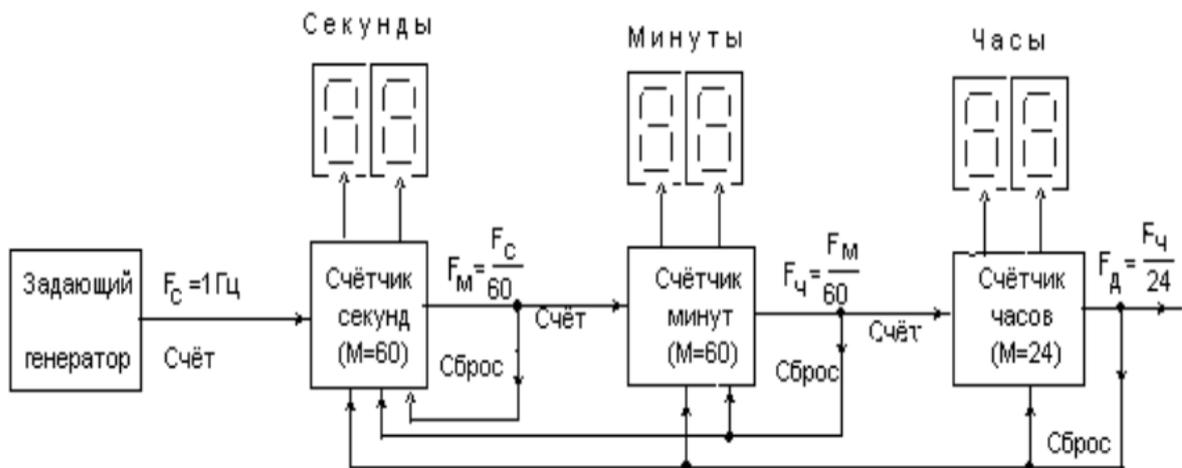


Рисунок 3 – Функциональная схема цифровых часов.

Счётчики секунд и минут, с коэффициентом счёта $M=60$ (рис. 4), реализованы на интегральных декадных ($M=10$) двоично-десятичных счётчиках К155ИЕ9 (в библиотеке EWB 5.0 аналог счётчик 74160) и подсхеме – счётчике с $M=6$ на трёх JK-триггерах. Счётные импульсы на подсхему поступают с выхода переполнения CRP декадного счётчика. Счётчик часовых интервалов с модулем счёта $M=24$ (рис. 5) можно выполнить на двух интегральных счётчиках К155ИЕ9, один из которых имеет модуль счёта $M=9$ (единицы часов), второй – $M=2$ (десятки часов).

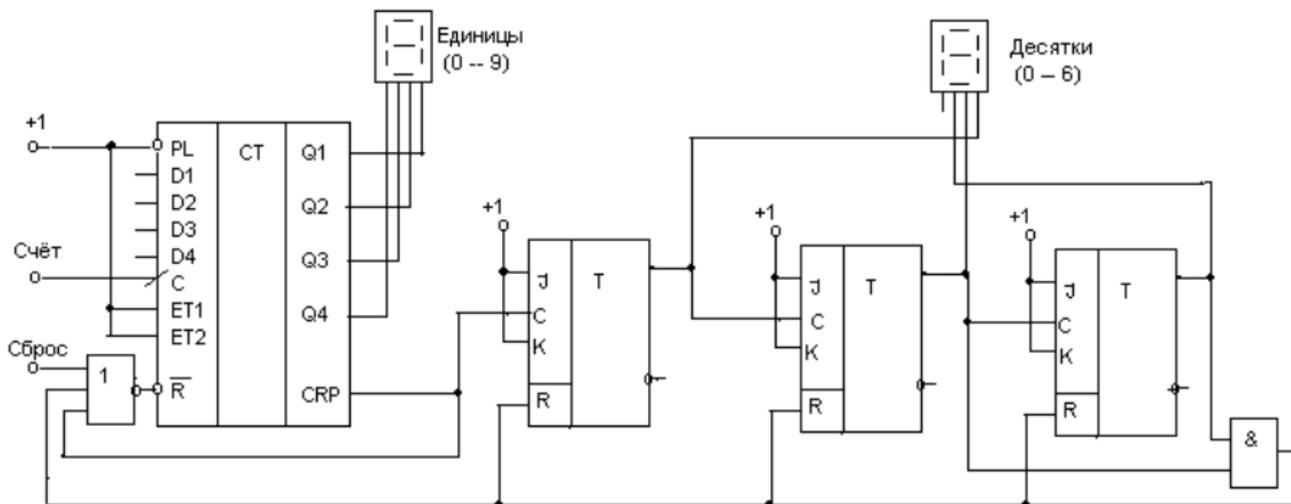


Рисунок 4 – Схема счётчика с модулем счёта M=60.

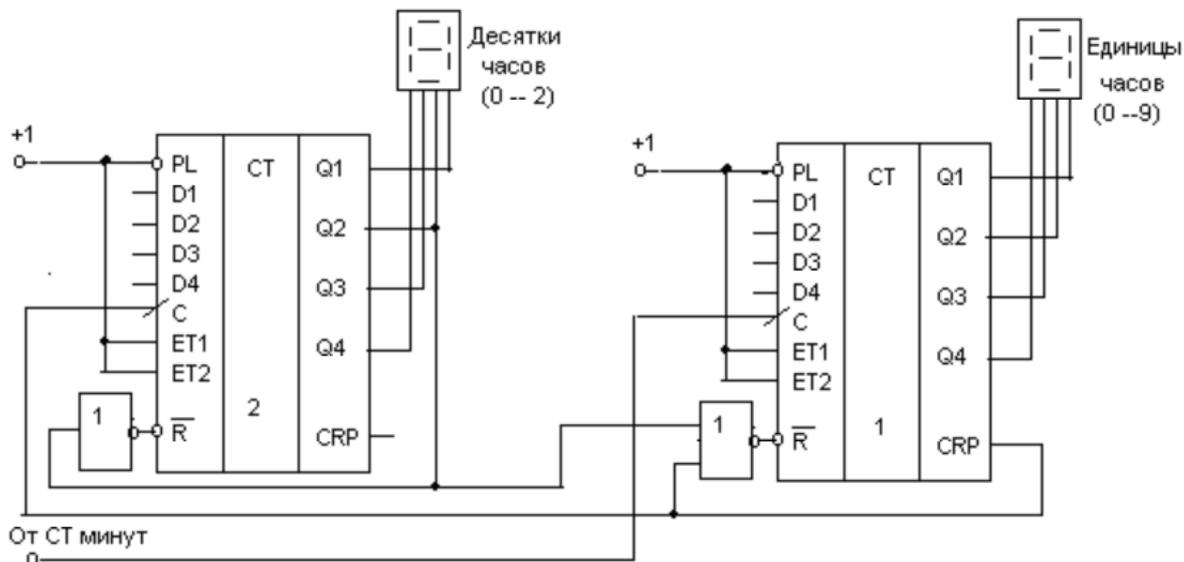


Рисунок 5 – Схема счётчика единиц и десятков часов.

На счётный вход C счётчика $CT1$ поступают импульсы с выхода переполнения счётчика минут, а на счётный вход C счётчика $CT2$ – с выхода переполнения счётчика единиц часов (с $CT1$). Композицией схем счётчиков секунд, минут и часов составляет полная схема часов в соответствии с функциональной схемой рис. 3.

Порядок выполнения работы

1. Ознакомившись с методикой синтеза автомата управления светофором и с принципиальной схемой автомата (рис. 2) собрать на лабораторном стенде макет схемы автомата управления светофором. Сигнал переключения X подавать с ГОИ стенда, а в качестве ламп светофора использовать СДИ. Проверить логику функционирования и составить таблицу переключений светофора и их соответствие графу рис. 1.

2. Составить схему-модель автомата управления светофором в элементах программы EWB 5.0 (рис. 6) и проанализировать логику его функционирования в соответствии с словесным описанием и графом (рис. 1).

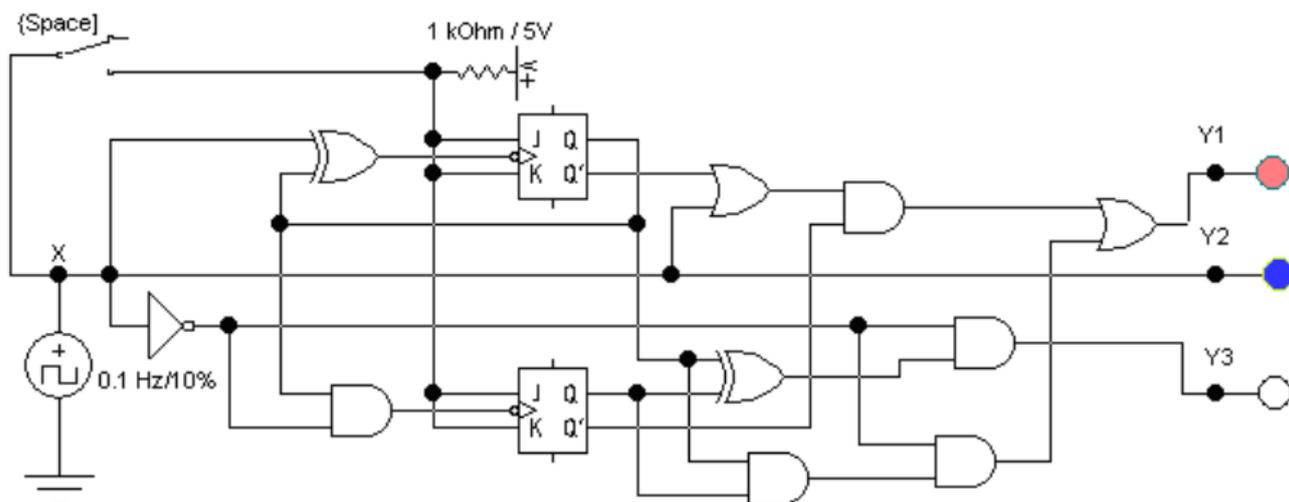


Рисунок 6 – Схема-модель цифрового автомата управления светофором.

3. В соответствии со схемами рис. 4 и рис. 5 составить схемы модели формирователей единиц времени (секунд, минут, часов). Проанализировать логику их работы, используя в качестве источника счётных импульсов модель функционального генератора, а в качестве индикаторов времени – модели семисегментных ЦБИ из библиотеки EWB 5.0.

4. По структурной схеме цифровых часов (рис. 3) составить граф функционирования часов как конечного автомата.

5. Используя результаты моделирования п.2, составить схему-модель цифровых часов (рис. 7) и проанализировать их структуру и логику функционирования, как цифрового автомата. Произвести настройку функционирования часов в ускоренном режиме и в реальном времени.

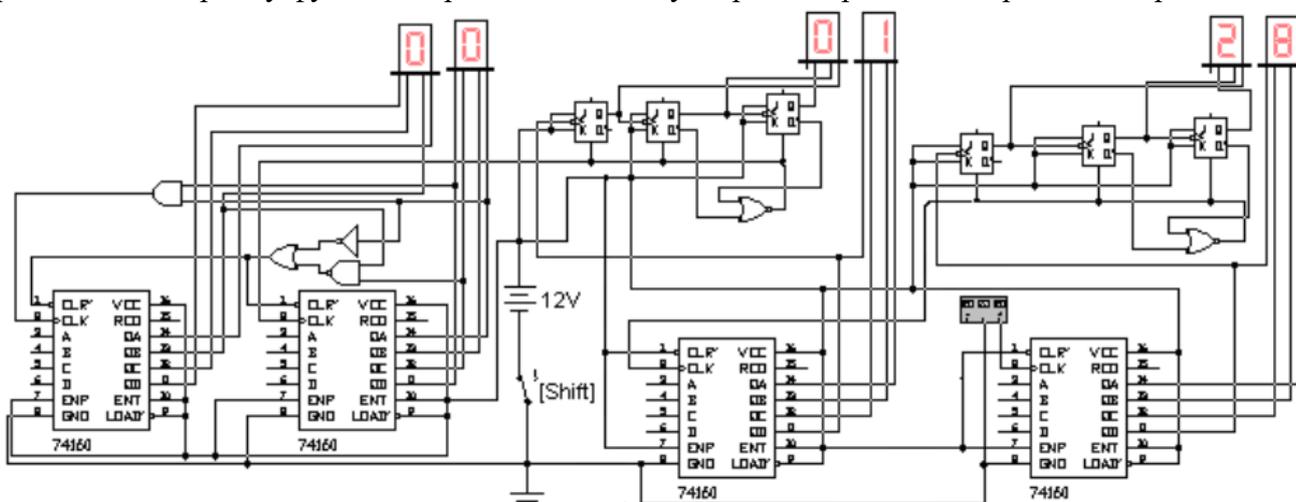


Рисунок 7 – Схема-модель цифровых часов.

Содержание отчёта

1. Необходимые выписки из кратких теоретических сведений и литературных источников.
2. Схемы исследуемых цифровых автоматов рис. 2 – рис. 5.
3. Схемы-модели устройств рис. 6 – рис. 7 и составленные самостоятельно в процессе выполнения работы с использованием моделирующих программ и библиотечных компонентов EWB 5.0.
4. Таблицы функционирования и преобразования сигналов, полученные при синтезе и анализе функционирования цифровых автоматов.

Контрольные вопросы

1. Из каких частей состоит структура цифрового автомата?
2. Как определить необходимый объём памяти цифрового автомата?
3. Способы описания логики функционирования цифрового автомата.
4. Последовательность синтеза структуры цифрового автомата.

5. Принцип построения формирователей временных интервалов. Их применение в электронных устройствах.

Практическая работа №24. Реализация функций, выполняемых статическими регистрами.

Цель работы: Исследование статического и динамического режимов работы регистров. Изучение использования регистров для реализации различных процедур.

Основные теоретические положения

Статический регистр - это операционный элемент ЭВМ, предназначенный для хранения двоичной информации в виде машинных слов и выполнения логических операций над словами, а также для выработки осведомительных сигналов относительно характера содержащейся в нем информации. Регистр представляет собой совокупность элементов памяти (как правило, триггеров), число которых определяется разрядностью машинных слов, и комбинационных схем, обеспечивающих выполнение указанных функций. Особенностью статического регистра является регулярность его структуры: каждый элемент памяти (ЭП), выполняющий функцию хранения одного разряда слова, дополняется комбинационной схемой, обеспечивающей функции вывода информации, а также выполнения логических операций над словами. В результате синтез статического регистра, реализующего определенные функции над словами, сводится к синтезу необходимой схемы для одного разряда регистра и повторению полученных схем для отдельных его разрядов.

Предметом изучения в настоящей работе являются три группы функций статического регистра:

- установочные функции;
- логические операции;
- формирование осведомительных сигналов.

Сделаем два замечания относительно функций первых двух групп, поскольку их реализация сопровождается переключением триггеров регистра. Во-первых, будем считать, что на выполнение каждой функции отводится такт машинного времени, а образование значений функции для всех разрядов регистра синхронизировано во времени путем подачи специального синхросигнала на входы С всех триггеров регистра. Во-вторых, реализация каждой функции происходит под действием определенного управляющего сигнала. Таким образом, с регистром, выполняющим несколько функций, связывается множество управляющих сигналов, на которые накладывается одно ограничение: в каждый момент времени активный (в нашем случае - высокий) уровень может иметь лишь один управляющий сигнал множества.

Формирование осведомительного сигнала реализуется комбинационной схемой, на входы которой подаются сигналы с выходов триггеров регистра. Поэтому значение осведомительного сигнала в момент времени t определяется состоянием триггеров регистра в тот же момент времени и, следовательно, отдельного машинного такта на формирование осведомительного сигнала не требуется.

Рассмотрим функции, выполняемые статическим регистром.

Установочные функции

Функция сброса. Выполнение этой функции сводится к обнулению (установке в 0) всех разрядов регистра. Соответствующая микрооперация может быть записана следующим образом:

$$Y_{\text{сбр}} : RG [0 : n - 1] := 0,$$

$$Q_0^{t+1}, \dots, Q_{n-1}^{t+1} = 0.$$

Функция ввода в регистр прямого кода числа В. В результате выполнения этой функции триггеры регистра устанавливаются в состояния, соответствующие значениям разрядов вводимого слова:

$$Y_{\text{вв}} : RG [0 : n - 1] := B,$$

где $V = b_{n-1}b_{n-2} \dots b_1b_0$.

Функция ввода в регистр обратного кода числа. После выполнения этой функции триггеры регистра устанавливаются в состояния, противоположные значениям разрядов вводимого слова:

$$Y_{\text{вв}}^{\text{обр}} : \text{RG} [0 : n - 1] := \bar{V}.$$

Группа логических операций

Отметим особенности реализации логических операций в статическом регистре.

1. Выполнение любой логической операции над словами носит поразрядный характер, т.е. результатом операции является слово, значение каждого разряда которого есть результат этой операции над значениями одноименных разрядов слов, участвующих в операции.

Пусть $A * B = C$, где $A = a_{n-1}, \dots, a_0$; $B = b_{n-1}, \dots, b_0$; $C = c_{n-1}, \dots, c_0$; * - знак логической операции.

Разряды слова C определяются так:

$$c_0 = a_0 * b_1; \dots; c_{n-1} = a_{n-1} * b_{n-1}.$$

Пример. Определить $C = A \& B$;

$$\begin{array}{r} A = 10110110, \\ B = 01111101. \\ \hline \end{array} \begin{array}{r} 10110110 \\ 01111101 \\ \hline 00110100 \end{array}$$

2. Будем считать, что к моменту выполнения логической операции слово, являющееся одним из операндов, находится в регистре, а слово - второй операнд - вводится в регистр извне; результат логической операции образуется в регистре. Таким образом, микрооперация выполнения логической операции может быть записана следующим образом:

$$Y^* : \text{RG} [0 : n - 1] := \text{RG} [0 : n - 1] * B,$$

$$Q_0^{t+1} = Q_0^t * b_0^t; \dots; Q_{n-1}^{t+1} = Q_{n-1}^t * b_{n-1}^t,$$

где Y^* - управляющий сигнал, инициирующий выполнение логической операции, обозначенной знаком (*).

Синтез схем статического регистра. Рассмотрим синтез схем регистра для выполнения функций указанных двух групп. Для решения задачи достаточно ограничиться построением схемы одного разряда регистра. В качестве исходной информации будем использовать множество функций, которое должен реализовать регистр, тип триггера и таблицу входов триггера указанного типа.

Пусть множество функций включает в себя:

- функцию сброса;
- функцию ввода обратного кода числа;
- логическую операцию: конъюнкцию.

Рассмотрим триггер JK-типа (табл.1). Цель синтеза - построить комбинационную схему для одного разряда статического регистра. Входными сигналами схемы являются:

$Y_{\text{сбр}}$ - управляющий сигнал, инициирующий функцию сброса;

$Y_{\text{вв}}^{\text{обр}}$ - управляющий сигнал, инициирующий функцию ввода обратного кода числа;

$Y_{\&}$ - управляющий сигнал, инициирующий логическую операцию - конъюнкцию;

b_i^t - сигнал i -го разряда вводимого слова;

Q_i^t - состояние триггера i -го разряда к моменту реализации функции.

Q_i^{t+1} - состояние триггера i -го разряда после прохождения синхроимпульса.

Таблица 1

Таблица функционирования JK-триггера

Q^t	Q^{t+1}	J^t	K^t
0	0	0	-
0	1	1	-

1	0	-	1
1	1	-	0

Схема должна вырабатывать функции возбуждения J_i^t и K_i^t , однозначно определяющие состояние триггера i -го разряда в момент времени $t+1$, которое является результатом выполнения функций для i -го разряда.

Синтез схемы содержит следующие этапы:

- определение таблицы истинности для функций J_i и K_i ;
- построение на их основе диаграмм Вейча и минимизацию функций;
- составление минимальных аналитических выражений для функции возбуждения;
- построение по полученным выражениям принципиальных схем в заданном базисе.

Таблица истинности для функций J_i и K_i содержит в общем случае 32 строки, поскольку они являются функциями от пяти аргументов: $Y_{сбр}$, $Y_{ВВ}^{обр}$, $Y\&$, b_i^t , Q_i^t . С учетом ограничения на управляющие сигналы (только один сигнал имеет высокий уровень и, таким образом, выполняется только одна операция) сокращается число всевозможных наборов, а, следовательно, и число строк в таблице истинности до 16 (табл.2).

Таблица 2

Функционирование разряда статического регистра

$Y_{сбр}$	$Y_{ВВ}^{обр}$	$Y\&$	b_i^t Q_i^t	Q_i^{t+1}	K_i J_i	Комментарий
0	0	0	0 0	0	- 0	Регистр выполняет операцию хранения Нет управляющих сигналов
0	0	0	0 1	1	0 -	
0	0	0	1 0	0	- 0	
0	0	0	1 1	1	0 -	
1	0	0	0 0	0	- 0	Сброс $Y_{сбр}=1$ $Q_i^{t+1}=0$ При любом значении b_i^t
1	0	0	0 1	0	1 -	
1	0	0	1 0	0	- 0	
1	0	0	1 1	0	1 -	
0	1	0	0 0	1	- 1	Ввод обратного _ кода числа $Q_i^{t+1}=b_i^t$
0	1	0	0 1	1	0 -	
0	1	0	1 0	0	- 0	
0	1	0	1 1	0	1 -	
0	0	1	0 0	0	- 0	Выполняется конъюнкция $b_i^t \& Q_i^t$
0	0	1	0 1	0	1 -	
0	0	1	1 0	0	- 0	
0	0	1	1 1	1	0 -	

Для каждой функции J_i (K_i) строятся диаграммы Вейча (рис.1).

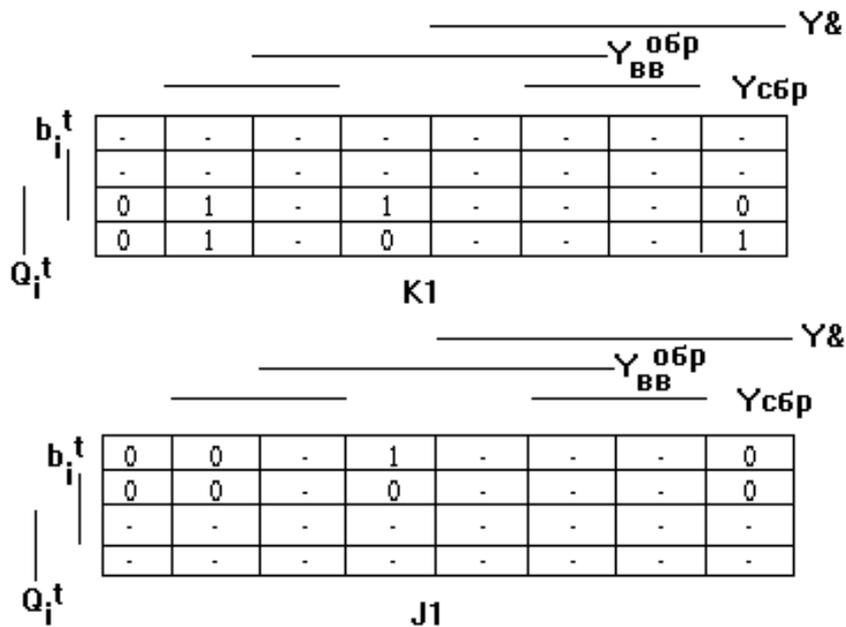


Рис.1

При этом из таблицы можно заполнить лишь 16 клеток, а остальные заполняются прочерками.

По полученным выражениям строим схемы, вырабатывающие сигналы для функций возбуждения. При этом необходимо учитывать особенности базиса, в котором строятся схемы. В данном примере в случае использования микросхем серии К155 можно схему для J_i реализовать, используя встроенную в триггер схему И. Логические выражения, соответствующие функциям K_i и J_i , имеют вид:

$$\begin{aligned}
 K_i &= Y_{сбр} \vee Y_{ВВ}^{обр} \bar{b}_i^t \vee Y_{\&} \cdot b_i^t; \\
 J_i &= Y_{ВВ}^{обр} \bar{b}_i^t.
 \end{aligned}
 \tag{1}$$

Синтезированная схема одного разряда статического регистра в соответствии с выражением (1), выполняющая три заданные функции, показана на рис.2.

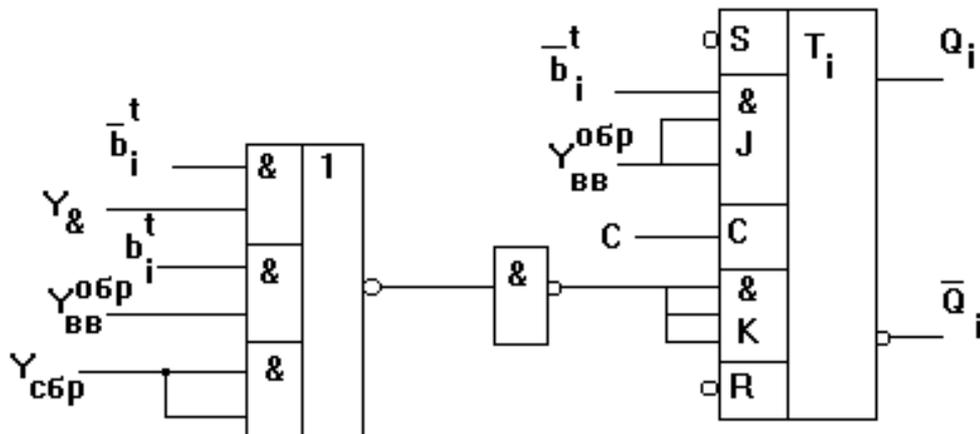


Рис.2

Порядок выполнения работы

1. В соответствии с заданием синтезировать схему статического регистра.
2. Разработать схему, формирующую осведомительный сигнал.

Содержание отчета

1. Формулировка задания.

2. Схемы исследования по п.1, 2, 3; таблицы функционирования, по которым строятся комбинационные схемы.

Варианты заданий

Задание 1. Синтезировать схему статического регистра.

Характеристики синтезируемого регистра:

I. Обнуление: 1) есть, 2) нет

II. Код ввода: 1) монофазный прямой, 2) монофазный обратный.

III. Код вывода: 1) парафазный прямой, 2) парафазный обратный,

IV. Выполняемая логическая операция:

1. Конъюнкция: $b \& Q$.

6. Равнозначность: $b \oplus Q$.

2. Дизъюнкция: $b \vee Q$.

7. Запрет по Q: $b \bar{Q}$.

3. Исключающее ИЛИ: $b \oplus Q$.

8. Запрет по b: $\bar{b} Q$.

4. Функция Шеффера: $b \cdot Q$.

9. Импликация: $b \vee \bar{Q}$.

5. Функция Пирса: $b \vee Q$.

10. Импликация: $\bar{b} \vee Q$.

Таблица 5

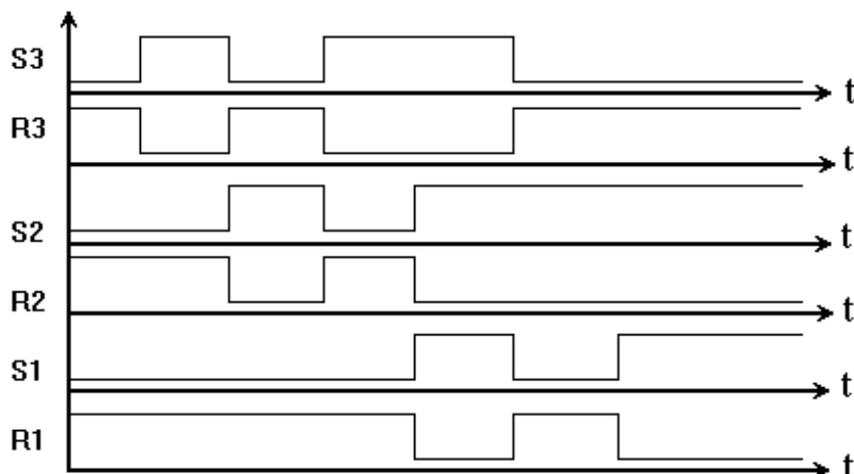
Номер варианта	I	II	III	IV
1	1	1	-	1
2	2	2	1	10
3	1	1	-	2
4	2	2	2	9
5	1	1	-	3
6	2	2	1	8
7	1	1	-	4
8	2	2	1	7
9	1	1	-	5
10	2	2	2	6
11	1	1	-	6
12	2	2	1	5
13	1	1	-	7
14	2	2	2	4
15	1	1	-	8
16	2	2	1	3
17	1	1	-	9
18	2	2	2	2
19	1	1	-	10
20	2	2	1	1

Шаблон карты Карно на пять переменных

	_____ Y_2		_____ Y_1		_____ Y_3			
	00000	10000	11000	01000	01100	11100	10100	00100
	00010	10010	11010	01010	01110	11110	10110	00110
	00011	10011	11011	01011	01111	11111	10111	00111
Q_i	00001	10001	11001	01001	01101	11101	10101	00101

Контрольные вопросы

1. Чем определяется разрядность регистра?
2. На входы триггеров статического регистра поступают сигналы согласно временной диаграмме. Регистр предварительно обнулен. Определить конечное состояние регистра.



3. Какими логическими функциями определяются состояния каждого разряда RG на J-K - триггерах. RG предварительно обнулен.
4. На каком типе триггера статического регистра можно выполнить операцию mod2?

Практическая работа №25. Формирование осведомительных сигналов.

Цель работы: Исследование статического и динамического режимов работы регистров. Изучение использования регистров для реализации различных процедур.

Основные теоретические положения

Довольно часто на регистрах вычисляются значения логических условий вида $\langle RG \rangle \langle \text{операция отношения} \rangle \langle \text{константа} \rangle$,

где

$\langle RG \rangle$ - содержимое регистра,

$\langle \text{операция отношения} \rangle$: $>$, \geq , $=$, \leq , $<$, \neq .

Значение логического условия отображается осведомительным сигналом, который имеет два значения: 1 - если условие выполняется; 0 - в противном случае. Формирование осведомительного сигнала осуществляется комбинационной схемой, на входы которой подаются сигналы с выходов триггеров регистра.

Пример. Выработать осведомительный сигнал $f_A = 1$ для четырехразрядного регистра RGA, если $RGA < 10$. В противном случае $f_A = 0$.

Составим таблицу условия выработки осведомительного сигнала (табл.1).

Таблица 1

Условие выработки осведомительного сигнала

Код	Q_3	Q_2	Q_1	Q_0	f_A
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1

7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

На основании данной таблицы построим диаграмму Вейча и минимизируем функцию f_A (рис.1).

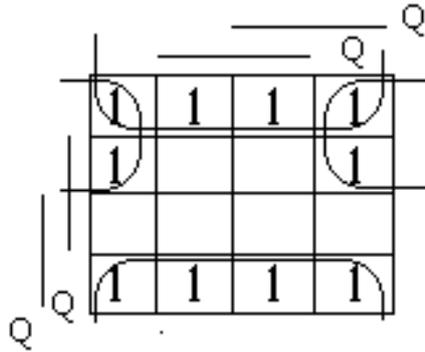


Рис.1

В результате получим $f_A = \bar{Q}_3 \vee \bar{Q}_1 \bar{Q}_2$.

Схема, формирующая данный осведомительный сигнал, приведена на рис.2.

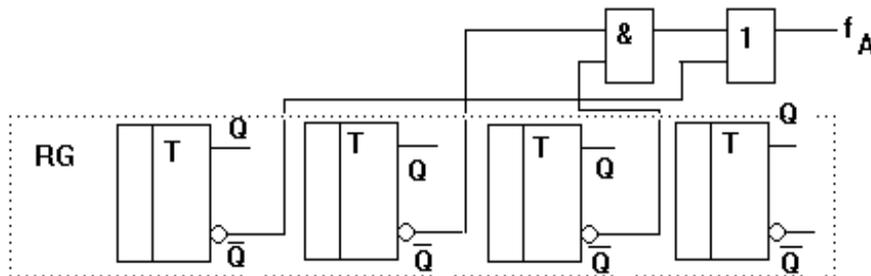


Рис.2

Задание на практическую работу

Последняя цифра зачетной книжки	Условие формирования осведомительных сигналов
0.	$10 \leq RG < 15$
1.	RG - четное, не делится на 3
2.	$3 < RG < 10$
3.	RG - нечетное, не делится на 3
4.	$RG \leq 3$ и $RG \geq 10$
5.	RG делится на 3 или 4
6.	RG делится на 3 или 5
7.	$10 < RG \leq 15$
8.	RG - четное, делится на 3
9.	RG - нечетное, делится на 3
10.	$6 < RG \leq 11$
11.	$6 \leq RG < 11$
12.	$5 < RG < 13$

13.	$5 \leq RG \leq 12$
14.	$4 < RG \leq 10$
15.	$4 \leq RG < 10$
16.	$RG \leq 5$ и $RG \geq 11$

	Q_4				
Q_3	1100	1110	0110	0100	Q_1
	1101	1111	0111	0101	
	1001	1011	0011	0001	
	1000	1010	0010	0000	
	Q_2				

Практическая работа №26. Синтез и исследование работы регистров

Цель работы: Изучение регистров памяти, сдвига, параллельно-последовательных регистров. Изучение способов ввода и вывода информации из регистров. Изучение особенностей организации регистров на триггерах различного типа.

Теоретическая часть

Регистр (англ. register) – устройство, предназначенное для хранения и преобразования многоразрядных двоичных чисел. В качестве запоминающего элемента в регистрах используют триггер.

Регистры классифицируют по различным признакам, основными из которых являются способы ввода информации в регистр и способы вывода информации из регистра.

Регистры делятся на три группы:

- параллельные регистры (иначе регистры памяти);
- регистры сдвига;
- параллельно-последовательные регистры.

По виду вводимой и выводимой информации различают регистры однофазного и парафазного типа.

В однофазных регистрах информация вводится (выводится) только в прямом или только в обратном коде.

В парафазных регистрах информация вводится (выводится) одновременно в прямом и обратном кодах.

Вывод информации из регистров осуществляется в прямом и обратном кодах (триггер имеет два выхода: Q – прямой и \bar{Q} – инверсный).

Регистры памяти

Назначение регистров памяти – хранить двоичную информацию небольшого объема в течение некоторого промежутка времени. Эти регистры представляют собой набор триггеров, каждый из которых хранит один разряд двоичного числа.

В параллельных регистрах ввод (запись) и вывод (считывание) информации производится одновременно во всех разрядах параллельным кодом.

В случае если триггер имеет установочные входы и запись данных в регистр осуществляется по установочным входам, ввод обеспечивается подачей информационных

сигналов и управляющего сигнала на установочные входы в прямом или обратном кодах (R, \bar{R}, S, \bar{S}).

Если триггер синхронный и не имеет установочных входов, то он представляет собой, по существу, наборы триггеров с независимыми информационными входами и обычно общим тактовым входом. В таких регистрах информация подается на информационные входы (например, вход D) и запись осуществляется подачей тактового командного импульса. С приходом очередного тактового импульса происходит обновление записанной информации.

Способы ввода информации в регистр, организованный на триггерах с установочными входами

Существует несколько способов записи информации по установочным входам:

- в прямом коде по установочному входу S с предварительной установкой регистра в «0»;
- в обратном коде по установочному входу R с предварительной установкой в «1» всех триггеров;
- с подачей парафазного кода информации (прямой код на вход S, обратный код на вход R).

Во всех перечисленных способах запись информации осуществляется уровнем сигнала.

Схема регистра с возможностью записи информации по установочному входу S с предварительной установкой регистра в «0» представлена на рисунке 1.а, диаграмма работы данного регистра – на рисунке 1.б.

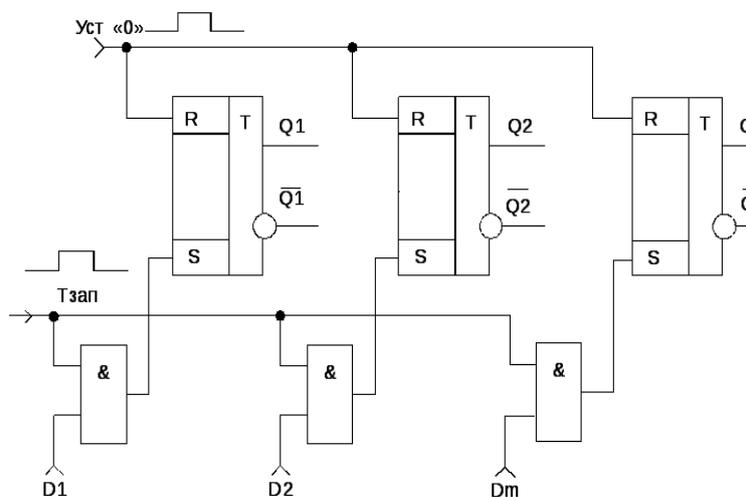
Как видно из диаграммы, до момента действия сигнала Уст «0» (момент времени t_1), регистр находится в некотором состоянии ($Q_1 = 1, Q_2 = 1, \dots, Q_m = 1$), т.е. хранит некоторую, ранее записанную информацию.

Для корректной работы схемы первым (в момент времени t_1) подается сигнал Уст. «0» (высокий уровень), который устанавливает все разряды регистра в нулевое состояние.

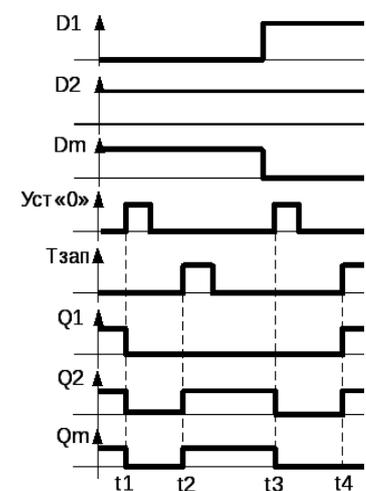
На входы регистра подается в прямом коде некоторая информация ($D_1 = 0, D_2 = 1, \dots, D_m = 1$), которая поступает на один из входов логических элементов, образующих управляющую комбинационную схему. В момент прихода управляющего сигнала Тзап (момент времени t_2), информация, присутствующая на входах D_1, D_2, \dots, D_m , записывается в регистр. Т.е. триггер, на установочный вход S которого подается сигнал логической «1» с ЛЭ И (вход $D_i = 1, T_{зап} = 1$), переходит в состояние «1». Триггер, на установочный вход S которого подается сигнал логического «0» с ЛЭ И (вход $D_i = 0, T_{зап} = 1$), остается в состоянии логического «0», обусловленном сигналом Уст «0».

Регистр хранит записанную информацию до момента времени t_3 . К этому моменту времени на входах D_1, D_2, \dots, D_m установились новые данные. В момент t_3 подается сигнал Уст «0». В момент t_4 подается сигнал Тзап, и в регистр записываются новые данные.

Недостатком приведенной схемы является необходимость подачи сигнала Уст «0».



а)



б)

Рис. 1. – Запись информации в прямом коде по установочному входу S с предварительной установкой в «0» всех триггеров регистра

Если триггер имеет инверсные установочные входы (\overline{RS}), то для записи информации, подаваемой на входы D_i в прямом коде, необходимо вместо ЛЭ И использовать ЛЭ И-НЕ, а в цепь Уст «0» включить инвертор.

Схема регистра с возможностью записи информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра приведена на рисунке 2.а, диаграмма его работы – на рисунке 2.б.

Особенностью работы данного регистра является то, что данные, поступающие на входы D_i , должны подаваться в обратном коде.

При записи числа в регистр в состояние логического «0» устанавливаются только те триггеры, на которые подается обратный код разряда числа равный «1». Остальные триггеры останутся в состоянии «1».

Недостатком приведенной схемы является необходимость подачи сигнала Уст «1» на все триггеры.

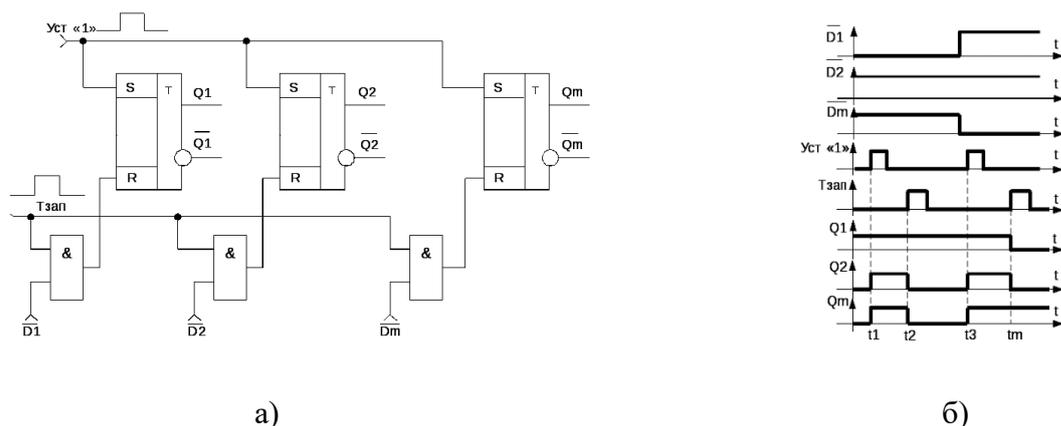


Рис. 2 – Запись информации по установочному входу R с предварительной установкой в «1» всех триггеров регистра

Схема регистра с возможностью записи информации парафазным кодом представлена на рисунке 3.а, диаграмма его работы – на рисунке 3.б.

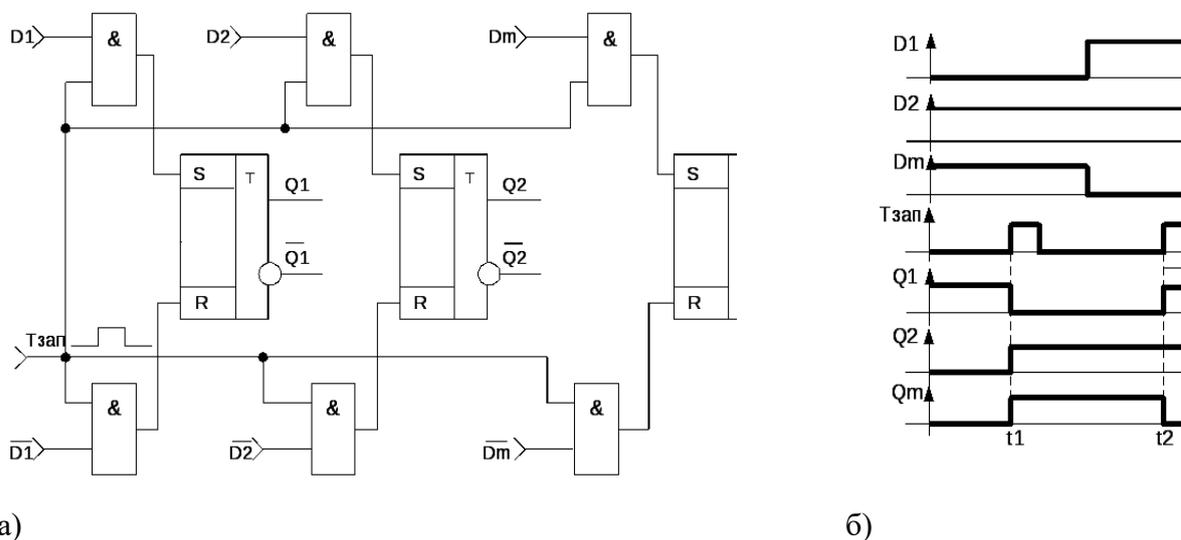


Рис. 3 – Запись информации по установочным входам парафазным кодом

При записи парафазным кодом прямой код числа подается на вход S, обратный код – на вход R.

Достоинством данной схемы является отсутствие сигнала предварительной установки регистра.

Ввод информации с использованием информационного входа и входа синхронизации триггера

Если регистр организован на D-триггерах, то по положительному фронту тактового сигнала $T_{зап}$, поступающему на входы синхронизации C , рисунок 4, информация, присутствующая на входах D_i , записывается в регистр.

Информация в регистре сохраняется до момента выключения питания схемы или записи новой информации.

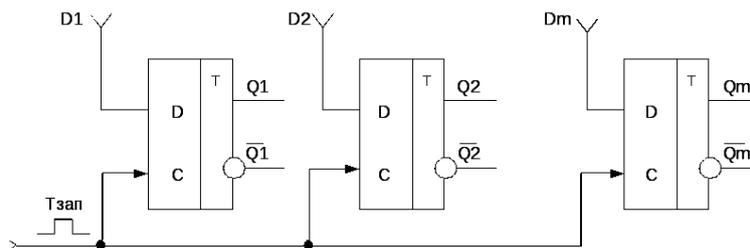


Рис. 4 – Запись информации параллельным кодом

На рисунке 5 представлена схема параллельного регистра на JK-триггерах.

В данном случае необходим парафазный код числа. Прямой код D_1, D_2, \dots, D_m подается на входы J , обратный код – на входы K .

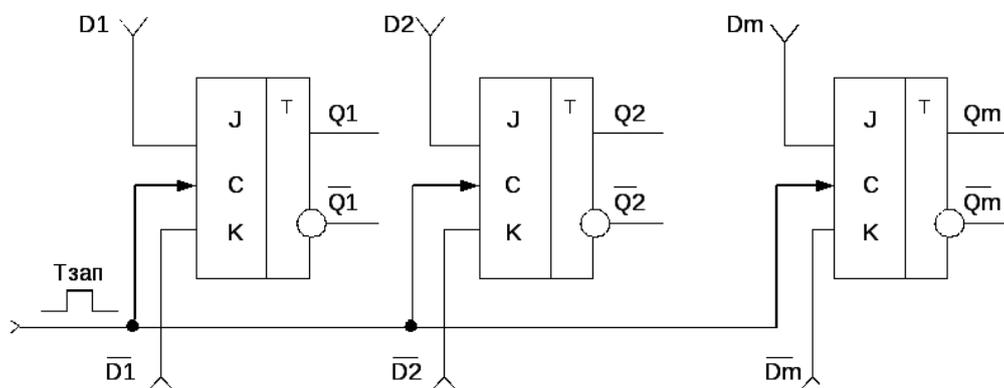


Рис. 5 – Запись информации парафазным кодом

Регистры сдвига

В регистрах сдвига все триггеры соединены в последовательную цепочку (выход каждого предыдущего триггера соединен со входом D следующего триггера). Входы синхронизации C всех триггеров объединены между собой.

По тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов в зависимости от организованных связей.

Для регистров сдвига указывается направление сдвига:

- \rightarrow вправо (основной режим, который есть у всех сдвиговых регистров);
- \leftarrow влево (этот режим есть только у некоторых, реверсивных сдвиговых регистров);
- \leftrightarrow реверсивный (двунаправленный), т. е. записанную информацию можно сдвигать по линейке триггеров вправо или влево. Для включения режима сдвига предусматривают специальный управляющий вход.

Направление сдвига отражает внутреннюю структуру регистров сдвига, рисунок 6. При этом триггеры нумеруются слева направо, например, от 0 до 7.

В результате сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера (старших разрядов), т.е. на вход D число подается, начиная со старшего разряда.

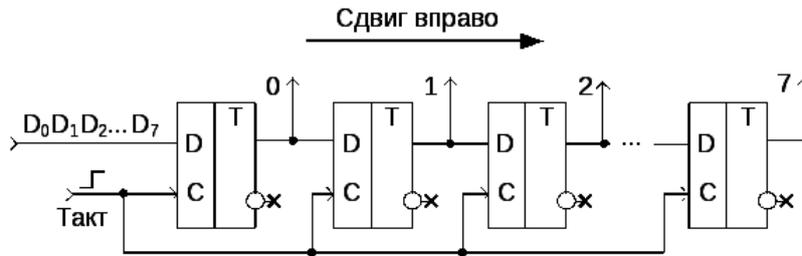


Рис. 6 – 8-ми разрядный регистр сдвига вправо

Сдвиг информации регистром влево – это сдвиг в сторону разрядов, имеющих меньшие номера (младших разрядов), т.е. на вход D число подается, начиная с младшего разряда, рисунок 7.

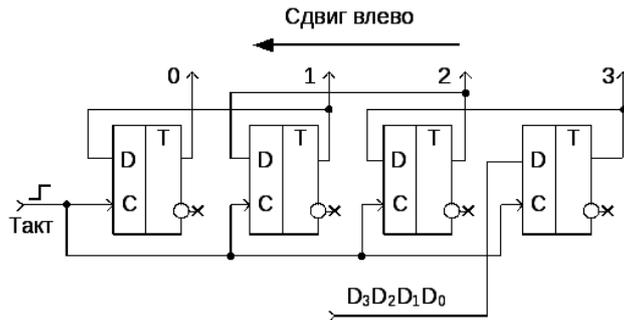


Рис. 7 – 4-х разрядный регистр сдвига влево

Однако, как известно, в любом двоичном числе слева расположены старшие разряды, а справа – младшие разряды. О такой особенности необходимо помнить разработчику цифрового прибора.

Все регистры сдвига строятся на базе двухступенчатых триггеров или синхронизируемых фронтом синхроимпульса.

Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами. Если бы в регистре были применены одноступенчатые триггеры по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т.д.

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига.

Разряд реверсивного регистра представлен на рисунке 8.

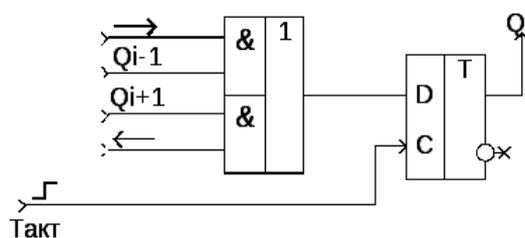


Рис. 8 – Разряд реверсивного регистра

Способы вывода информации из регистра

Т.к. регистры строятся на триггерах, а триггер имеет прямой Q и инверсный \bar{Q} выходы, то существует несколько способов вывода информации из регистра.

1. Вывод прямым параллельным m-разрядным кодом на m-разрядную шину, рисунок 9. Для вывода информации подается сигнал T_{выв.пр.пар} высокого уровня. Причем сигнал T_{выв.пр.пар}

должен быть подан после сигнала Тзап (должно соблюдаться условие $T_{зап} * T_{выв.пр.пар} = 0$) и необходимо учитывать время задержки самого триггера, на котором реализован регистр.

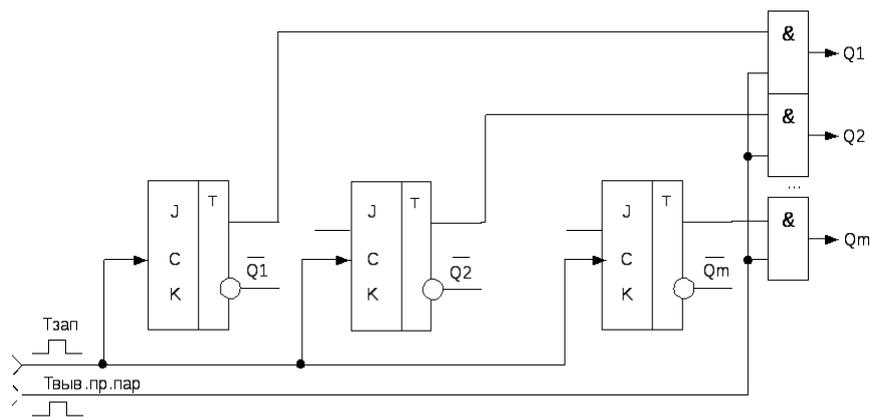


Рис. 9 – Вывод информации прямым m-разрядным кодом на m-разрядную шину

2. Вывод обратным параллельным m-разрядным кодом на m-разрядную шину, рисунок 10. Для вывода информации подается сигнал Твыв.обр.пар высокого уровня. При подаче управляющих сигналов должно соблюдаться условие $T_{зап} * T_{выв.обр.пар} = 0$.

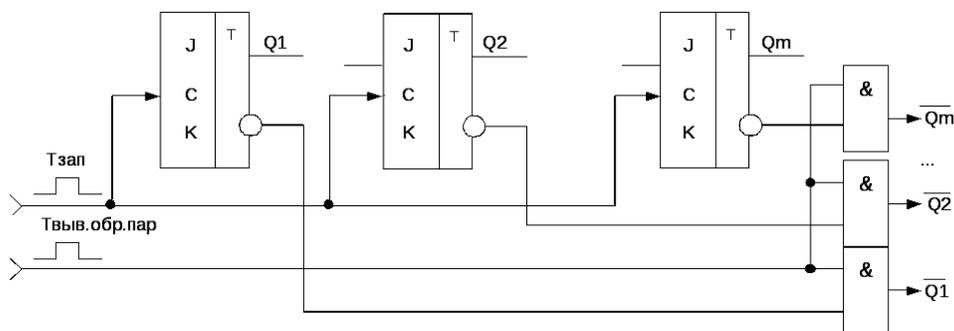


Рис. 10 – Вывод информации обратным m-разрядным кодом на m-разрядную шину

3. Прямым или обратным параллельным m-разрядным кодом на m-разрядную шину, рисунок 1.11. Сигналы Твыв.пр и Твыв.обр подаваться вместе не могут, т.е. должно соблюдаться условие $T_{выв.пр} * T_{выв.обр} = 0$. В зависимости от поданного в данный момент времени сигнала вывода выход Y_i соответствует прямому (Q_i) или обратному (\bar{Q}_i) кодам.

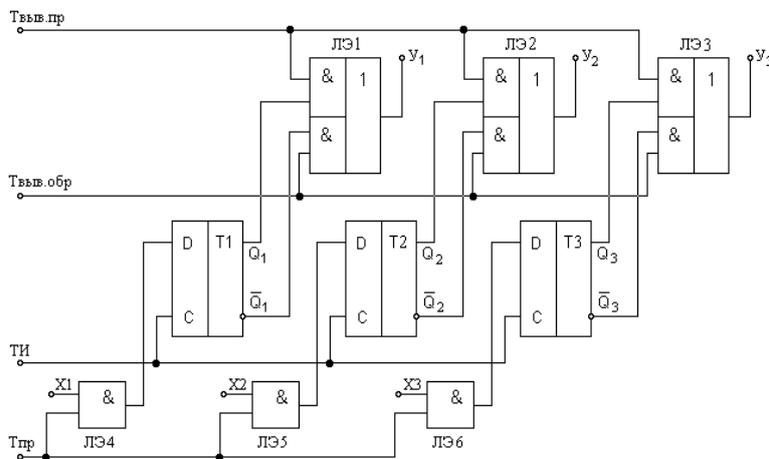


Рис. 1.11 – Вывод информации прямым или обратным m-разрядным кодом на m-разрядную шину

4. Парафазным m-разрядным кодом (прямой m-разрядный код на одну шину, обратный m-разрядный код – на другую шину). Из рисунка 12 видно, что при подаче управляющего сигнала Твыв.параф на одну m-разрядную шину выводится прямой код числа, а на вторую m-разрядную

шину выводится обратный код числа. Для корректной работы схемы должно соблюдаться условие $T_{зап} * T_{выв.параф} = 0$.

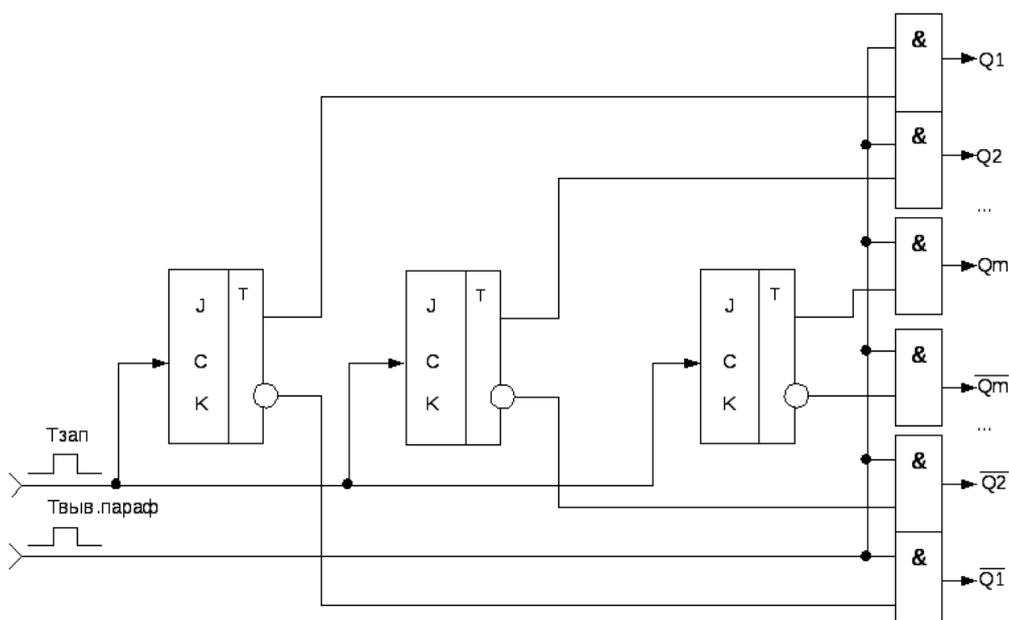


Рис. 12 – Вывод информации парафазным m-разрядным кодом

Все перечисленные способы действительны и для последовательного вывода информации из регистра.

Индивидуальные задания

Задание 1

В соответствии с вариантом, заданным преподавателем из таблицы 2.1, нарисовать принципиальную схему и диаграмму работы 4-х разрядного регистра.

Таблица 2.1 – Варианты для выполнения индивидуального задания 1

№ варианта	Триггер	Тип ввода	Тип вывода	Вводимые данные
В-01	JK-триггер	Параллельным кодом с предварительной установкой в 0 (высоким)	Со старшего разряда в прямом коде с обнулением регистра	0111
В-02	D-триггер	Парафазным кодом	В прямом или обратном кодах с младшего разряда	1100
В-03	JK-триггер	Парафазным кодом	С младшего разряда в прямом коде с обнулением регистра	1010
В-04	D-триггер	Параллельным кодом с предварительной установкой в 0 (низким)	Со старшего разряда в прямом коде	0101
В-05	JK-триггер	Параллельным кодом с предварительной установкой в 15_{10} (низким)	Парафазным со старшего разряда с обнулением регистра	1100
В-06	D-триггер	В прямом коде с младшего разряда	В прямом или обратном коде на 4-х разрядную шину	1000

V-07	JK-триггер	В обратном коде с младшего разряда	В обратном коде на 4-х разрядную шину	0011
V-08	D-триггер	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде со старшего разряда с обнулением регистра	1010
V-09	JK-триггер	Параллельным кодом с предварительной установкой в 0 (высоким)	Парафазным со старшего разряда	0011
V-10	D-триггер	Парафазным кодом	В обратном коде со старшего разряда с обнулением регистра	1101
V-11	JK-триггер	В обратном коде с младшего разряда	Парафазным	1101
V-12	D-триггер	В прямом коде со старшего разряда	В обратном или прямом коде на 4-х разрядную шину	0010
V-13	JK-триггер	В прямом коде с младшего разряда	Парафазным	1000
V-14	D-триггер	Парафазным кодом	В обратном коде с младшего разряда	0001
V-15	JK-триггер	В обратном коде со старшего разряда	Парафазный на две шины	0101
V-16	D-триггер	В обратном коде со старшего разряда	В прямом коде на 4-х разрядную шину	1110
V-17	JK-триггер	В прямом или обратном кодах с младшего разряда	Парафазным	0100
V-18	D-триггер	В обратном коде с младшего разряда	В обратном коде на две 4-х разрядные шины	1010
V-19	JK-триггер	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном со старшего разряда с обнулением	1011
V-20	D-триггер	Парафазным кодом	В прямом с младшего разряда с обнулением регистра	1100
V-21	JK-триггер	Параллельным кодом с предварительной установкой в 0 (низким)	Со старшего разряда с обнулением регистра	1011
V-22	D-триггер	В обратном коде с младшего разряда	Парафазным кодом	0101
V-23	JK-триггер	Парафазным кодом	В прямом коде с младшего разряда с обнулением регистра	1000

В-24	D-триггер	Параллельным кодом с предварительной установкой в 0 (низким)	В прямом или обратном коде на 4-х разрядную шину	1010
------	-----------	--	--	------

Практическая работа №27. Синтез регистра сдвига.

Цель работы: разработать регистр сдвига, в который последовательно записывается информация (5 бит). Для синтеза схемы применяются D-триггеры и логические элементы базиса И-ИЛИ.

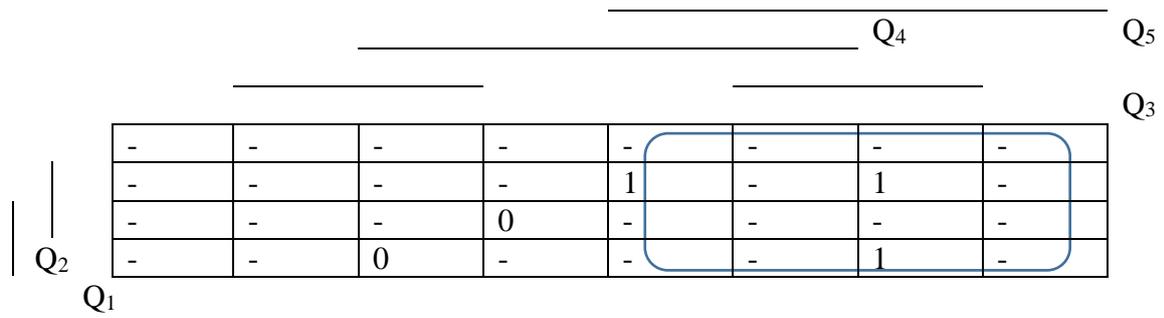
Теоретическая часть

Для данного регистра сдвига требуется 5 D-триггеров. Для синхронизации работы на синхронизирующие входы всех триггеров подается сигнал с генератора импульсов.

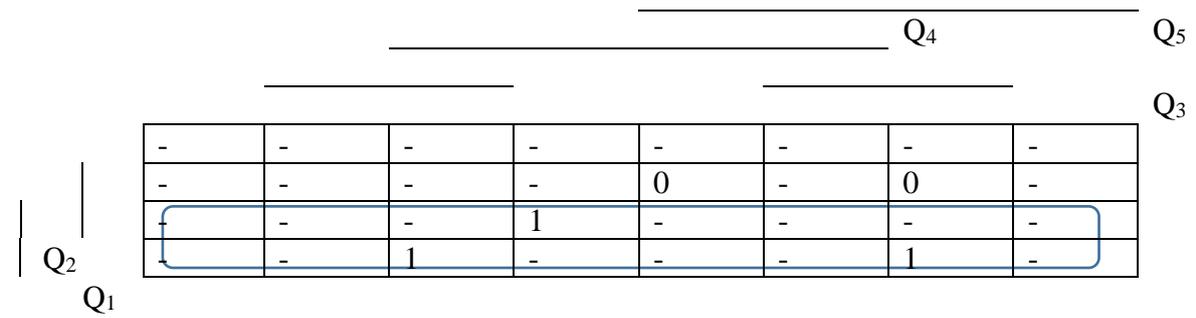
Пример прохождения числа 11010 через заданный кольцевой регистр сдвига можно продемонстрировать с помощью таблицы 1.

Таблица 1

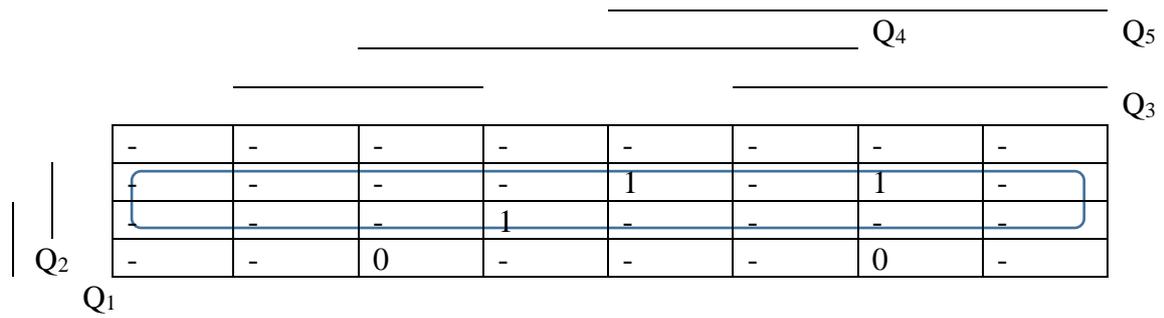
Такты	Выходы					Состояния триггеров				
	Q1	Q2	Q3	Q4	Q5	D1	D2	D3	D4	D5
1	1	1	0	1	0	0	1	1	0	1
2	0	1	1	0	1	1	0	1	1	0
3	1	0	1	1	0	0	1	0	1	1
4	0	1	0	1	1	1	0	1	0	1
5	1	0	1	0	1	1	1	0	1	0
6	1	1	0	1	0	0	1	1	0	1
7	0	1	1	0	1	1	0	1	1	0
8	1	0	1	1	0	0	1	0	1	1
9	0	1	0	1	1	1	0	1	0	1
10	1	0	1	0	1	1	1	0	1	0
11	1	1	0	1	0	0	1	1	0	1
12	0	1	1	0	1	1	0	1	1	0
13	1	0	1	1	0	0	1	0	1	1
14	0	1	0	1	1	1	0	1	0	1
15	1	0	1	0	1	1	1	0	1	0
16	1	1	0	1	0	0	1	1	0	1



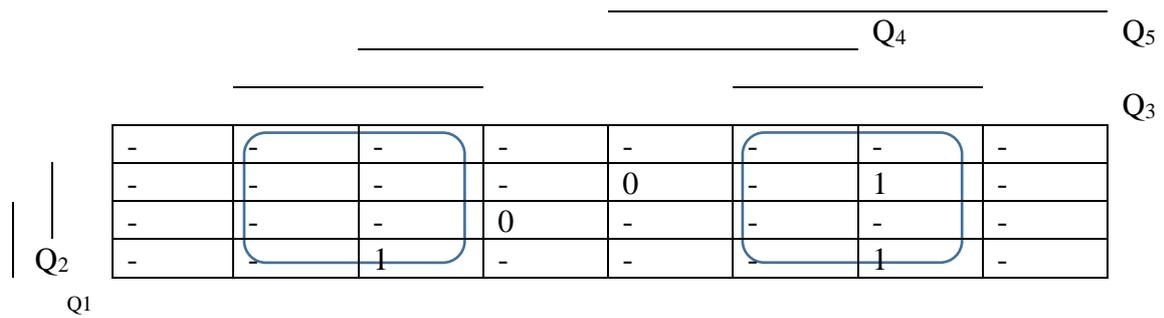
$D1 = Q5$



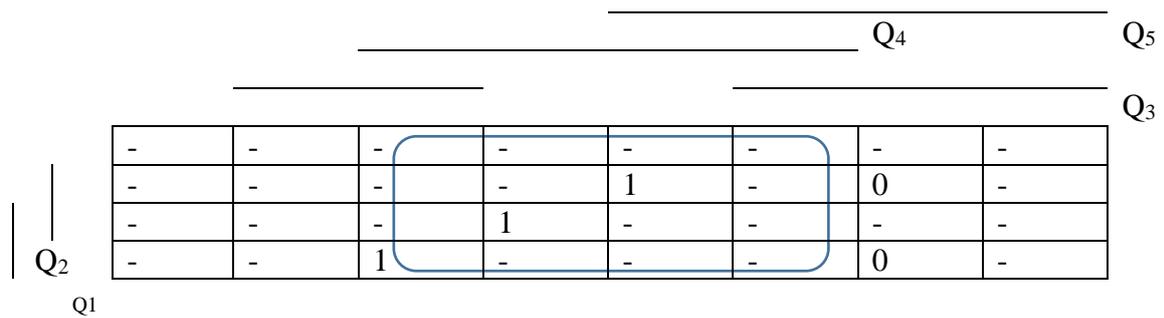
$D2 = Q1$



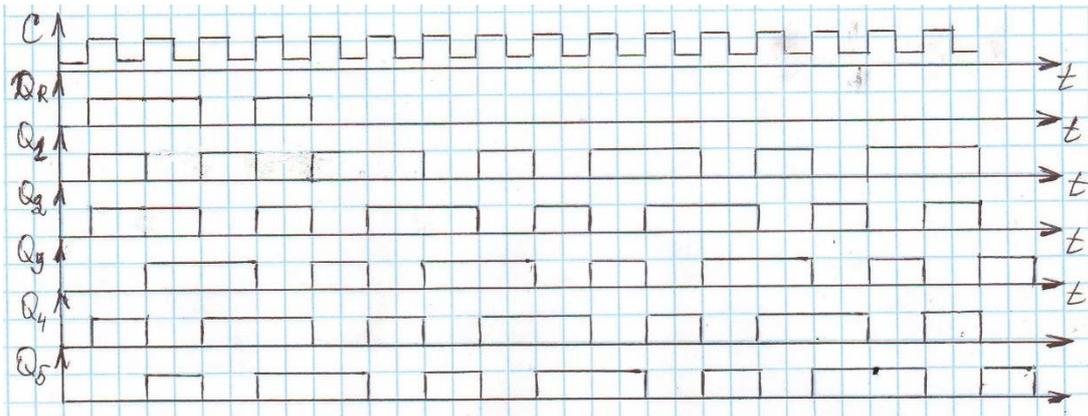
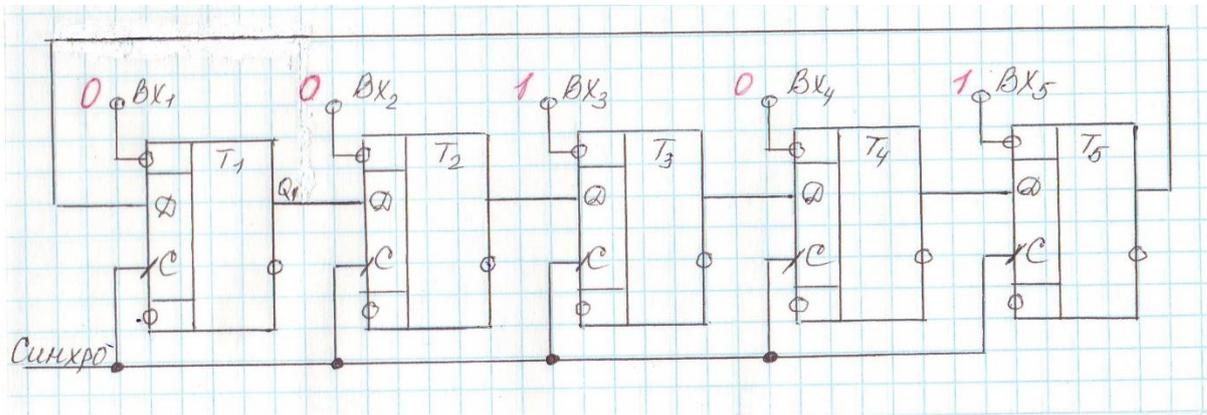
$D3 = Q2$



$D4 = Q3$



$D5 = Q4$



Задания на практическую работу

№ варианта	Сдвигаемое число
1.	10101
2.	11001
3.	01110
4.	11001
5.	10011
6.	10010
7.	01010
8.	01101
9.	10110
10.	01010
11.	01100
12.	10001
13.	11100
14.	00111
15.	01011
16.	00111
17.	11000
18.	10001
19.	00101
20.	10100

Практическая работа №28. Разработка принципиальной схемы генератора двоичных чисел на D-триггерах.

Цель работы: спроектировать синхронный счетчик, реализующий заданную последовательность смены состояний.

Исходная последовательность чисел: 0, 7, 14, 15, 8, 1, 2, 9, 10, 3, 11, 4, 12, 6, 5.

1. Составляем таблицы истинности (таблицы переходов триггеров).

Десятичное число	Q ₃	Q ₂	Q ₁	Q ₀	D ₃	D ₂	D ₁	D ₀
0	0	0	0	0	0	1	1	1
7	0	1	1	1	1	1	1	0
14	1	1	1	0	1	1	1	1
15	1	1	1	1	1	0	0	0
8	1	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	1	0	0	1
9	1	0	0	1	1	0	1	0
10	1	0	1	0	0	0	1	1
3	0	0	1	1	1	0	1	1
11	1	0	1	1	0	1	0	0
4	0	1	0	0	1	1	0	0
12	1	1	0	0	0	1	1	0
6	0	1	1	0	0	1	0	1
5	0	1	0	1	0	0	0	0

Q₀ ... Q₃ - входные переменные

D₀ ... D₃ - логические функции

2. Составляем карты Карно (минимальных логических функций).

Триггер D₃

Q ₃ Q ₂ \ Q ₁ Q ₀	00	01	11	10
00	0	0	1	1
01	1	0	1	0
11	0	1	1	1
10	0	1	0	0

$$D_3 = Q_1 \bar{Q}_2 \bar{Q}_3 + Q_0 Q_1 \bar{Q}_3 + Q_1 Q_2 Q_3 + Q_0 \bar{Q}_1 Q_3 + \bar{Q}_0 \bar{Q}_1 Q_2 \bar{Q}_3$$

Триггер D₂

Q ₃ Q ₂ \ Q ₁ Q ₀	00	01	11	10
00	1	0	0	0
01	1	0	1	1
11	1	0	0	1
10	0	0	1	0

$$D_2 = \bar{Q}_0 Q_1 Q_3 + Q_1 Q_2 \bar{Q}_3 + \bar{Q}_0 \bar{Q}_1 \bar{Q}_3 + Q_0 Q_1 \bar{Q}_2 Q_3$$

Триггер D₁

Q ₃ Q ₂ \ Q ₁ Q ₀	00	01	11	10
00	1	1	1	0
01	0	0	1	0
11	1	0	0	1
10	0	1	0	1

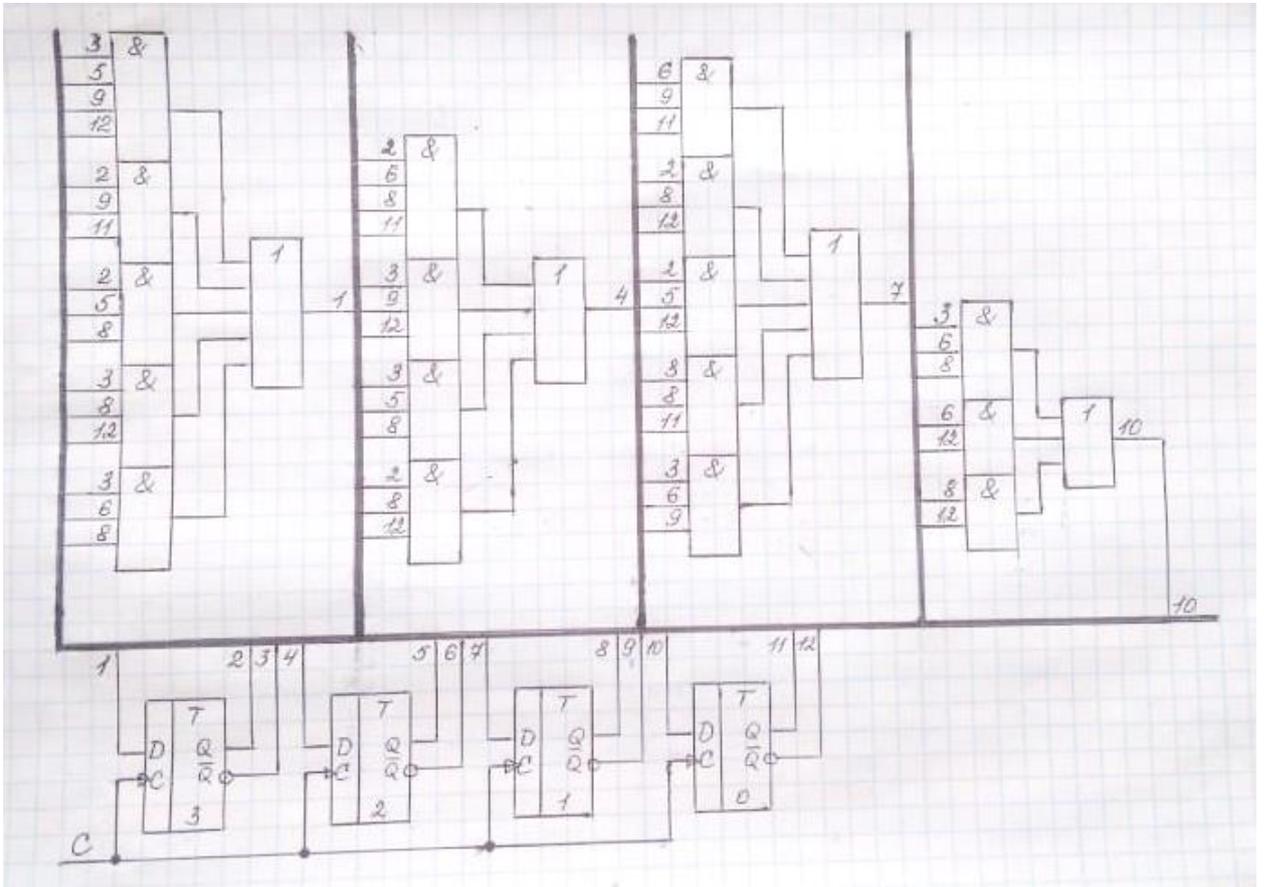
$$D_1 = \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 + Q_0 Q_1 \bar{Q}_3 + \bar{Q}_0 Q_2 Q_3 + \bar{Q}_0 Q_1 Q_3 + Q_0 \bar{Q}_1 \bar{Q}_2$$

Триггер D₀

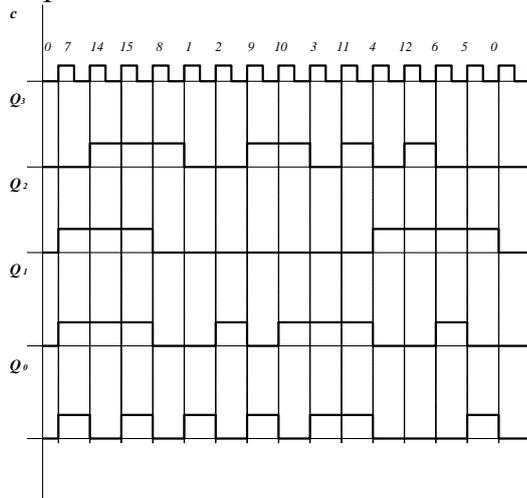
$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	1	0	1	1
01	0	0	0	1
11	0	0	0	1
10	1	0	0	1

$$D_0 = \bar{Q}_0 Q_1 + \bar{Q}_0 \bar{Q}_2 + Q_1 \bar{Q}_2 \bar{Q}_3$$

3. Выполняем схему генератора



4. Строим временные диаграммы.



Варианты заданий на практическую работу

№ варианта	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
Последовательности чисел	11	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8
	2	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0
	4	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9
	0	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1
	15	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10
	8	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2
	13	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11
	1	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3
	3	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12
	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4
	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13
	7	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5
	9	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6
	6	8	9	10	11	12	13	14	15	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

Практическая работа №29. Синтез суммирующего счетчика.

Цель работы: синтезировать схему суммирующего счетчика.

Пример выполнения практической работы

Модуль счёта равен двенадцати $K_{сч}=12$.

Характеристическая таблица JK триггера:

$Q_n \rightarrow Q_{n+1}$	J_n	K_n
0 → 0	0	*
0 → 1	1	*
1 → 0	*	1
1 → 1	*	0

Таблица переключений:

N	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	J_4	K_4	J_3	K_3	J_2	K_2	J_1	K_1
0	0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
1	0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
2	0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
3	0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
4	0	1	0	0	0	1	0	1	0	*	*	0	0	*	1	*
5	0	1	0	1	0	1	1	0	0	*	*	0	1	*	*	1
6	0	1	1	0	0	1	1	1	0	*	*	0	*	0	1	*
7	0	1	1	1	1	0	0	0	1	*	*	1	*	1	*	1
8	1	0	0	0	1	0	0	1	*	0	0	*	0	*	1	*
9	1	0	0	1	1	0	1	0	*	0	0	*	1	*	*	1
10	1	0	1	0	1	0	1	1	*	0	0	*	*	0	1	*
11	1	0	1	1	1	1	0	0	*	0	1	*	*	1	*	1
12	1	1	0	0	0	0	0	0	*	1	*	1	0	*	0	*

Заполняем диаграммы Вейча для каждого из входов триггеров: J1, K1, J2, K2, J3, K3, J4, K4.
Шаблон диаграммы Вейча на 4 переменных:

	X2				
X1	1100	1101	1001	1000	X3
	1110	1111	1011	1010	
	0110	0111	0011	0010	
	0100	0101	0001	0000	
	X4				

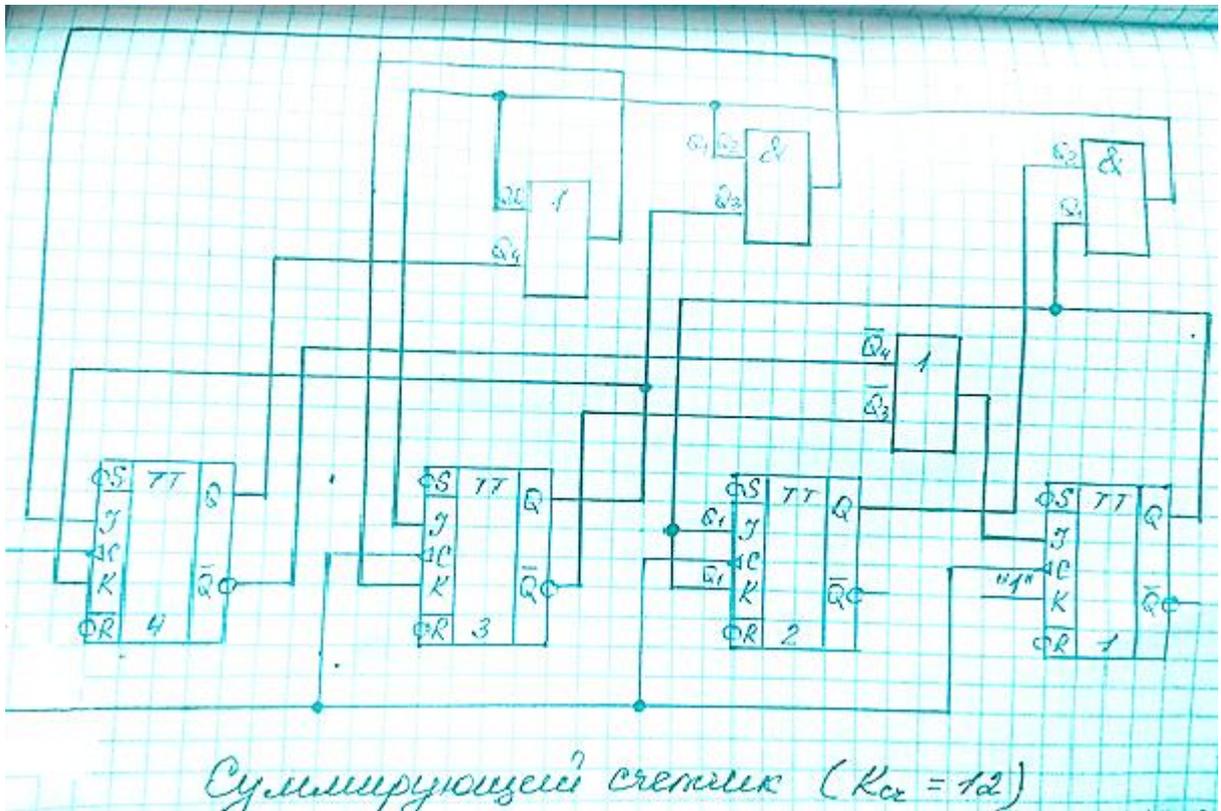
J1		K1	
XXXX	1111	XXXX	1111
XXXX	1XX1	XXXX	1111
1X01	XXXX	XXXX	1111
1111	XXXX	XXXX	1111
J2		K2	
XX11	11XX	XXXX	1111
XXX1	1XXX	XXXX	1111
XX00	0XXX	XXXX	1111
XX00	00XX	XXXX	1111
J3		K3	
1100	XXXX	XXXX	1111
XXXX	1XX0	XXXX	1111
XXXX	0X10	XXXX	1111
0000	XXXX	XXXX	1111
J4		K4	
00X0	X00X	XXXX	1111
1XX0	XXXX	XXXX	1111
0XX0	XX1X	XXXX	1111
00X0	X00X	XXXX	1111

J1		K1	
1111	1111	1111	1111
1001	1111	1111	1111
1001	1111	1111	1111
1111	1111	1111	1111
J2		K2	
1111	1111	1111	1111
1111	1111	1111	1111
0000	0000	0000	0000
0000	0000	0000	0000
J3		K3	
1100	1110	1110	1110
1100	1110	1110	1110
0000	0110	0110	0110
0000	0110	0110	0110
J4		K4	
0000	0000	1111	1111
1100	1111	1111	1111
0000	1111	1111	1111
0000	0000	1111	1111

Производим минимизацию, получаем уравнения входов:

$$J_1 = \bar{Q}_4 \vee \bar{Q}_3; \quad K_1 = 1; \quad J_2 = Q_1; \quad K_2 = Q_1; \quad J_3 = Q_1 Q_2; \quad K_3 = Q_1 Q_2 \vee Q_4; \quad J_4 = Q_1 Q_2 Q_3; \quad K_4 = Q_3$$

Синтезируем схему суммирующего счетчика.



Задание на практическую работу

Последняя цифра студенческого билета	Ксч
0 или 4	9
1 или 5	10
2 или 6	11
3 или 7	13
4 или 8	14
5 или 9	15

Практическая работа №30. Синтез вычитающего счетчика.

Цель работы: синтезировать схему вычитающего счетчика.

Пример выполнения практической работы

Как и в практической работе №28 составляем таблицу переключений (счет обратный от 12 (1100) до 0 (0000)):

N	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	J_4	K_4	J_3	K_3	J_2	K_2	J_1	K_1
0	1	1	0	0	1	0	1	1	*	0	*	1	1	*	*	0
1	1	0	1	1	1	0	1	0	*	0	0	*	*	0	*	1
2	1	0	1	0	1	0	0	1	*	0	0	*	*	1	*	0
3	1	0	0	1	1	0	0	0	*	0	0	*	0	*	*	1
4	1	0	0	0	0	1	1	1	*	1	1	*	1	*	1	*
5	0	1	1	1	0	1	1	0	0	*	*	0	*	0	0	*
6	0	1	1	0	0	1	0	1	0	*	*	0	*	1	1	*
7	0	1	0	1	0	1	0	0	0	*	*	0	0	*	0	*
8	0	1	0	0	0	0	1	1	0	*	*	1	1	*	1	*

9	0	0	1	1	0	0	1	0	0	*	0	*	*	0	0	*
10	0	0	1	0	0	0	0	1	0	*	0	*	*	1	1	*
11	0	0	0	1	0	0	0	0	0	*	0	*	0	*	0	*
12	0	0	0	0	1	1	0	0	1	*	1	*	0	*	*	1

Пользуясь характеристической таблицей JK-триггера, заполняем диаграммы входов:



Производим минимизацию:

$$J_1 = Q_1 \vee Q_2 \vee Q_3 \vee Q_4; \quad K_1 = 1; \quad J_2 = \bar{Q}_1 Q_3 \vee \bar{Q}_1 \bar{Q}_2 Q_4; \quad K_2 = \bar{Q}_1 Q_2; \quad J_3 = K_3 = \bar{Q}_1 \bar{Q}_2; \quad J_4 = K_4 = \bar{Q}_1 \bar{Q}_2 \bar{Q}_3$$

Синтезируем схему:

$$J_1 = ((\bar{Q}_4 \vee \bar{Q}_3) \cdot P) \vee ((Q_1 \vee Q_2 \vee Q_3 \vee Q_4) \cdot \bar{P})$$

Записываем аналогично для остальных входов:

$K_1 = 1$;

$$J_2 = (Q_1 \cdot P) \vee ((\bar{Q}_1 Q_3 \vee \bar{Q}_1 \bar{Q}_2 Q_4) \cdot \bar{P}); \quad K_2 = (Q_1 P) \vee (\bar{Q}_1 Q_2 \bar{P});$$

$$J_3 = (Q_1 Q_2 P) \vee (\bar{Q}_1 \bar{Q}_2 \bar{P}); \quad K_3 = ((Q_1 Q_2 \vee Q_4) \cdot P) \vee (\bar{Q}_1 \bar{Q}_2 \bar{P});$$

$$J_4 = (Q_1 Q_2 Q_3 P) \vee (\bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{P}); \quad K_4 = (Q_3 P) \vee (\bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{P})$$

Аналогично работам №28 и №29 собираем схему.

Практическая работа №32. Исследование цифроаналоговых преобразователей.

Цель работы: освоить порядок моделирования цифроаналоговых преобразователей.

Теоретическая часть

Различают две формы представления информации — непрерывную (аналоговую) и прерывистую (цифровую, дискретную). Непрерывная форма характеризует процесс, который не имеет перерывов и теоретически может изменяться в любой момент времени и на любую величину (например, крики животных, музыкальные произведения).

Все сигналы в живой и неживой природе существуют в аналоговой форме (влажность, давление, температура воздуха, освещенность, скорость ветра, нервные импульсы животных, речь человека и т.д.). Цифровые сигналы появились совсем недавно (середина прошлого века). Это искусственные сигналы, изобретенные людьми.

Цифровые сигналы могут изменяться лишь в определенные моменты времени и принимать лишь заранее обусловленные значения (например, только значения напряжений 0,2 и 3,5 В). Моменты времени возможного изменения уровня цифрового сигнала задает тактовый генератор конкретного цифрового устройства. Современные ЭВМ работают с цифровыми сигналами, поэтому необходимо уметь трансформировать аналоговые сигналы в цифровые (например, оцифровать изображение художественной картины, записать выступление музыкальной группы).

Для преобразования аналогового сигнала в цифровой сигнал требуется провести дискретизацию непрерывного сигнала во времени, квантование по уровню, а затем кодирование отобранных значений.

Дискретизация — замена непрерывного (аналогового) сигнала последовательностью отдельных во времени отсчетов (семплов) этого сигнала.

Квантование — разбиение диапазона уровней непрерывной величины на конечное число интервалов и округление входных уровней до разрешенных значений.

На рисунке схематично показан процесс преобразования аналогового сигнала в цифровой сигнал. Цифровой сигнал в данном случае может принимать лишь пять различных разрешенных уровней. Естественно, что качество такого преобразования невысокое. Из рисунка видно, что изменение цифрового сигнала происходит лишь в определенные моменты времени (в данном случае этих моментов одиннадцать).

Кодирование — представление результата измерения уровня в точке выборки (отсчета) двоичным числом.

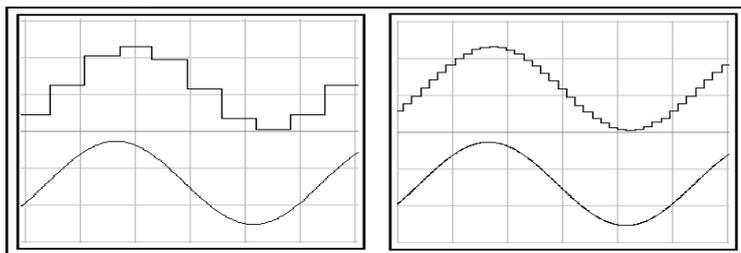
При преобразовании непрерывный сигнал заменяют последовательностью чисел. Показанный на рисунке непрерывный сигнал заменяется числами 2-3-4-4-4-3-2-2-3-4-4. Десятичная система счисления в рассматриваемом примере использована лишь для большей наглядности. Фактически аналоговый сигнал преобразуют в последовательность единиц и нулей. Результаты данного преобразования можно представить в виде таблицы.

Время	Десятичные числа	Двоичные числа
-------	------------------	----------------

t ₁	2	0010
t ₂	3	0011
t ₃	4	0100
t ₄	4	0100
t ₅	4	0100
t ₆	3	0011
t ₇	2	0010
t ₈	2	0010
t ₉	3	0011
t ₁₀	4	0100
t ₁₁	4	0100

Здесь цифровые сигналы представлены четырьмя разрядами двоичных чисел. Очевидно, что, чем больше разрядов у двоичных чисел (то есть чем больше число уровней квантования) и чем чаще во времени осуществляются отсчеты (выборки), тем точнее будет преобразован непрерывный сигнал в цифровой.

Образное представление о качестве оцифрованного сигнала дают кинофильмы, снятые с разной скоростью. Первые немые фильмы были сняты с частотой 16 кадров в секунду. Из-за низкой частоты съемки некоторые фазы движения объектов терялись, и перемещение персонажей на экране становилось комичным, дерганным. Переход на частоту 24 кадров в секунду сняло эту проблему, движение стало плавным.



Предыдущий рисунок показывает, как влияет частота дискретизации аналого-цифрового преобразования на качество оцифрованного сигнала. В нижней части диаграмм показан исходный аналоговый сигнал (синусоида частотой 1 кГц). В верхней части рисунков изображен сигнал после двойного преобразования при разных значениях частоты дискретизации. В данном случае аналоговый сигнал был вначале преобразован в цифровой, а затем цифровой сигнал обратно конвертирован в аналоговый. Рисунки отличаются использованной частотой дискретизации. В первом случае частота дискретизации составляла 8 кГц, во втором – 32 кГц. Из рисунка видно, что с ростом частоты дискретизации качество преобразования улучшается. На качество цифрового сигнала сильно влияет также его разрядность.

Необходимая частота дискретизации (при заданной наибольшей частоте в спектре преобразуемого сигнала) определяется с помощью **теоремы Котельникова** (в англоязычной литературе ее называют теоремой Найквиста — Шеннона или теоремой отсчетов). Теорема гласит: любой сигнал со спектром частот от 0 до f_{\max} можно передать с необходимой точностью при помощи чисел, следующих друг за другом через интервалы времени, равные $1/2f_{\max}$.

Первое представление об аналоговом и цифровом способах хранения и распространения информации можно получить, рассматривая два способа записи звуковых сигналов: аналоговую и цифровую аудиозаписи. и аналоговой аудиозаписи непрерывный электрический сигнал, формируемый источником звука на выходе микрофона, с помощью магнитной головки наносится на движущуюся магнитную ленту. Недостатком аналогового способа обработки информации является то, что копия бывает всегда хуже оригинала, причем с увеличением числа перезаписей качество фонограммы постоянно ухудшается. Длительное хранение магнитной ленты приводит к ее размагничиванию и в итоге – к потере записи.

При цифровой аудиозаписи используется процесс выборки, заключающийся в периодическом измерении уровня (громкости, амплитуды) аналогового звукового сигнала (например, поступающего с выхода микрофона) и превращении полученного значения в



последовательность двоичных чисел. Для преобразования аналогового сигнала в цифровой используется специальный конвертор, называемый аналогово-цифровой преобразователь (АЦП). В англоязычной литературе используется термин Analog Digital Converter (ADC). Сигнал на выходе АЦП представляет собой последовательность двоичных чисел, которая может быть обработана компьютером. Обратная конверсия цифрового сигнала в непрерывный сигнал осуществляется с помощью цифроаналогового преобразователя (ЦАП, DAC).

Качество аналогово-цифрового преобразования характеризует параметр, называемый разрешением. **Разрешение** — это количество уровней квантования, используемых для замены непрерывного аналогового сигнала цифровым сигналом. Восемьразрядная выборка позволяет получить только 256 различных уровней квантования цифрового сигнала, а шестнадцатиразрядная выборка — 65 536 уровней.

Еще один показатель качества трансформации непрерывного сигнала в цифровой сигнал — это частота дискретизации — количество преобразований аналог-цифра (выборок), производимое устройством в одну секунду. Этот показатель измеряют килогерцами (килогерц — тысяча выборок в секунду). Типичное значение частоты дискретизации лазерных (оптических) аудиодисков — 44,1 кГц.

Практическая часть

Задание 1. Исследование ЦАП

Собрать схему ЦАП, использующего взвешивающую резистивную матрицу. Установить напряжение на источнике напряжения V1 равным номеру варианта. Коммутируя ключи 1, 2, 3 и 4, сделать 16 измерений и заполнить таблицу 1. В последнюю колонку занести показания вольтметра U1.

На рисунке показан момент подачи на вход ЦАП комбинации цифровых сигналов 1011В (ключ старшего разряда S4 находится внизу).

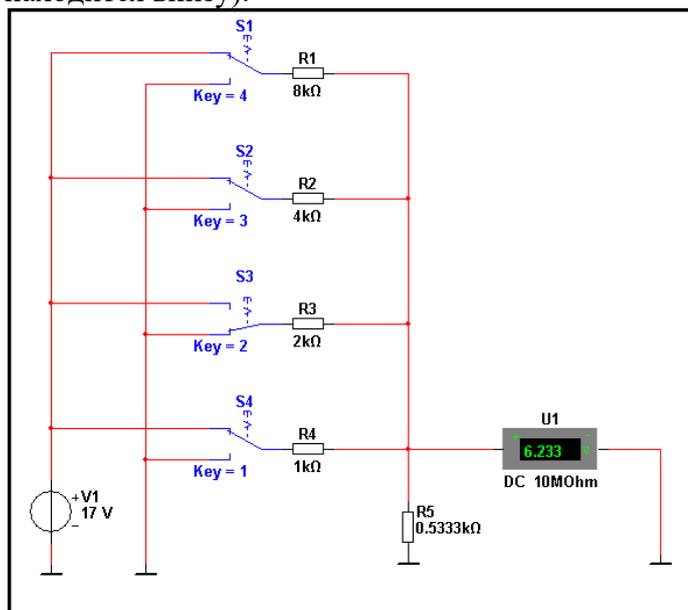


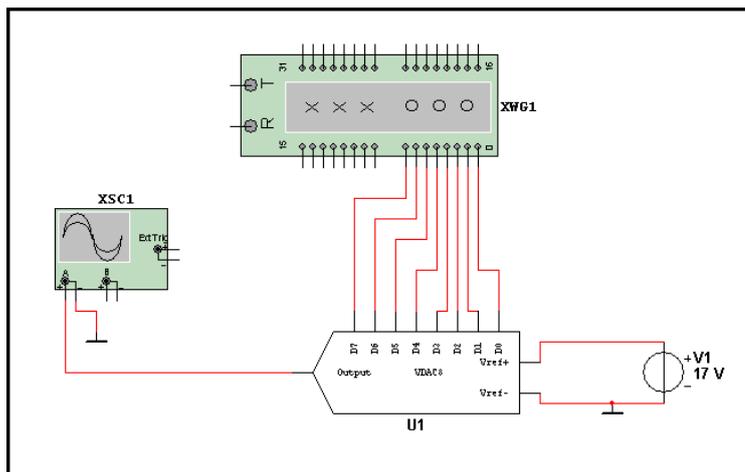
Таблица 1

Цифровой сигнал				Аналоговый сигнал U, В
Ключ 1	Ключ 2	Ключ 3	Ключ 4	
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
...	
1	1	1	1	

Задание 2. Исследование микросхемы ЦАП

Составить схему, показанную на следующем рисунке. Преобразовать 16 букв своей фамилии и имени (без пробелов) в десятичную систему счисления. Если число символов в фамилии и имени меньше 16, то следует использовать часть букв отчества. Первые буквы

фамилии, имени и отчества должны быть заглавными, остальные – строчные. Для записи использовать кириллицу.



Ввести 16 чисел в генератор слов (Word Generator) и поочередно подать их на ЦАП 16. Поместить в отчет временные диаграммы, которые формируются на экране осциллографа в процессе моделирования ЦАП. С помощью осциллографа измерить аналоговое напряжение U , соответствующее каждому значению цифрового сигнала.

Опорное напряжение U_{op} в схеме должно быть установлено равным номеру варианта (на рисунке показано опорное напряжение для варианта 17). Рассчитать значение выходного напряжения U_p , которое соответствует каждой входной комбинации. Результаты исследований занести в таблицу.

Сопоставить результаты расчетов и измерений.

Буквы	Десятичный код, D	Аналоговое напряжение, В	
		Расчетное, U_p	Измеренное, U

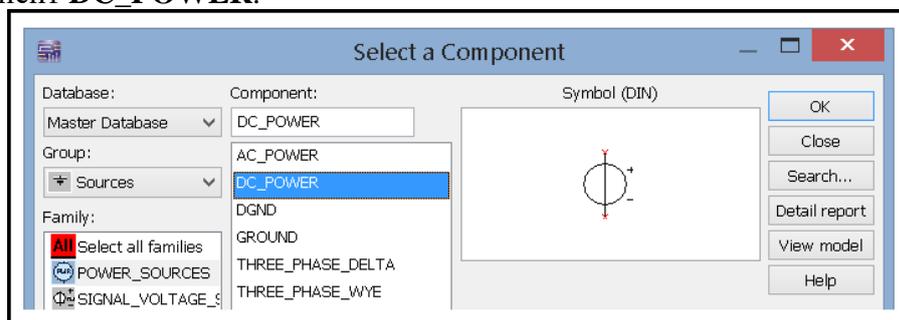
Порядок выполнения практической работы

Методические указания к заданию 1.

Принцип работы ЦАП, использующего взвешивающую резистивную матрицу, заключается в изменении тока, протекающего через резистор R5. Чем больше ключей формируют высокое напряжение, тем большее напряжение формируется на резисторе R5. Легко заметить, что вклад каждого ключа (каждого двоичного разряда) различен. Наибольший вклад в выходное напряжение дает ключ S4. Это объясняется тем, что через резистор R4 протекает наибольший ток, так как номинал этого резистора наименьший. Минимальный квант выходного напряжения формируется ключом S1 (младший разряд двоичного числа).

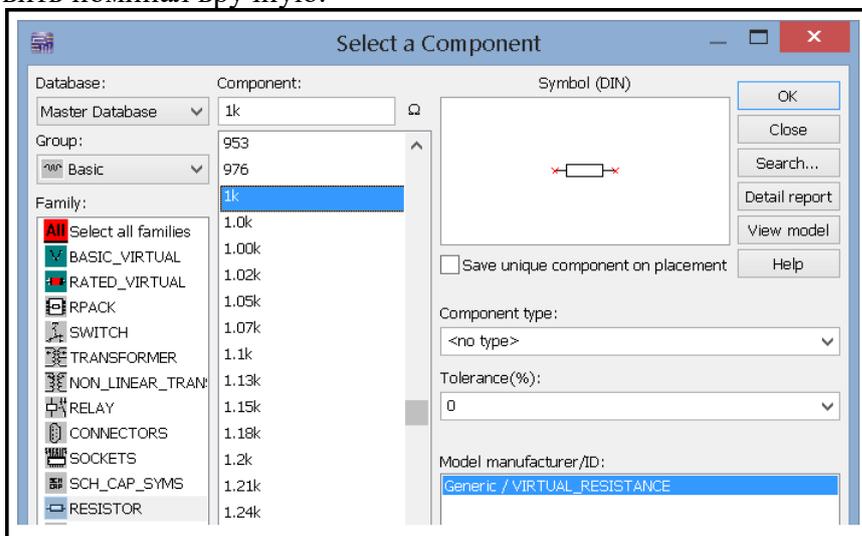
Еще одна конструктивная особенность взвешивающей резистивной матрицы состоит в том, что номиналы резисторов выбраны такими же, как и веса разрядов двоичных чисел: 1, 2, 4, 8. Это простейший способ построения ЦАП.

Извлечение источника напряжения из базы данных Multisim происходит в такой последовательности: панель **Components** группа **Sources** семейство **POWER_SOURCES** компонент **DC_POWER**.



Установка заданного напряжения происходит стандартно: двойной щелчок по установленному элементу открывает диалоговое окно, которое позволяет сделать необходимые корректировки параметров компонента.

Для установки в схему резисторов нужно выполнить команды: панель **Components** группа **Basic** семейство **RESISTOR** в списке компонентов выбрать нужный номинал резистора или установить номинал вручную.



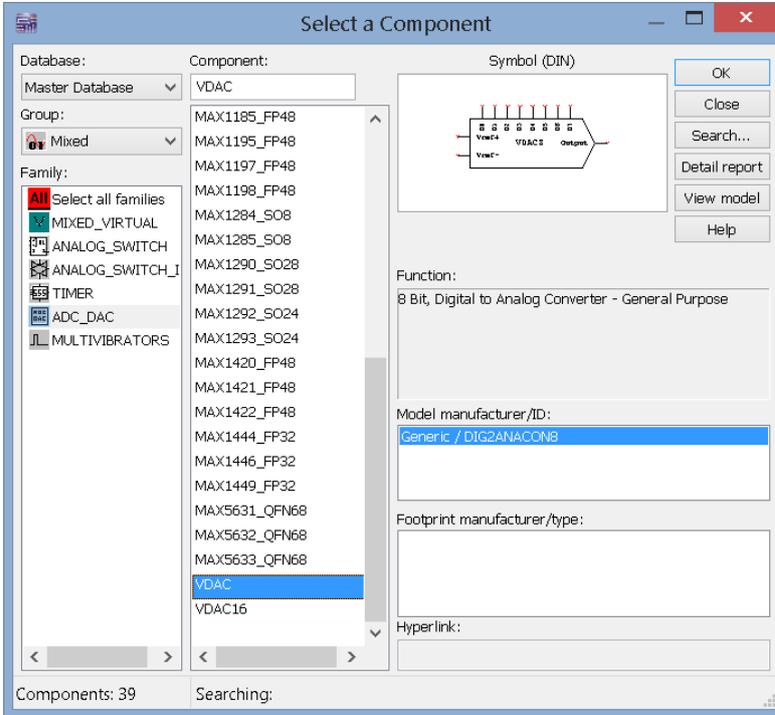
Методические указания к заданию 2

Микросхема ЦАП находится в базе данных Multisim. Для ее установки нужно пройти путь: панель **Components** группа **Mixed** семейство **ADC_DAC** компонент **VDAC**.

При исследовании ЦАП цифровой сигнал формируется с помощью генератора слов (Word Generator). В каждом варианте цифровые сигналы разные и определяются буквами фамилии, имени и отчества студента. Преобразование русских букв в десятичные числа производится на основании кодовой таблицы CP-1251.

пробел	32	!	33	"	34	#	35	\$	36
%	37	&	38	'	39	(40)	41
*	42	+	43	,	44	-	45	.	46
/	47	0	48	1	49	2	50	3	51
4	52	5	53	6	54	7	55	8	56
9	57	:	58	;	59	<	60	=	61
>	62	?	63	@	64	A	65	B	66
C	67	D	68	E	69	F	70	G	71
H	72	I	73	J	74	K	75	L	76
M	77	N	78	O	79	P	80	Q	81
R	82	S	83	T	84	U	85	V	86
W	87	X	88	Y	89	Z	90	[91
\	92]	93	^	94	_	95	`	96
a	97	b	98	c	99	d	100	e	101
f	102	g	103	h	104	i	105	j	106
k	107	l	108	m	109	n	110	o	111
p	112	q	113	r	114	s	115	t	116
u	117	v	118	w	119	x	120	y	121
z	122	A	192	Б	193	В	194	Г	195
Д	196	Е	197	Ж	198	З	199	И	200
Й	201	К	202	Л	203	М	204	Н	205
О	206	П	207	Р	208	С	209	Т	210
У	211	Ф	212	Х	213	Ц	214	Ч	215
Ш	216	Щ	217	Ъ	218	Ы	219	Ь	220

Э	221	Ю	222	Я	223	а	224	б	225
В	226	Г	227	Д	228	е	229	Ж	230
з	231	и	232	й	233	к	234	л	235
М	236	Н	237	о	238	п	239	р	240
с	241	т	242	у	243	ф	244	х	245
Ц	246	ч	247	ш	248	щ	249	ъ	250
Ы	251	ь	252	э	253	ю	254	я	255

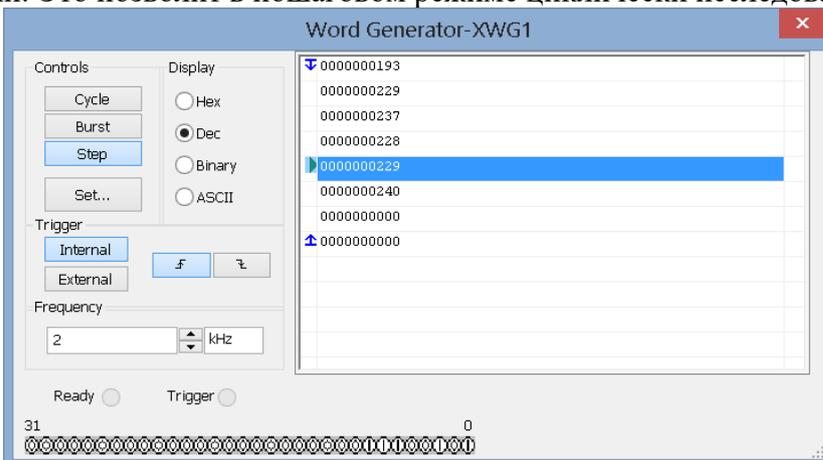


Измерения (и построение временных диаграмм) целесообразно производить в пошаговом режиме работы генератора слов (Step). Однократное нажатие на одноименную кнопку приводит к однократному цифроаналоговому преобразованию. Частота генератора слов (Word Generator) должна быть установлена равной 2 кГц.

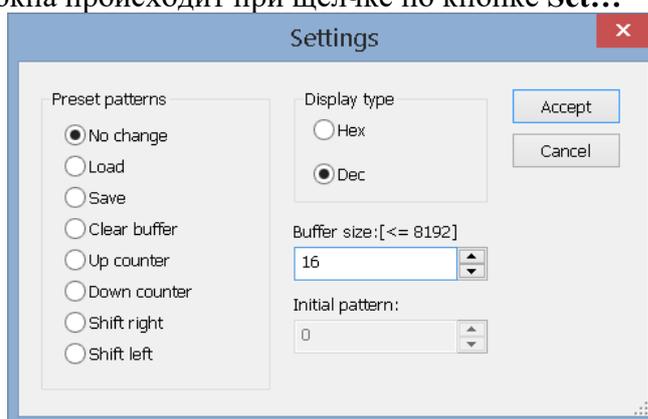
Вводить информацию в генератор слов можно в шестнадцатеричной, десятичной или двоичной СС, а также в коде ASCII. Последний вариант самый рациональный. Однако для представления кириллицы потребуется шестнадцатиразрядный код Unicode, поэтому записать символьную информацию придется с использованием десятичной или шестнадцатеричной СС (использование двоичной СС самые нерациональный вариант).

На рисунке показан пример ввода в буфер памяти генератора шести слов фамилии Бендер. В конце введены два машинных слова, содержащих нули. Это сделано для повышения наглядности временных диаграмм.

Буфер памяти генератора слов целесообразно ограничить шестнадцатью двоичными словами. Это позволит в пошаговом режиме циклически исследовать формируемые сигналы.



Для изменения объема буфера нужно вызвать диалоговое окно **Settings** (Установки). Вызов этого окна происходит при щелчке по кнопке **Set...**

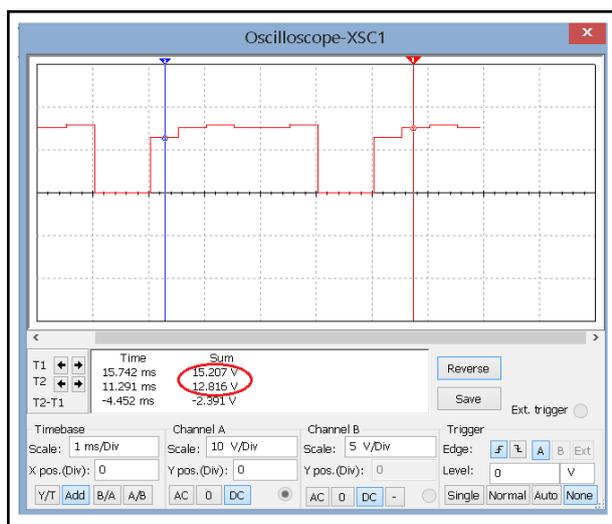


Выбрав подходящую систему счисления (Hex, Dec), нужно в окне **Buffer size** (Размер буфера) указать число используемых символов.

Временную развертку на осциллографе (Timebase) следует установить 1 ms/Div, а чувствительность 5 V/Div (для вариантов 1...8) или 10 V/Div (для вариантов 9...16).

При измерении аналогового сигнала с помощью осциллографа нужно открыть детальное изображение осциллографа (двойной щелчок по свернутому изображению). Считывание показаний осциллографа следует производить с помощью одного или двух цветных маркеров.

Пример настройки осциллографа (состояние управляющих элементов) приведен на следующем рисунке. Осциллограф в данном случае работает в одноканальном режиме и канал В (Channel B) не используется.



Овалом показана область вывода результатов измерения.

Выходное напряжение восьмиразрядного ЦАП рассчитывается по формуле:

$$U_p = D \cdot U_{op} / 256,$$

где D - десятичный код цифрового сигнала; U_{op} – опорное напряжение (определяется номером варианта).

Если $U_{op} = 17$ В, то приведённая формула будет иметь компактный вид, удобный для проведения расчётов в варианте 17:

$$U_p = D \cdot 17 / 256 = D \cdot 0,0664.$$

Сделанные округления приведут к появлению небольших различий между расчетными и измеренными значениями. В следующей таблице приведены результаты моделирования и расчетов для слова Бендер.

Буквы	Десятичный код, D	Аналоговое напряжение, В	
		Расчётное, U_p	Измеренное, U
Б	193	12,816	12,816
е	229	15,207	15,207
н	237	15,738	15,738
д	228	15,141	15,141
е	229	15,207	15,207
р	240	15,937	15,937

Анализ таблицы показывает, что наименьшее различие выходных напряжений (для букв «д» и «е») составляет 0,066 В.

Требования к отчету

Отчет подготавливается в электронном виде. Он должен содержать постановки задач, скриншоты, которые показывают порядок решения задачи, схемы, таблицы с результатами расчетов и моделирования, временные диаграммы, необходимые комментарии и анализ полученных результатов.

Контрольные вопросы

1. Как определить напряжение наименьшей ступеньки восьмиразрядного ЦАП, если известны опорные напряжения?
2. Как с помощью осциллографа определить длительность одной ступеньки сигнала на выходе ЦАП?
3. Как с помощью осциллографа определить разность напряжений двух ступенек?
4. Какая частота дискретизации используется при записи (считывании) в оптических аудиодисках?
5. Сколько уровней квантования используется при записи (считывании) в оптических аудиодисках?
6. Сколько уровней квантования имеет 16-ти разрядный ЦАП?
7. Как с помощью теоремы Котельникова по известной максимальной частоте спектра определить необходимую частоту дискретизации АЦП?
8. Как по известной частоте дискретизации определить длительность одной ступеньки на выходе ЦАП?

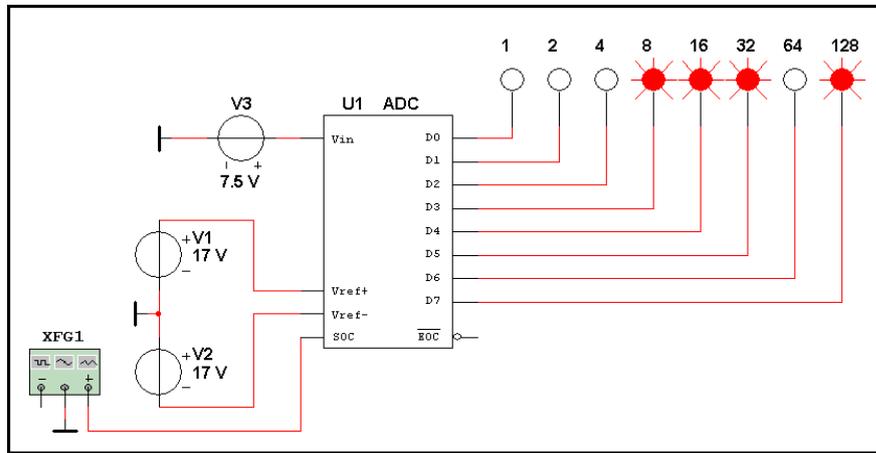
Практическая работа №33. Исследование аналого-цифровых преобразователей.

Цель работы: освоить порядок моделирования аналого-цифровых преобразователей.

Практическая часть

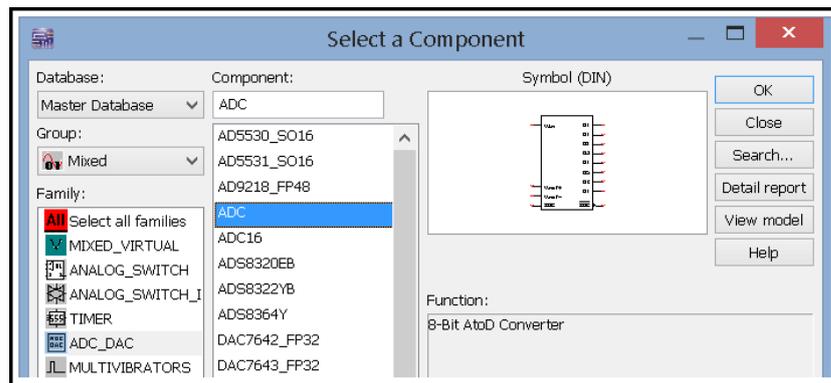
Собрать схему, показанную на рисунке. Установить на генераторе Function Generator частоту 1 кГц, прямоугольную форму колебаний (Waveforms) и амплитуду (Amplitude) в пределах 3...5 В. Выбрать опорные напряжения, равными номеру варианту. Поочередно установить семь значений входного напряжения U_{in} и определить выходной двоичный код. Результаты моделирования занести в таблицу.

В последнюю колонку таблицы поместить расчетное значение выходного кода, представленное в десятичной системе счисления.



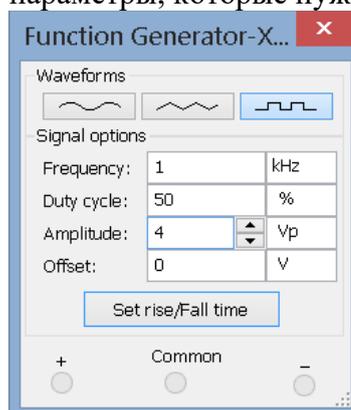
U _{in} , В	Показания индикаторов								D
	128	64	32	16	8	4	2	1	
+U _{op}									
-U _{op}									
+U _{op} /2									
-U _{op} /2									
+U _{op} /10									
-U _{op} /10									
0									

Для выбора АЦП из базы данных нужно пройти путь: панель **Components** группа **Mixed** семейство **ADC_DAC** компонент **ADC**.



Рассмотрим назначение элементов. На вход АЦП SOC подается сигнал от генератора Function Generator, который определяет частоту дискретизации. Так как в данном задании входное напряжение U_{in} постоянное, то не имеет значения, на какой частоте работает генератор (например, можно установить частоту 1 кГц).

Следующий рисунок показывает параметры, которые нужно установить на генераторе.



К выходам АЦП подключены индикаторы, которые обозначены в соответствии с их весовыми коэффициентами. Это делает удобным процедуру определения цифрового сигнала D, выраженного в десятичной системе счисления.

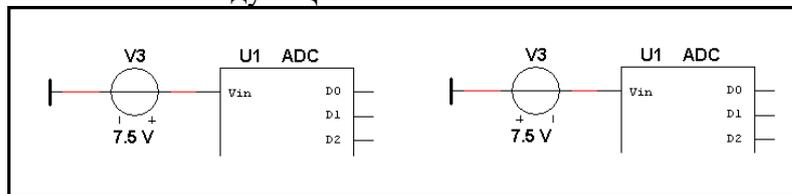
Выходной код АЦП рассчитывается по формуле:

$$D = 128 + U_{in} 128/U_{op},$$

где U_{in} - входное аналоговое напряжение; D - выходное число, представленное в десятичной системе счисления.

Следует обратить внимание, что при $U_{in} = 0$ выходной десятичный код $D = 128$, при $U_{in} > 0$ выходной код $D > 128$, а при $U_{in} < 0$ выходной код $D < 128$.

Для смены полярности входного напряжения U_{in} необходимо отсоединить источник U_{in} и подключить его другим полюсом ко входу АЦП.



Требования к отчету

Отчет подготавливается в электронном виде. Он должен содержать постановки задач, скриншоты, которые показывают порядок решения задачи, схемы, таблицы с результатами расчетов и моделирования, временные диаграммы, необходимые комментарии и анализ полученных результатов.

Контрольные вопросы

1. Что называется разрешением АЦП?
2. Приведите примеры аналоговых сигналов.
3. Почему внутри ЭВМ циркулируют преимущественно цифровые сигналы?
4. Приведите примеры цифроаналогового и аналого-цифрового преобразования.

Практическая работа №34. Исследование двойного преобразования (АЦП-ЦАП).

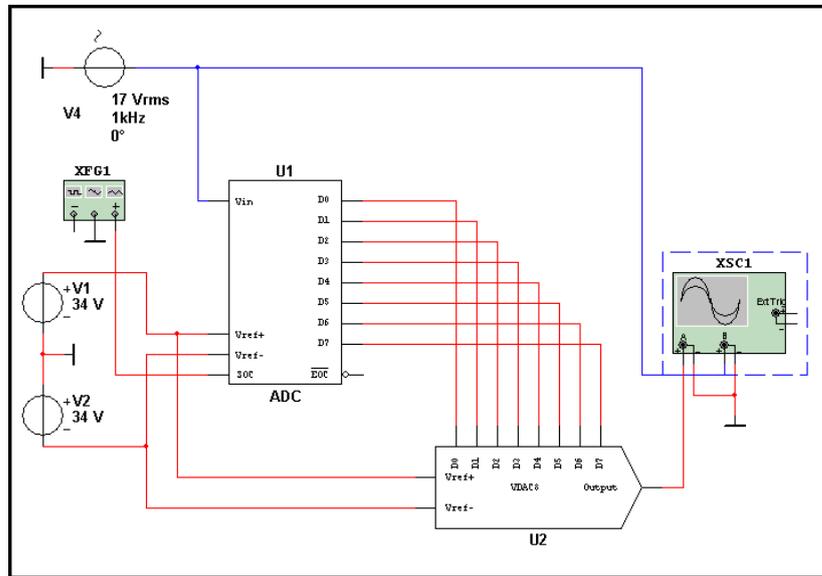
Цель работы: Освоить порядок моделирования цифроаналоговых и аналого-цифровых преобразователей

Практическая часть

Собрать схему, показанную на рисунке. Подать на вход АЦП синусоидальное напряжение, установив действующее напряжение на источнике U_{in} , равным номеру варианта. Опорные напряжения выбрать равными удвоенному значению номера варианта.

Временные диаграммы зарисовать в масштабе при различных частотах дискретизации: 4; 8; 16 и 32 кГц.

При частоте дискретизации 32 кГц дополнительно зарисовать еще три временные диаграммы при соединении между собой АЦП и ЦАП с помощью 1 разряда (D7), двух разрядов (D7, D6) и трех разрядов (D7, D6, D5). Другими словами, из восьми проводов, соединяющих АЦП и ЦАП, последовательно оставлять только один, два и три провода в старших разрядах.



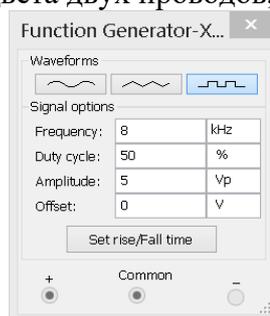
Методические указания

В предыдущей работе входное напряжение U_{in} вначале с помощью АЦП превращается в поток цифр. Затем цифры с помощью ЦАП обратно конвертируются в аналоговое напряжение. Таким образом, в идеальном случае после двойного преобразования выходное напряжение ЦАП должно полностью совпасть с входным напряжением U_{in} . Однако качество трансформации во многом определяется выбранной частотой дискретизации и разрядностью используемых преобразователей.

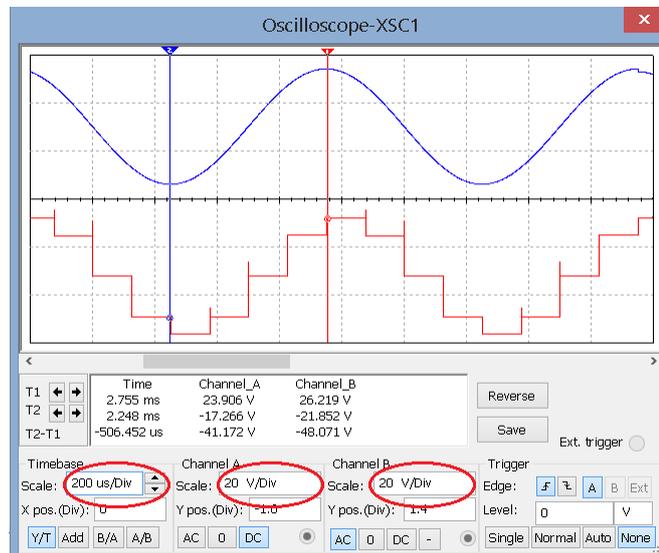
В процессе исследований данной схемы нужно дать качественную оценку точности преобразований в зависимости от частоты дискретизации и разрядности АЦП и ЦАП.

При проведении моделирования величины времени развертки и усиления по каждому каналу следует подобрать таким образом, чтобы полнее использовать весь экран осциллографа. Целесообразно время развертки установить таким, чтобы число периодов, укладываемых на экране было 2...3. При исследовании двухканальных осциллограмм наглядность изображений можно повысить с помощью смещения графиков по вертикали (Y Position).

Во время моделирования осциллограф будет работать в двухканальном режиме. Важно, чтобы осциллограммы входного и выходного напряжений были изображены в одинаковых масштабах. Для повышения наглядности осциллограмм желательно использовать разноцветные изображения. Для этого нужно изменить цвета двух проводов, подходящих к осциллографу.



На следующем рисунке показаны настройки осциллографа для варианта 17 и тактовой частоте, равной 8 кГц. Овалами, отмечены органы управления, которые придется использовать при изменении номера варианта и частоты дискретизации.



Требования к отчету

Отчет подготавливается в электронном виде. Он должен содержать постановку задачи, скриншоты, которые показывают порядок решения задачи, схемы, таблицы с результатами расчетов и моделирования, временные диаграммы, необходимые комментарии и анализ полученных результатов.

Контрольные вопросы

1. Как определить напряжение наименьшей ступеньки восьмиразрядного ЦАП, если известны опорные напряжения?
2. Как с помощью осциллографа определить длительность одной ступеньки сигнала на выходе ЦАП?
3. Как с помощью осциллографа определить разность напряжений двух ступенек?
4. Какая частота дискретизации используется при записи (считывании) в оптических аудиодисках?
5. Сколько уровней квантования используется при записи (считывании) в оптических аудиодисках?
6. Сколько уровней квантования имеет 16-ти разрядный ЦАП?
7. Как с помощью теоремы Котельникова по известной максимальной частоте спектра определить необходимую частоту дискретизации АЦП?
8. Как по известной частоте дискретизации определить длительность одной ступеньки на выходе ЦАП?
9. Что называется, разрешением АЦП?
10. Приведите примеры аналоговых сигналов.
11. Почему внутри ЭВМ циркулируют преимущественно цифровые сигналы?
12. Приведите примеры цифроаналогового и аналого-цифрового преобразования.

Цель работы: изучение принципа работы усилителя; изучение принципа действия транзисторов.

Краткие сведения из теории

Электронный усилитель (ЭУ) - усилитель электрических сигналов, в усилительных элементах которого используется явление электрической проводимости в газах, вакууме и полупроводниках. Электронный усилитель может представлять собой как самостоятельное устройство, так и блок (функциональной узел) в составе какой-либо аппаратуры - радиоприемника, магнитоона, измерительного прибора и т.д.

Задание на практическую работу

Задача 1. Определите недостающие параметры схемы, приведенной на рисунке 1. Исходные данные приведены в таблице 1.

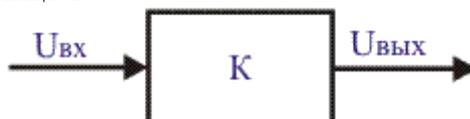


Рисунок 1 - Схема электронного усилителя

Таблица 1 - Исходные данные для задачи 1

№ варианта	$U_{вх}$, В	$U_{вых}$, В	К
01	5	?	10
02	5	25	?
03	2	10	?
04	?	25	10
05	?	15	10
06	10	15	?
07	12	30	?
08	?	45	25
09	10	?	15
10	8	16	2

Задача 2. Определите недостающие параметры схемы, приведенной на рисунке 2. Исходные данные приведены в таблице 1.2.

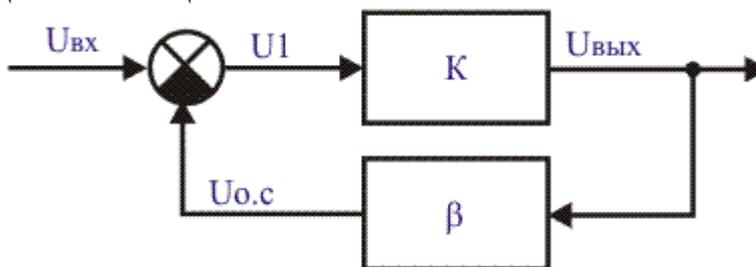


Рисунок 2 - Схема электронного усилителя

Таблица 2 - Исходные данные для задачи 2

№ варианта	$U_{вх}$, В	$U_{вых}$, В	U_1 , В	β	К
01	5	-3	10	?	?
02	?	?	3	5	30
03	10	?	3	?	2
04	?	25	10	?	5
05	20	15	?	?	?
06	?	15	?	5	25
07	12	30	?	?	?

08	10	45	?	7	?
09	?	30	15	?	20
10	?	?	5	10	15

Задача 3. Биполярный транзистор включен по схеме с общим эмиттером. По приведенным на рисунке 3 характеристикам определить недостающие и h – параметры транзистора. Варианты заданий приведены в таблице 3. Напряжения питания каскада для всех вариантов принять равным 30 В.

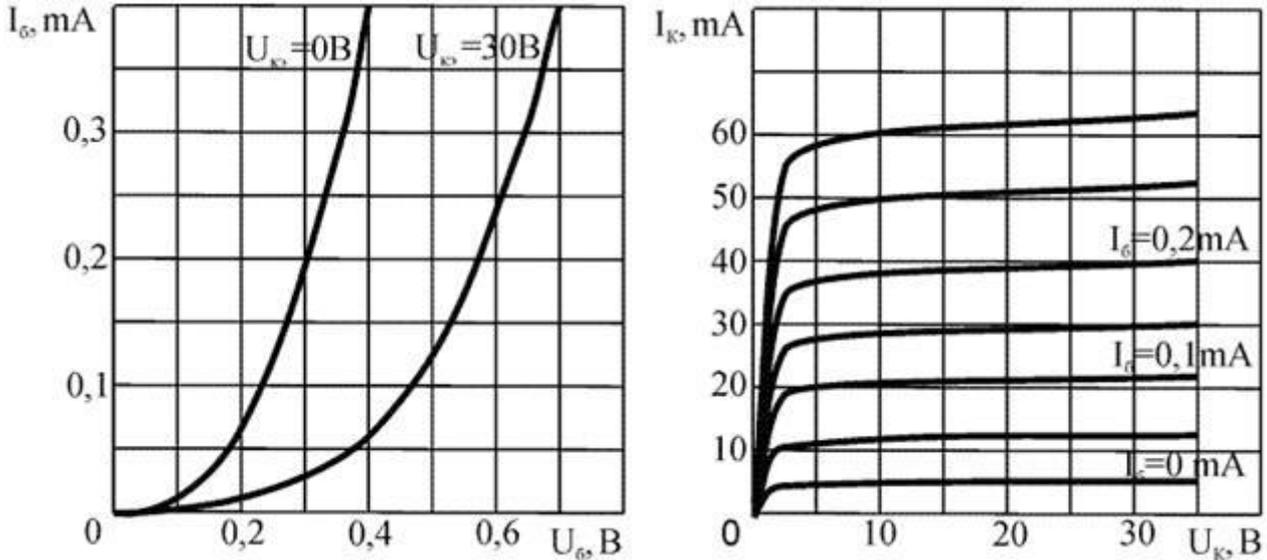


Рисунок 3 - Биполярный транзистор включенный по схеме с ОЭ

Таблица 3 - Исходные данные для задачи 3

Вариант №	$I_б$ мкА	$I_к$ мА	$I_э$ мА	α	$U_к$ В
1	150	?	?	?	?
2	?	40	?	?	?
3	?	?	?	?	15
4	100	?	?	?	?
5	?	25	?	?	?
6	?	?	?	?	20
7	50	?	?	?	?
8	?	50	?	?	?
9	?	?	?	?	25
10	200	?	?	?	?

Содержание отчета

- 1 Титульный лист с названием практической работы, номером варианта, фамилиями студентов и группы.
- 2 Цель работы и задание на практическую работу.
- 3 Результаты расчетов.
4. Выводы по полученным данным расчетов.

Контрольные вопросы

1. Что означает понятие идеальные операционные усилители?
2. Идеальный ОУ обладает какими характеристиками?
3. Особенности устройства СВЧ биполярных транзисторов (БТ).
4. Особенности устройства СВЧ полевых транзисторов (ПТ).

Практическая работа №36. Исследование параметров операционных усилителей

Цель работы – экспериментальное исследование параметров операционных усилителей (ОУ): напряжения смещения, АЧХ, ФЧХ и скорости нарастания выходного напряжения.

Экспериментальная часть

1. Создать модель ОУ в среде Electronics Workbench в соответствии с вариантом задания таблицы 1. Для этого щелкнуть два раза клавишей указания мыши на изображении ОУ и выбрать в появившемся окне **3– Terminal Opamp Properties** в разделе **Library** библиотеку **default**, а затем в разделе **Model** – тип ОУ **ideal**. Выбрать последовательно клавишей указания мыши кнопки **Copy** и **Paste**, записать латинскими буквами в появившемся окне тип ОУ в соответствии с вариантом задания и нажать кнопку **OK**. В результате в разделе **Model** добавится новый тип ОУ. Для корректировки его параметров нажать кнопку **Edit** и установить значения параметров **Input offset voltage [VOS]** (напряжение смещения $U_{см}$), **Input resistance [RI]** (входное сопротивление $R_{вх}$), **Open-loop gain [A]** (коэффициент усиления K_y), **Slew rate [SR]** (скорость нарастания выходного напряжения $V_{УВЫХ}$), **Unity-gain bandwidth [FU]** (частота единичного усиления f_1) и **Output resistance [RO]** (выходное сопротивление $R_{ВЫХ}$) в соответствии с таблицей 1. Значения других параметров оставить без изменения.

Таблица 1

№ варианта	Тип ОУ	$U_{см}$, мВ (VOS)	$R_{вх}$, МОм (RI)	K_y (A)	$V_{УВЫХ}$, В/мкс (SR)	f_1 , МГц (FU)	$R_{ВЫХ}$, Ом (RO)
1	2	3	4	5	6	7	8
1	К140УД6А	5	3	70000	2,5	1	150
2	К140УД7	9	0,3	50000	0,3	0,8	150
3	К140УД8А	20	1000	50000	5	1	200
4	К140УД9	5	0,3	35000	0,5	1	200
5	К140УД10	5	1	50000	50	15	200
6	К140УД11	10	0,2	25000	20	5	200
7	К140УД12	6	50	50000	2	1	1000
8	К140УД14А	2	30	50000	0,05	0,3	300
9	К140УД17А	0,025	100	300000	0,1	0,4	200
10	К140УД20А	6	0,4	50000	0,3	0,8	150
11	К153УД1	7,5	0,5	50000	0,2	1	150
12	К153УД2	5	0,3	50000	0,5	1	300
13	К153УД3	2	0,1	25000	1	1	200
14	К153УД4	5	0,1	5000	0,12	0,3	200
15	К153УД5А	2,5	1	1000000	0,1	0,2	100
16	К154УД1	5	1	200000	10	1	300
17	К154УД2	2	5	100000	10	1	300
18	К157УД1	5	0,3	50000	0,5	0,5	20
19	К544УД1А	20	150000	50000	2	5	200
20	К544УД2А	20	300000	20000	20	15	200
21	К140УД20А	6	0,4	50000	0,3	0,8	150
22	К153УД2	5	0,3	50000	0,5	1	300
23	К154УД1	5	1	200000	10	1	300
24	К157УД1	5	0,3	50000	0,5	0,5	20

1. Собрать схему для исследования влияния напряжения смещения на выходное напряжение ОУ в прямом включении в соответствии с рисунком 1. Вольтметр включить в режиме измерения постоянного напряжения (**DC**).

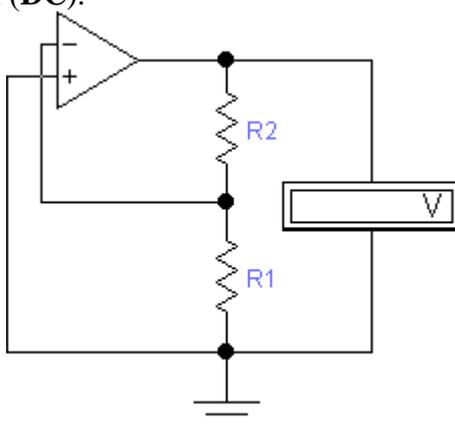


Рисунок 1

Измерить выходное напряжение ($U_{\text{вых}}$) ОУ и занести в таблицу для следующих значений R1 и R2, приведенных в таблице 2.

Таблица 2

R1, кОм	R2, кОм	$U_{\text{вых}}$, В	$U_{\text{см}}$, мВ
1	10		
1	100		

2. Собрать схему для исследования АЧХ и ФЧХ ОУ, включенного по схеме повторителя напряжения, в соответствии с рисунком 2.

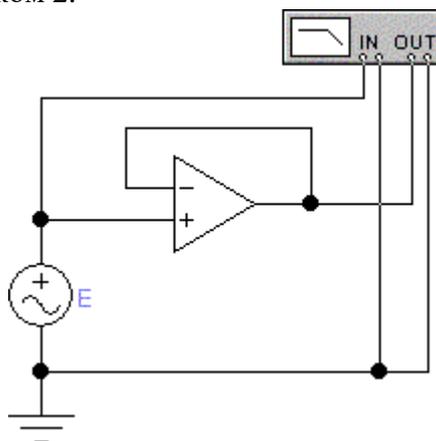


Рисунок 2

Установить напряжение источника ЭДС $E = 1$ В и частоту $f = 1$.

Установить **Bode Plotter** в режим **Magnitude**. По вертикальной и горизонтальной осям выбрать логарифмический масштаб (**Log**).

Получить АЧХ ОУ на экране **Bode Plotter**.

Установить **Bode Plotter** в режим **Phase**. По вертикальной и горизонтальной осям выбрать логарифмический масштаб (**Log**).

Получить ФЧХ ОУ на экране **Bode Plotter**.

3. Собрать схему инвертирующего усилителя на ОУ в соответствии с рисунком 3 и исследовать влияние сопротивления нагрузки R3 на величину выходного напряжения ОУ.

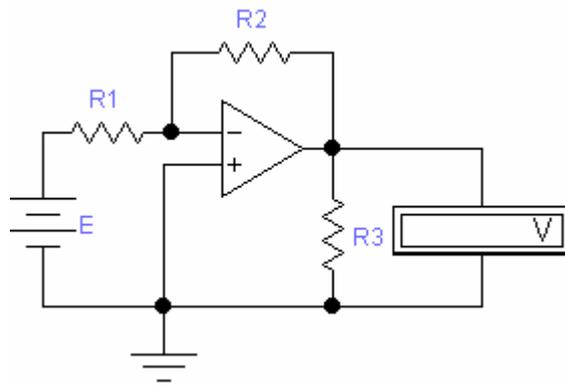


Рисунок 3

Последовательно устанавливая различные значения резисторов из таблицы 3, измерить выходное напряжение ОУ $U_{\text{вых}}$ и занести полученные значения в таблицу 3.

Таблица 3

R_3 , кОм	0,1	0,2	0,5	1	2	3	4	5
$U_{\text{вых}}$, В								

4. Собрать схему инвертирующего усилителя в соответствии с рисунком 4 для исследования переходных параметров ОУ.

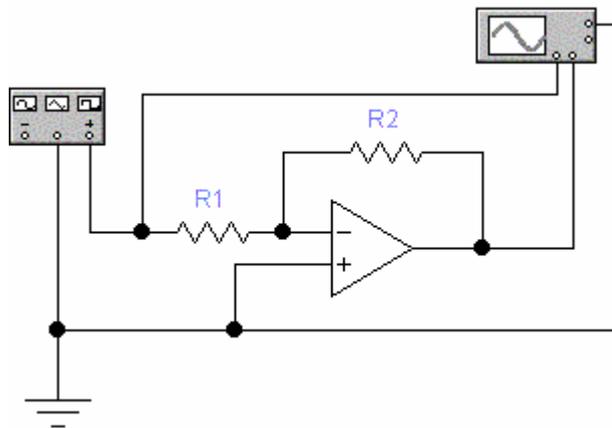


Рисунок 4

Последовательно устанавливая значение резистора R_2 , выходное напряжение $U_{\text{ги}}$ и частоту $f_{\text{ги}}$ генератора импульсов в соответствии с таблицей 4, зарисовать соответствующие осциллограммы и определить время установления ОУ $t_{\text{уст}}$ с точностью 5%.

Результаты занести в таблицу 4.

Таблица 4

R_1 , кОм	R_2 , кОм	$U_{\text{ги}}$, В	$f_{\text{ги}}$, кГц	$t_{\text{уст}}$, мкс	$V_{U_{\text{вых}}}$, В/мкс
10	100	0,5	10		
10	10	5,0	10		

Обработка экспериментальных данных

1. Вычислить и занести в таблицу 2 значения напряжения смещения ОУ $U_{\text{см}}$ по формуле:

$$U_{\text{см}} = U_{\text{вых}}/K,$$

$$\text{где } K=1+(R_2/R_1).$$

Сравнить полученные значения с соответствующими значениями из таблицы 1 и сделать выводы.

2. Определить по полученной АЧХ (п.2.6) граничную частоту $f_{\text{гр}}$ для исследуемого ОУ.

Построить график зависимости $U_{\text{вых}}(R_n)$ по значениям табл.3.

3. Оформить отчет, включив в него все исследуемые схемы, графики и таблицы с результатами экспериментов и расчетов, и сделать выводы.

Контрольные вопросы

1. Какова область применения ОУ?
2. Понятие об идеальном ОУ и классификация ОУ.
3. При каких условиях реальный ОУ можно считать идеальным?
4. Привести входные параметры ОУ.
5. Привести передаточные параметры ОУ.
6. Привести выходные параметры ОУ.
7. Привести переходные параметры ОУ.
8. Что показывает амплитудно-частотная характеристика ОУ?
9. В чем заключаются основные достоинства ОУ, благодаря которым они широко применяются?

Практическая работа №37. Исследование статических свойств операционных усилителей

Цель работы: познакомиться с основными свойствами операционных усилителей, работающих при постоянном входном напряжении в установившемся режиме. Изучить влияние параметров операционных усилителей на работу измерительных узлов, построенных на их основе.

Порядок выполнения работы

В ходе работы необходимо провести исследование двух типов ОУ, указанных преподавателем. Предстоит измерить входное напряжение смещения, входные токи и коэффициент ослабления синфазного сигнала. Перед началом работы необходимо зарисовать в тетради по две таблицы идентичные таблице 1. В них будут заноситься результаты измерений для двух ОУ.

1. Измерение напряжения смещения операционного усилителя.

1.1. Собрать схему, показанную на рисунке 1, а. Желательно проследить, чтобы обозначения на схеме ($R_1 \dots R_4, J_1 \dots J_3$) совпадали с рисунком. На этом этапе параметры элементов, такие как сопротивления резисторов, не менять.

1.2. Установить сопротивления резисторов и перевести ключи в положение согласно таблице 2.

Таблица 1 – Результаты измерений параметров ОУ

Пункт	Измеряемый параметр	Измеренное значение	R_1 , кОм	R_2 , кОм	R_3 , кОм
1.4	$U_{см\ вых}$, мВ (до балансировки)				
1.5	$U_{см}$, мВ (расчетное)				
1.7	$U_{см\ вых}$, мВ (после балансировки)				
2.1	$I_{вх\ и}$, нА (расчетное)				
2.2	$I_{вх\ н}$, нА (расчетное)				

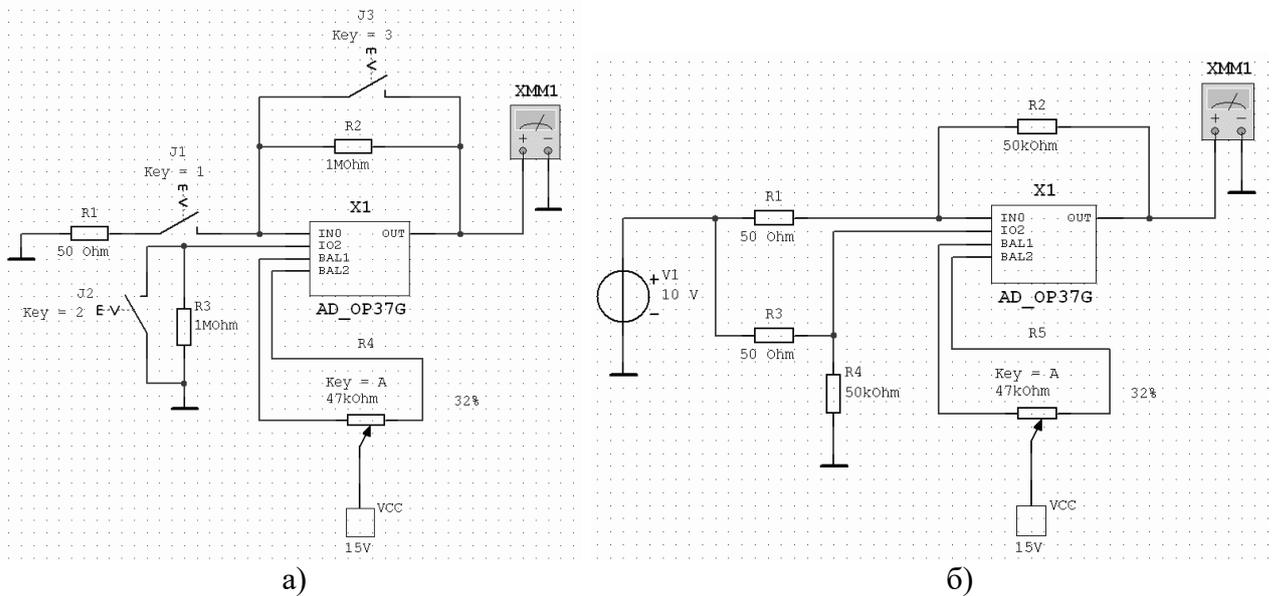


Рисунок 1 – Схемы для измерения напряжения смещения и входных токов (а) и коэффициента подавления синфазного сигнала (б).

Таблица 2 – Данные для экспериментов п. п. 1–3

Измеряемый параметр	Положение ключей			Рекомендуемые значения сопротивлений			Расчетная формула
	J_1	J_2	J_3	R_1	R_2	R_3	
$U_{см}$				100 Ом	100 кОм	–	$U_{см} = \frac{U_{вых} R_1}{R_1 + R_2}$
$I_{вх и}$				–	1 МОм	–	$I_{вх и} = U_{вых} / R_2$
$I_{вх н}$				–	–	1 МОм	$I_{вх н} = U_{вых} / R_3$
$\Delta I_{вх и}$				–	1 МОм	1 МОм	$\Delta I_{вх и} = U_{вых} / R, R=R_2=R_3$

1.3. Сопротивление балансирующего потенциометра выбрать из диапазона 10...100 кОм. Перед началом измерений убедиться, что его движок установлен в положение 50%.

1.4. При помощи мультиметра, подключенного к выходу ОУ, зафиксировать выходное напряжение $U_{см\ вых}$, занести в таблицу 2.1. Указать значения сопротивлений R_1, R_2 .

Замечание. Для удобства строки таблицы пронумерованы в соответствии с пунктами лабораторной работы.

1.5. Рассчитать входное напряжение смещения $U_{см}$ по формуле в таблице 2, результат записать в таблицу 1.

1.6. Отбалансировать операционный усилитель. Для этого, изменяя положение движка потенциометра, добиться максимально близкого к нулю (по модулю) выходного напряжения ОУ.

1.7. Зафиксировать выходное напряжение $U_{см\ вых}$ после балансировки, занести в таблицу 1. Записать сопротивление и положение движка потенциометра в процентах (в отчет не включать).

2. Измерение входных токов и разности входных токов.

2.1. Провести измерение входного тока инвертирующего входа ОУ. Для этого установить сопротивления резисторов и положение ключей согласно таблице 2. По измеренному $U_{вых}$ рассчитать $I_{вх и}$, по соответствующей формуле из таблицы. Результат занести в таблицу 1.

2.2. Аналогичным образом определить входной ток неинвертирующего входа и разность входных токов.

3. Устранение влияния входных токов при помощи корректирующего сопротивления.

3.1. Установить положение ключей так, как это было сделано для измерения выходного напряжения смещения. Установить $R_1=R_2=500$ кОм.

3.2. Зафиксировать выходное напряжение $U_{вых}$, занести в таблицу.

2.1. Указать значения сопротивлений R_1, R_2 .

3.3. Рассчитать сопротивление корректирующего резистора $R_{кор}$ по формуле

$$R_{кор} = \frac{R_1 R_2}{R_1 + R_2}.$$

3.4. Установить $R_3=R_{кор}$. Разомкнуть ключ J_2 . Зафиксировать выходное напряжение $U_{вых}$, занести в таблицу 1. Указать значения сопротивления R_3 .

3.5. Повторить измерения по пунктам 1–3 для второго типа ОУ.

4. Измерение коэффициента подавления синфазного сигнала. Схема эксперимента показана на рисунке 1, б).

4.1. Установить сопротивления резисторов так, чтобы получить коэффициент усиления порядка 1000, причем $R_1=R_3$ и $R_2=R_4$. ОУ следует тщательно отбалансировать. Можно воспользоваться записанным ранее положением движка потенциометра (см. пункт 1.6).

4.2. Установить входное напряжение порядка 10 В.

4.3. Измерить и записать выходное напряжение. Рассчитать $K_{осс}$ по формуле

$$K_{осс} = \frac{U_{вх}}{U_{вых}} \cdot \frac{R_1 + R_2}{R_1}$$

и выразить результат в децибелах. Записать условия эксперимента: значения сопротивлений резисторов и входное напряжение.

4.4. Повторить измерения для второго ОУ.

В отчет включить сводную таблицу измеренных параметров (таблица 3). Сделать вывод о соответствии результатов лабораторной работы справочным данным (таблица 1.1), классифицировать исследованные ОУ согласно параграфу 1.2.

Таблица 3 – Параметры исследованных ОУ

Тип ОУ	$U_{см}$, мВ	$I_{вх}$, нА	$\Delta I_{вх}$, нА	$K_{осс}$, дБ
ОУ №1				
ОУ №2				

Контрольные вопросы

1. Какими свойствами должен обладать идеальный усилитель?
2. Перечислите основные параметры ОУ, поясните смысл каждого из них, укажите диапазон типовых значений. Поясните суть их влияния на качество усилителя при использовании ОУ в измерительных цепях.
3. Изобразите схемы измерения основных параметров ОУ. Запишите формулы для расчета параметров по результатам измерений.
4. Изобразите основные схемы включения ОУ. Запишите приближенную и точную формулы, выражающие коэффициент передачи и входное сопротивление схемы.
5. Дайте сравнительную характеристику инвертирующей и неинвертирующей схем усиления.
6. Приведите классификацию ОУ. Каковы диапазоны параметров, характерные для каждой классификационной группы? В чем заключаются достоинства и недостатки каждой группы?

Практическая работа №38. Исследование динамических свойств операционных усилителей

Цель работы: познакомиться с основными свойствами операционных усилителей, работающих при переменном входном напряжении и в переходных процессах. Изучить влияние параметров операционных усилителей на работу измерительных узлов, построенных на их основе.

Порядок выполнения работы

1. Исследование АЧХ усилителя.
Схема эксперимента показана на рисунке 1.

Выбрав сопротивления резисторов R_1, R_2 , установить коэффициент усиления $K=10$.

Установить частоту входного сигнала 50...100 Гц; амплитуду 1...10 мВ; форма — синусоидальная. Амплитуда должна выбираться так, чтобы ОУ не насыщался. Если ОУ обладает большим смещением, его необходимо предварительно отбалансировать.

Записать в таблицу 1 входное напряжение $U_{вх}$, измерить и записать выходное напряжение $U_{вых}$.

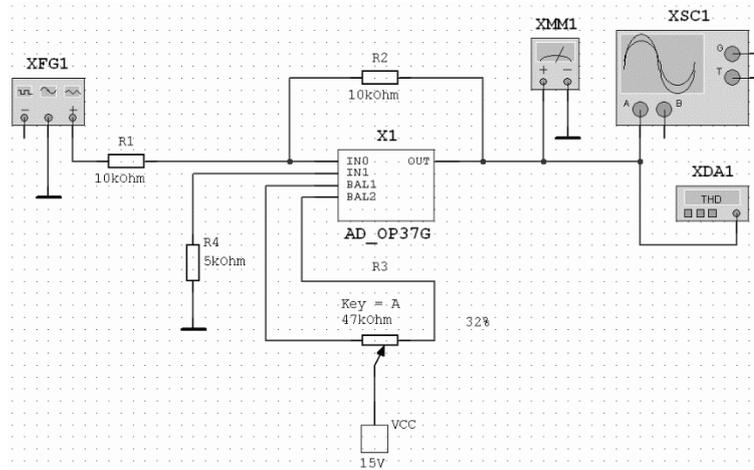


Рисунок 1 – Схема для измерения частоты единичного усиления и скорости нарастания выходного напряжения.

Таблица – Результаты исследования АЧХ характеристики ОУ

	$K=10$	$K=100$	$K=1000$
$U_{вх}, В (f=50...100 Гц)$			
$U_{вых}, В (f=50...100 Гц)$			
$K_{НЧ}=U_{ВЫХ}/U_{ВХ}$			
$U_{вых} \approx U_{вх}, В (K \approx 1)$			
$f_1, МГц (K \approx 1)$			

Определить реальный коэффициент передачи схемы в области низких частот $K_{НЧ}=U_{вых}/U_{вх}$. Результат записать в таблицу 1. Необходимо учитывать, что у функционального генератора задается амплитуда напряжения, а мультиметр измеряет действующее значение.

Увеличивать частоту входного напряжения до тех пор, пока коэффициент передачи не станет равен единице. Частоту единичного усиления можно искать, ориентируясь на справочные данные. Записать значение этой частоты и выходное напряжение в таблицу 1.

Провести измерения еще для двух коэффициентов усиления: 100 и 1000.

По результатам построить асимптотические ЛАЧХ усилителей в одной системе координат. При построении считать, что в области низких частот ЛАЧХ имеет горизонтальный участок на уровне $K_{НЧ}$. Наклонный участок провести через точку f_1 с наклоном -20 дБ/дек.

Измерение скорости нарастания выходного напряжения.

Изменить форму напряжения функционального генератора на прямоугольную. Амплитуду напряжения установить равную 10 В, частоту примерно равную $f_1/100$, коэффициент усиления — единичный.

Увеличивая частоту, добиться того, чтобы форма выходного напряжения стала треугольной или трапецидальной с пологими фронтами. Определить скорость нарастания по осциллографу на линейном участке выходного сигнала как отношение приращения напряжения к приращению времени. Записать условия эксперимента $U_{вх}, R_1, R_2, f$; и результаты измерений: ΔU (В), Δt (мкс), $V=\Delta U/\Delta t$ (В/мкс).

Снять зависимость коэффициента нелинейных искажений (КНИ) от частоты.

Схема эксперимента та же. Рекомендуемый коэффициент передачи усилителя 1...10, амплитуда входного напряжения 1...10 В. Во время эксперимента форма сигнала должна быть синусоидальной.

Установить частоту сигнала $f \approx V/(4\pi A)$, где V — скорость нарастания выходного напряжения ОУ; A — амплитуда выходного напряжения. Установить частоту первой гармоники (Fundamental Frequency) измерителя НИ равной частоте входного сигнала. Записать КНИ в таблицу 3.2.

Таблица 2 – Зависимость КНИ от частоты

f , кГц						
K_T , %						

3.3. Постепенно изменяя частоту примерно до $V/(\pi A)$, снять зависимость КНИ от частоты. При каждом измерении останавливать измеритель НИ кнопкой Stop, устанавливать частоту первой гармоники, равную частоте сигнала, запускать измеритель НИ, записывать результат в таблицу.

3.4. Начертить график зависимости КНИ от частоты.

3.5. Повторить измерения по пунктам 1–3 для второго типа ОУ.

Контрольные вопросы

1. К какой классификационной группе относятся исследованные вами операционные усилители?

2. В одной системе координат постройте семейство ЛАЧХ усилителей с заданными коэффициентами передачи (например, $K=10, 100, 1000$) и ЛАЧХ разомкнутого усилителя с коэффициентом усиления K_{OU} .

3. Какие из параметров ОУ особенно важны при обработке постоянного, переменного, импульсного напряжений?

4. Какие из параметров ОУ влияют на аддитивную, а какие на мультипликативную составляющие погрешности усилительного устройства?

5. Какие из параметров ОУ определяют основную, а какие дополнительную погрешности?

6. Что называется коэффициентом нелинейных искажений?

Практическая работа №39. Резисторно-транзисторная логика (РТЛ). Расчет режимов работы транзисторного ключа.

Цель работы: изучение и исследование основных схемотехнических принципов построения логических элементов цифровых устройств преобразования сигналов. Определить продолжительность стадии переключения транзисторного ключа, в соответствии с заданием.

Теоретическая часть

Резисторно-транзисторная логика (РТЛ) — технология построения логических электронных схем на базе простых транзисторных ключей. На начальной стадии развития техники цифровых ИС прежде всего использовались схемы, которые легко можно было реализовать и свойства которых уже были известны (на основе аналогии с обычными схемами, собранными из дискретных компонентов). Простейшими из этих схем являются схемы резисторно-транзисторной логики (РТЛ), которые под разными названиями выпускались несколькими фирмами. На рис. 1 показана базовая РТЛ-схема, в которой транзистор находится в режиме насыщения, если на одном или нескольких входах имеется напряжение высокого уровня (Н). При этом выходное напряжение схемы равно 0 В (L). Таким образом, в рамках положительной логики эта РТЛ-схема является схемой ИЛИ-НЕ с функцией $F = \overline{A \cup B \cup C}$. Выходное напряжение схемы имеет высокий уровень (Н), если все три входных напряжения равны нулю (L).

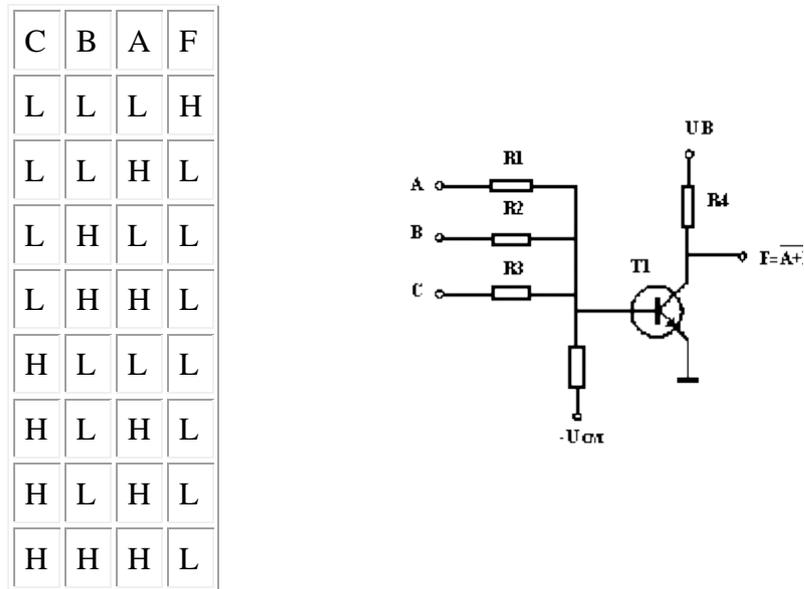


Рисунок 1. Базовая РТЛ-схема с таблицей истинности.

В таблице применяются обозначения МЭК для уровней напряжения.

В режиме с низким уровнем на входе (0 В, отрицательная логика), схема ведет себя как схема И-НЕ с функцией $F = \overline{ABC}$.

В ключевом каскаде транзистор обычно включается по схеме с общим эмиттером. Ключевой каскад (рис.3) может находиться в одном из двух стационарных состояний.

В соответствии с функциями ключа, транзистор может находиться в одном из двух статических режимов: режиме отсечки и режиме насыщения. Активный режим работы обусловлен переходом из одного статического режима в другой.

Режим отсечки (транзистор закрыт). На входе действует напряжение $U_{вх} = U^0$ В этом режиме ток коллектора $I_K = I_{КБО}$, где $I_{КБО}$ – обратный ток коллекторного перехода. Напряжение на выходе ключа практически равно напряжению источника питания. Рабочая точка находится в точке А на нагрузочной прямой. Для обеспечения такого режима необходимо выполнить условие $U_{п}U_{б}$, $U_{б} = U_0 + I_{КБО} \cdot R$, и условие отсечки определяется: $U_{п} U_0 + I_{КБО} \cdot R$.

Активный режим (транзистор открыт, но не насыщен). Напряжение на входе лежит в пределах $U_{п} U_{вх} U^1$. В этом режиме транзистор находится короткое время, равное времени переключения из одного статического состояния в другое. Через электроды транзистора протекают прямые токи $I_{э}$, I_K , $I_{б}$. При изменении $U_{вх}$ меняется ток базы $I_{б}$ и рабочая точка

перемещается по нагрузочной прямой от точки А к Б. В активном режиме $I_{КБ0}$ $I_{К}$ $I_{Кнас}$. И напряжение на базе $U_{Б}$ $U_{п}$.

Режим насыщения (транзистор открыт и насыщен). В режиме насыщения на входе действует напряжение $U_{вх} = U^1$, которое вызывает появление тока, втекающего в базу $I_{Б}$ $I_{Бнас}$. $I_{Бнас}$ соответствует границе между активным режимом и режимом насыщения (точка Б). В этой точке ток базы ещё связан линейной зависимостью с током коллектора, т.е. $I_{Бнас} = I_{Кнас} / h_{21Э}$.

В режиме насыщения ток коллектора $I_{Кнас} I_{Б} \cdot h_{21Э}$. Тогда условие насыщения транзистора $U_1 / R_{ЕК} / h_{21Э} \cdot R_{К}$.

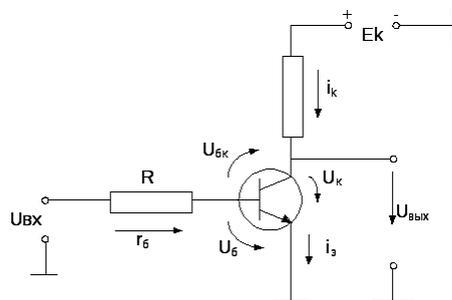


Рисунок 2. Схема транзисторного ключа.

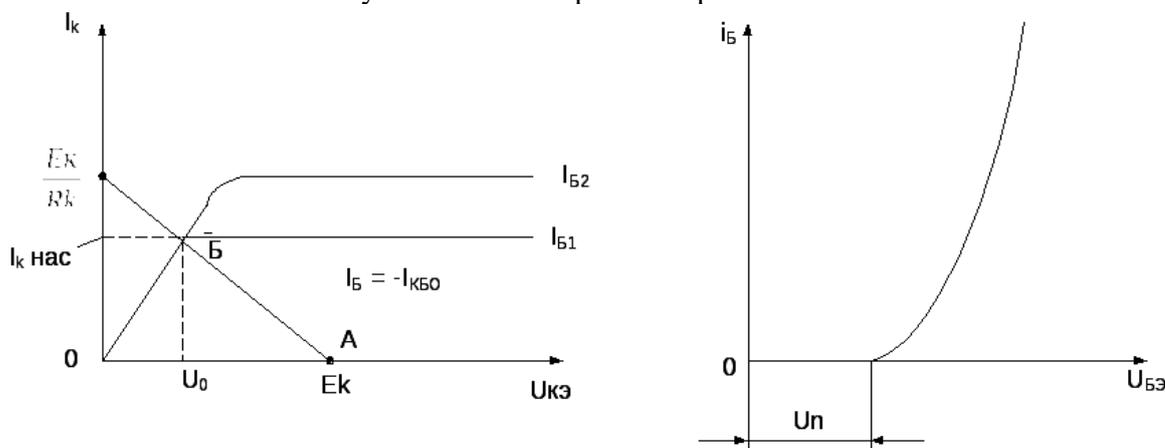


Рисунок 3. Входная и выходная характеристики транзисторного ключа.

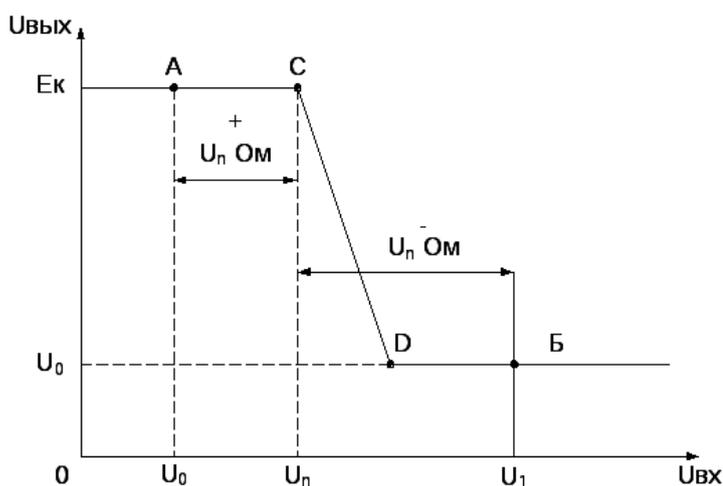


Рисунок 4. Передаточная характеристика транзисторного ключа.

Практическая часть

Задача: определить продолжительность стадий переключения транзисторного ключа, если $E_{к} = 5 \text{ В}$, $R_{к} = 1 \text{ кОм}$, $|U_{м}| = 1 \text{ В}$, $\tau_{\beta} = 100 \text{ нс}$, $\beta = 50$, $C_{к} = 5 \text{ пФ}$, $C_{э} = 5 \text{ пФ}$, $U_{пор} = 0$.

Пример выполнения:

1. Задержка включения транзистора при $U_{пор} = 0$

$$t_{з.вкл} = 0,7(C_{к} + C_{э}) \cdot R_{б} = 0,7 \cdot 10 \cdot 10^{-12} \cdot 2 \cdot 10^3 = 14 \text{ нс}$$

2. Для определения длительности фронта включения находим эквивалентную постоянную транзистора

$$\tau_{\text{ЭК}} = \tau_{\beta} + R_k \cdot C_k (\beta + 1) = 100 \cdot 10^{-9} + 1 \cdot 10^3 \cdot 5 \cdot 10^{-12} \cdot 51 = 355 \text{ нс}$$

и степень насыщения

$$S = I_{\beta} \cdot \beta / I_{\text{КН}}; \quad I_{\text{КН}} = E_k / R_k = 5 / 1 \cdot 10^3 = 5 \text{ мА};$$

$$I_{\beta}^+ = I_{\beta}^- = |U_m| / R_{\beta} = 1 / (2 \cdot 10^3) = 0,5 \text{ мА};$$

$$S = (0,5 \cdot 10^{-3} \cdot 50) / (5 \cdot 10^{-3}) = 5.$$

Так как $S \gg 1$, то величину $t_{\text{ф.вкл}}$ можно определить по выражению

$$t_{\text{ф.вкл}} = \tau_{\text{ЭК}} / S = (355 \cdot 10^{-9}) / 5 = 71 \text{ нс.}$$

Общее время включения транзистора

$$t_{\text{вкл}} = t_{\text{з.вкл}} + t_{\text{ф.вкл}} = 14 \cdot 10^{-9} + 71 \cdot 10^{-9} = 85 \text{ нс.}$$

3. Задержка включения в соответствии с выражением

$$t_{\text{з.вык}} = 2,3 \cdot \tau_{\text{ЭК}} \lg[\beta(I_{\beta} + I_{\text{КН}})] / \beta \cdot I_{\beta} + I_{\text{КН}} =$$

$$= 2,3 \cdot 355 \cdot 10^{-9} \lg[50(0,5 \cdot 10^{-3} + 0,5 \cdot 10^{-3})] / 50 \cdot 0,5 \cdot 10^{-3} + 5 \cdot 10^{-3} \approx 180 \text{ нс}$$

4. Длительность фронта включения

$$t_{\text{ф.вык}} = 2,3 \cdot \tau_{\text{ЭК}} \lg(I_{\text{КН}} + \beta I_{\beta}) / \beta \cdot I_{\beta} =$$

$$= 2,3 \cdot 355 \cdot 10^{-9} \lg(0,5 \cdot 10^{-3} + 50 \cdot 0,5 \cdot 10^{-3}) / 50 \cdot 0,5 \cdot 10^{-3} = 49 \text{ нс}$$

Общее время выключения транзистора

$$t_{\text{вык}} = t_{\text{з.вык}} + t_{\text{ф.вык}} = 180 \cdot 10^{-9} + 49 \cdot 10^{-9} = 229 \text{ нс}$$

Из приведенного примера следует, что задержка выключения, связанная с насыщением транзистора, является самой длительной стадией переходных процессов.

Исходные данные для выполнения практической работы

Вариант	R_k , кОм	R_{β} , кОм	U_m , В	τ_{β} , нс	β	C_k , пФ	C_{Σ} , пФ	$U_{\text{пор}}$
1	2	3	1	100	50	5	5	0
2	1	2	1	90	50	5	6	0
3	1	1	1	80	60	6	5	0
4	1	4	1	70	50	4	5	0
5	3	2	1	75	50	3	4	0
6	2	3	1	100	60	5	3	0
7	1	3	1	60	70	5	5	0
8	2	1	1	95	55	6	4	0
9	3	5	1	100	60	4	6	0
10	1	1	1	100	50	5	6	0
11	2	2	1	100	60	6	6	0
12	3	3	1	80	50	5	4	0
13	1	2	1	100	55	5	6	0
14	2	2	1	85	50	4	5	0
15	2	3	1	85	65	5	5	0
16	1	4	1	90	50	5	6	0
17	3	2	1	100	50	6	6	0
18	2	2	1	90	55	5	4	0
19	3	2	1	80	50	4	4	0
20	2	4	1	100	70	5	5	0
21	3	2	1	85	50	5	5	0
22	3	3	1	90	50	5	5	0
23	2	1	1	100	65	4	5	0
24	3	3	1	95	55	6	4	0
25	4	4	1	100	50	6	4	0

26	3	3	1	100	55	5	7	0
27	5	5	1	75	65	6	4	0
28	3	3	1	100	50	5	5	0
29	4	3	1	80	65	4	6	0
30	2	2	1	80	50	5	6	0

Содержание отчета

1. Расчет транзисторного ключа
2. Вывод по сделанным расчетам
3. Схема транзисторного ключа

Контрольные вопросы

1. Назначение транзисторных ключей.
2. Режимы работы транзисторного ключа.
3. Состояние транзистора при режиме отсечки.
4. Состояние транзистора при режиме насыщения.
5. Что такое активный режим.
6. Какое напряжение на выходе соответствует режиму отсечки.
7. Какое напряжение на входе соответствует режиму насыщения.
8. Какое напряжение на входе соответствует режиму отсечки.
9. Какое напряжение на выходе соответствует режиму насыщения.
10. Нарисовать входную характеристику транзисторного ключа, объяснить особенности входной характеристики.
11. Нарисовать передаточную характеристику, объяснить по ней режимы работы транзисторного ключа.
12. Нарисовать выходную характеристику транзисторного ключа, объяснить по ней режим насыщения.

Практическая работа №40. Диодно-транзисторная логика (ДТЛ).

Цель работы: изучение и исследование основных схемотехнических принципов построения логических элементов цифровых устройств преобразования сигналов. Определить продолжительность стадии переключения транзисторного ключа, в соответствии с заданием.

Теоретическая часть

Диодно-транзисторная логика. Транзисторный каскад, работающий в ключевом режиме, можно рассматривать, как элемент с двумя состояниями, или логический элемент, с помощью которых в цифровой технике производятся логические операции двоичной (булевой) алгебры. Выход логического элемента может принимать только два состояния – низкого уровня, соответствующего напряжению насыщения (логического нуля) и высокого уровня близкого к напряжению питания, соответствующего режиму отсечки (логической единицы).

Так, ключевой каскад с общим эмиттером (рис.1) выполняет операцию «НЕ», если источником входного сигнала служит двоичное напряжение с уровнем логического нуля 0 – 0,7 В и уровнем логической единицы, близким к VCC.

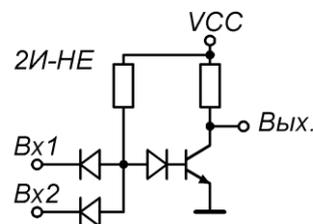
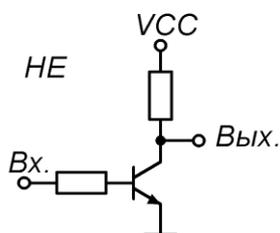


Рисунок 1.

Рисунок 2.

Элемент можно сделать многоходовым, используя диодную развязку (рис.2). Дополнительный диод в цепи базы нужен для компенсации прямого падения напряжения на входных диодах. Элемент выполняет функцию логического умножения с инверсией 2И-НЕ. Такой тип «логики» называется диодно-транзисторная логика (ДТЛ). Логически такая схема работает правильно, но с точки зрения схемотехнической реализации она не оптимальна. Во-первых, элемент имеет большое внутреннее энергопотребление, во-вторых, низкое быстродействие из-за насыщения транзистора. Для более быстрого запираания транзистора к базе нужно прикладывать дополнительный источник отрицательного смещения.

Диодная логика (ДЛ) и диодно-транзисторная логика (ДТЛ) с дискретными компонентами. На рис. 3 приведены две схемы, в которых логические функции реализуются с помощью полупроводниковых диодов. В схеме, показанной на рис. 3,а, выходное напряжение положительно, если положительны А или В или С. Выходное напряжение отрицательно, если отрицательны А и В и С. Таким образом, эта схема ведет себя как схема ИЛИ при положительных и как схема И при отрицательных входных сигналах. В диодной схеме, показанной на рис. 3,б, наоборот, реализуется функция ИЛИ для отрицательных входных сигналов и функция И для положительных.

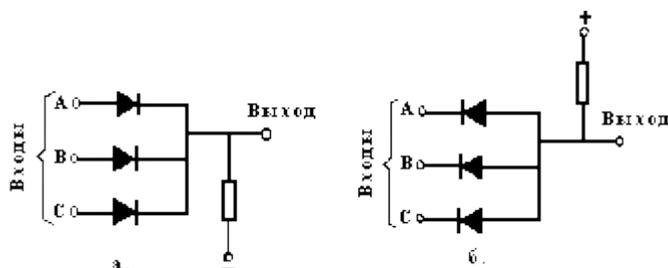
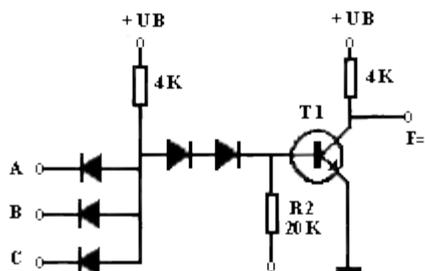


Рисунок 3. Диодная логика.

Выходной сигнал диодных схем можно использовать для управления другими логическими диодными схемами. За счет неизбежных потерь уровни напряжения для различных состояний рассматриваемых схем сближаются между собой. По истечении некоторого времени высокий уровень (Н) нельзя будет отличить от низкого уровня (L). В логических схемах, где требуется высокая надежность, за диодным вентиляем обычно включают транзистор, который фиксирует уровень логического напряжения. Подобные логические схемы обозначаются как ДТЛ-схемы. На рис. 4 приведена ДТЛ - схема, которая в течение ряда лет использовалась в качестве стандартной. Эта схема является схемой И-НЕ для единиц (Н) при положительной логике и ИЛИ-НЕ для нулей (L). Комбинация И-ИЛИ при положительной логике получается путем соединения ДТЛ - элементов В случае схемы И-НЕ (рис. 4) выходное напряжение равно 0 В (L), если все входные напряжения положительны (Н). При этом входные диоды запираются и транзистор управляется через входной резистор с сопротивлением 4 кОм. Выходное напряжение этой схемы имеет высокий уровень (Н), если на один или несколько входов подается напряжение низкого уровня (L).

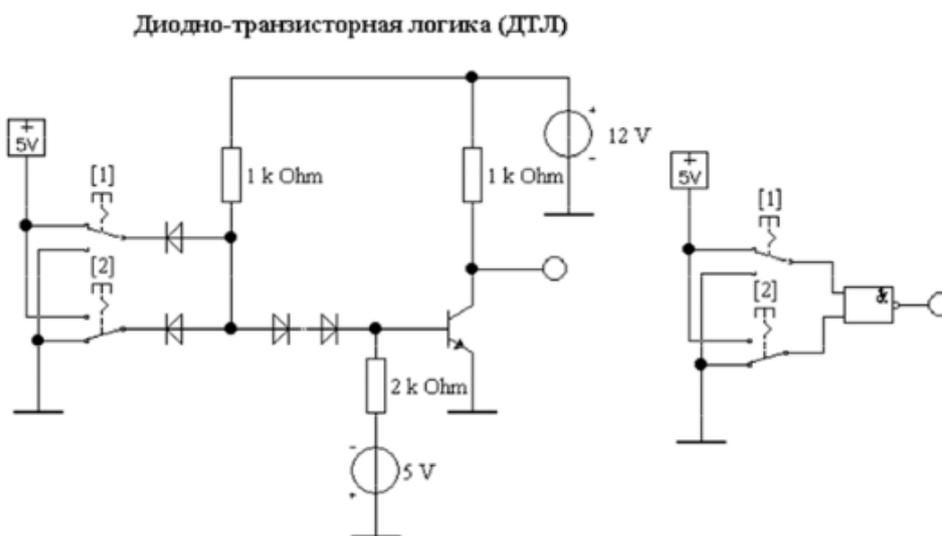
С	В	А	F
L	L	L	Н
L	L	Н	Н
L	Н	L	Н
L	Н	Н	Н



H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

Рисунок 4. Базовая схема ДТЛ с таблицей истинности (уровни по системе МЭК).

Практическая часть



Практическая работа №41. Микросхемы транзисторно-транзисторной логики (ТТЛ).

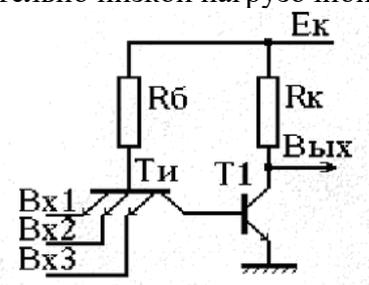
Цель работы: Изучить схему базового логического элемента ТТЛ, принцип работы, основные параметры и характеристики, стандартные серии и номенклатуру микросхем ТТЛ.

Теоретические сведения

Интегральные транзисторно-транзисторные логические схемы (ТТЛ-схемы) имеют много общего с ДТЛ-схемами и отличаются от них, главным образом, применением многоэмиттерного транзистора (МЭТ) вместо диодной сборки для выполнения операции И. Эмиттерные переходы МЭТ выполняют функцию, аналогичную входным диодам в ДТЛ-схеме. Коллекторный переход играет роль смещающего диода.

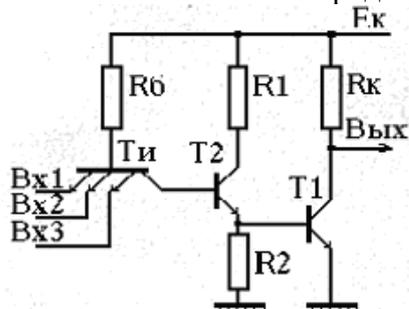
Основные варианты ТТЛ-схем.

Можно выделить три основных варианта схем ТТЛ: с простым инвертором (ТТЛ-1), с двухкаскадным инвертором (ТТЛ-2) и со сложным инвертором (ТТЛ-3). Простейшей среди них является схема ТТЛ-1. Схема выполняет функцию И-НЕ для положительной логики и обладает сравнительно низкой нагрузочной способностью ($N = 3-4$).

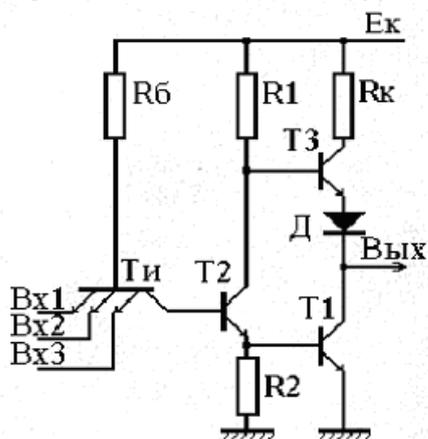


В схеме ТТЛ-2 с целью повышения нагрузочной способности введен дополнительный каскад на транзисторе Т₂, который увеличивает ток, поступающий на базу транзистора Т₁. В результате N увеличивается до 10-15. Повышается и помехоустойчивость схемы к отпирающей помехе.

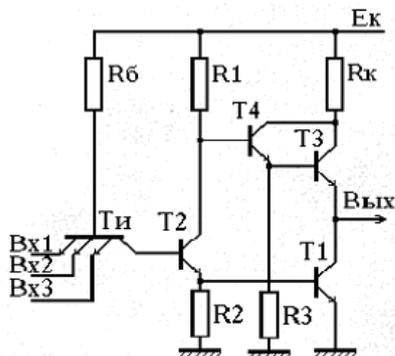
Описанные схемы обладают большим выходным сопротивлением в результате емкостная нагрузка сильно влияет на быстродействие.



В схеме ТТЛ-3 для устранения этого недостатка в выходной каскад введен транзистор Т₃. Диод Д служит для надежного закрывания этого транзистора.

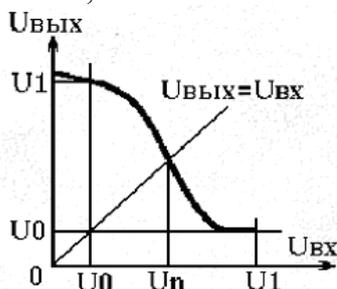


Модификация схемы ТТЛ-3 позволяет повысить коэффициент разветвления на выходе закрытой схемы, так как благодаря усилению тока в Т₄ высокое напряжение U₁ на выходе схемы значительно меньше зависит от тока нагрузки.



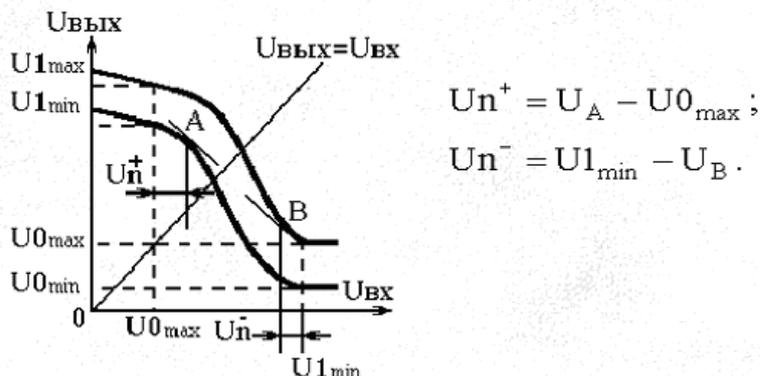
Основные параметры и характеристики интегральных схем.

Рассмотрим некоторые параметры интегральных схем, знание которых необходимо при проектировании логических структур. Важнейшей характеристикой микросхемы является передаточная характеристика $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$. С помощью этой характеристики можно определить уровни U^0 и U^1 , а также статическую помехоустойчивость схемы.

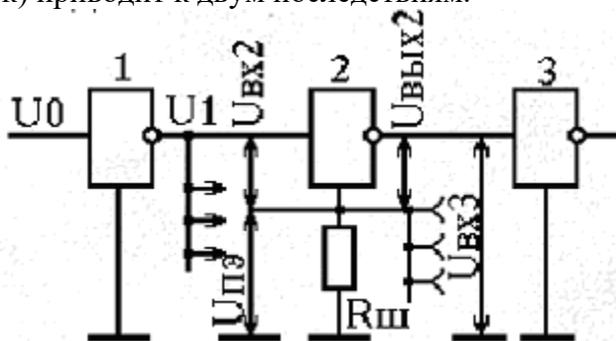


Для правильного функционирования цифровых устройств необходимо, чтобы выполнялись соотношения: $U^0 < U_n$, $U^1 > U_n$.

Под **статической помехоустойчивостью** элемента понимается максимально допустимая величина статической помехи, которая еще не приводит к нарушению работоспособности устройства при любом допустимом по ТУ сочетании элементов и при одновременном воздействии помех не только на данный элемент, но и на остальные элементы схемы. Статические помехи могут возникать как на входных шинах, так и на общих шинах «питание» и «земля». Помехи такого рода возникают за счет падения напряжения на проводниках, соединяющих элементы в устройстве. Следует различать помехоустойчивость к отпирающей помехе U_{n+} и к запирающей помехе U_{n-} . Помехоустойчивость по отношению к помехам на входе определяется по огибающим семейства передаточных характеристик, полученных с учетом худших условий работы. На рисунке приведены огибающие семейства передаточных характеристик и показаны точки, относительно которых определяется помехоустойчивость U_{n+} и U_{n-} .



Помехи, возникающие на шинах «питание» и «земля» вызывают деформацию передаточных характеристик и могут также нарушить работоспособность устройства. Наибольшую опасность представляют помехи, возникающие за счет падения напряжения на шине «земля» (U_{n-}), так как по ней протекают большие токи. Наличие такой помехи в цепи элемента 2 (рисунок) приводит к двум последствиям.



Во-первых, уменьшается величина единичного сигнала на входе элемента 2 ($U_{\text{вх}2}$) на величину $U_{n-} = R_{\text{ш}} \cdot I_{\text{ш}}$, что приводит к уменьшению степени насыщения выходного транзистора элемента 2 и к повышению напряжения $U_{\text{вых}2}$ на величину $\Delta U_{\text{кн}2}$. Во-вторых, величина U_{n-} непосредственно повышает напряжение на входе следующей схемы 3. Таким образом, на входе элемента 3 действует отпирающая помеха $\Phi_0 = U_{\text{кн}2} + U_{n-}$. Для определения входной помехоустойчивости при наличии помехи на шине «земля» строится передаточная характеристика при воздействии этой помехи, а затем определяется входная помехоустойчивость, как описано выше.

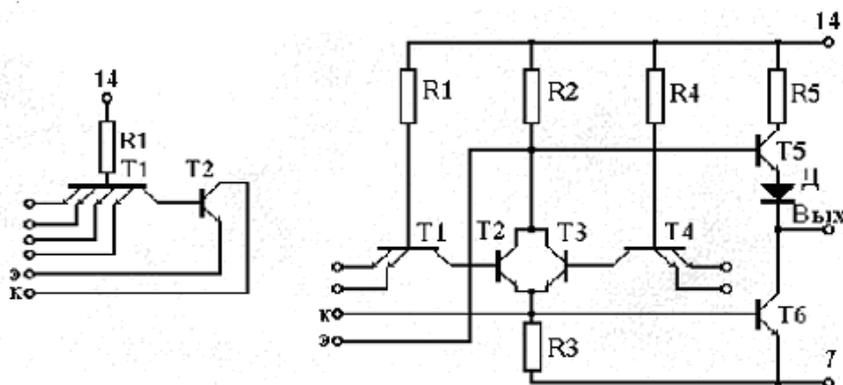
Еще одним важным параметром является **коэффициент разветвления по выходу**. Он определяется как допустимое число схем-нагрузок, при котором потенциал на выходе схемы сохраняется в заданных границах $U_{\text{вых}}^0 \leq U_{\text{max}}^0$, $U_{\text{вых}}^1 \geq U_{\text{min}}^1$, т.е. обеспечивается заданная помехоустойчивость U_{n+} , U_{n-} . Различают допустимое число нагрузок при нулевом сигнале на выходе N^0 и при единичном сигнале на выходе N^1 . Минимальное из этих значений соответствует коэффициенту разветвления на выходе: $N = \min(N^0, N^1)$. Обычно для схемы ТТЛ-3 $N^0 < N^1$ и $N = N^0$. Так как напряжение $U_{\text{вых}}^0$ резко возрастает при выходе из насыщенного транзистора T_1 , N^0 определяется из условия насыщения этого транзистора при числе нагрузок $n = N^0$ и наихудших сочетаниях внешних и внутренних параметров.

Интегральные ТТЛ элементы серии 133.

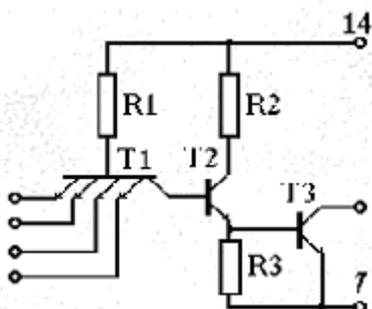
Элементы 133 серии относятся к элементам среднего быстродействия и имеют следующие параметры:

- диапазон рабочих температур $T = -60 \div 125^{\circ}\text{C}$;
- напряжение питания $E_{\text{num}} = 5\text{В} \pm 10\%$;
- потребляемая мощность $P_{\text{num}} = 25\text{мВт}$;
- предельное напряжение на выходе закрытой и открытой схемы $U^1_{\text{min}} = 2,4\text{В}$, $U^0_{\text{max}} = 0,35\text{В}$;
- коэффициент разветвления по выходу $N = 10$ (30);
- средняя задержка распространения $t_{3,\text{ф.}} = 30\text{-}40$ нс.

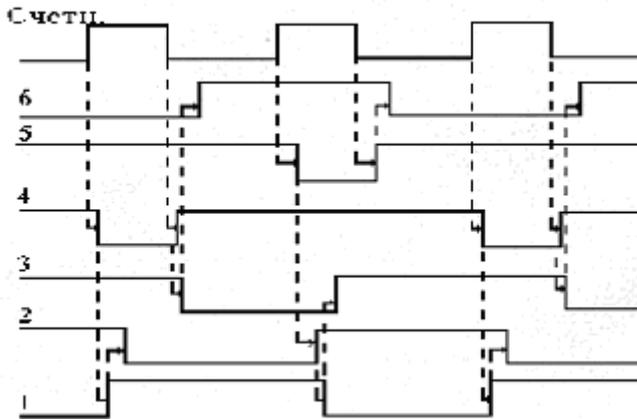
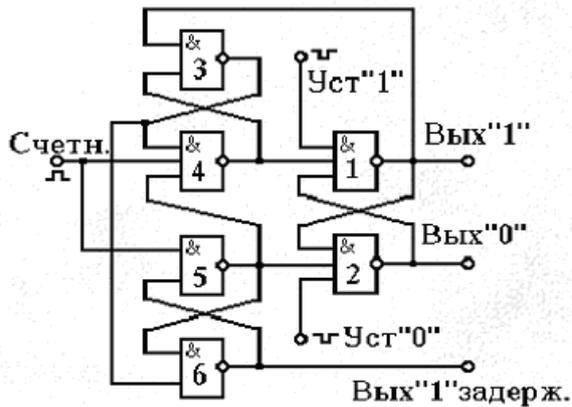
За основу построения большинства элементов серии взята схема ТТЛ-3. По этой схеме выполнены элементы 1ЛБ331-1ЛБ334, которые различаются между собой числом входов и количеством логических схем в одном корпусе. Элемент 1ЛБ331 имеет дополнительные выводы о коллектора и эмиттера транзистора T_2 для подключения расширителей. Элемент 1ЛБ336 выполнен по схеме ТТЛ-4, благодаря чему обладает повышенной нагрузочной способностью ($N = 30$). Элементы 1ЛР331, 1ЛР333, 1ЛР334 реализуют функцию И-ИЛИ-НЕ. Функция ИЛИ реализуется путем объединения коллекторов и эмиттеров транзисторов T_2 и T_3 . В элементе 1ЛР333 таким образом объединяются четыре транзистора. Для возможного увеличения числа входов по ИЛИ до восьми в состав серии включены расширители 1ЛП331 и 1ЛП333. Расширители используются совместно с элементами, имеющими выводы «К» и «Э», к которым подключаются выходные контакты расширителей.



Элементы 1ЛБ337 и 1ЛБ338 выполнены по схеме ТТЛ-2 без резистора R_K (с открытым коллектором). В цепь коллектора этих микросхем можно включать индикаторные лампочки, светодиоды, исполнительные реле и т.д., а также использовать их с внешним резистором R_K для реализации функции И-НЕ. При этом эти схемы можно объединить по коллекторам для получения функции И-ИЛИ-НЕ. (Микросхемы со сложным инвертором объединять по выходам не допускается. Это может вывести их из строя).



В состав серии не входят триггерные схемы. Поэтому триггеры собираются из микросхем внешним монтажом. На рисунке ниже представлена схема триггера со счетным входом, рекомендуемая для практического применения, и приведена диаграмма работы триггера.



С выходов элементов 4 и 5 выдаются инверсные сигналы «заема» и «переноса», которые удобно использовать при построении последовательных счетчиков. Для построения суммирующего счетчика нужно сигнал «переноса» с выхода i -го разряда через инвертор подать на счетный вход $(i+1)$ -го разряда (для всех i). При этом оказывается возможным производить сброс и занесение информации в счетчик по входам «Уст.0» и «Уст.1».

Практическая часть

Задание 1. Зарисовать схему базового логического элемента ТТЛ, пояснить принцип работы.

Задание 2. Записать основные параметры и характеристики микросхем ТТЛ.

Задание 3. Перечислить стандартные серии микросхем ТТЛ.

Задание 4.

1. Привести функциональное обозначение заданной микросхемы.
2. Пояснить выполняемую функцию заданной микросхемы.
3. Указать состав микросхемы, наименование и назначение входов и выходов.
4. Характерные особенности применения заданной микросхемы.
5. Указать стандартные серии для данного типа микросхемы.
6. Записать логические выражения для выходов микросхемы.

№ вар	1	2	3	4	5	6	7	8	9	10
Тип ИС	ЛИ1	ЛИ3	ЛИ5	ЛИ6	ЛА1	ЛА2	ЛА3	ЛА4	ЛА8	ЛА12
№ вар	11	12	13	14	15	16	17	18	19	20
Тип ИС	ЛА17	ЛА18	ЛА19	ЛЕ1	ЛЕ2	ЛЕ3	ЛЕ4	ЛЕ7	ЛЛ1	ЛЛ2
№ вар	21	22	23	24	25	26	27	28	29	30
Тип ИС	ЛЕ3	ЛЕ4	ЛЕ7	ЛЛ1	ЛЛ2	ЛЕ3	ЛЕ4	ЛЕ7	ЛЛ1	ЛЛ2

Задание 5. Для вариантов 1, 6, 11, 16, 21, 26.

1. Перечислить номенклатурный ряд микросхем типа ЛД.
2. Перечислить стандартные серии микросхем типа ЛД.

3. Привести пример микросхемы типа ЛД (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛД.

Задание 5. Для вариантов 2, 7, 12, 17, 22, 27

1. Перечислить номенклатурный ряд микросхем типа ЛБ.

2. Перечислить стандартные серии микросхем типа ЛБ.

3. Привести пример микросхемы типа ЛБ (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛБ.

Задание 5. Для вариантов 3, 8, 13, 18, 23, 28.

1. Перечислить номенклатурный ряд микросхем типа ЛК.

2. Перечислить стандартные серии микросхем типа ЛК.

3. Привести пример микросхемы типа ЛК (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛК.

Задание 5. Для вариантов 4, 9, 14, 19, 24, 29

1. Перечислить номенклатурный ряд микросхем типа ЛП.

2. Перечислить стандартные серии микросхем типа ЛП.

3. Привести пример микросхемы типа ЛП (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛП.

Задание 5. Для вариантов 5, 10, 15, 20, 25, 30.

1. Перечислить номенклатурный ряд микросхем типа ТЛ.

2. Перечислить стандартные серии микросхем типа ТЛ.

3. Привести пример микросхемы типа ТЛ (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ТЛ.

Контрольные вопросы

1. Что такое базовый элемент?
2. Что такое передаточная характеристика элемента?
3. Как проверить функционирование триггера в статическом режиме?
4. Что такое коэффициент разветвления по выходу?
5. Для чего в схему базового элемента вводится транзистор T_3 ?
6. Что такое расширение по ИЛИ?
7. Чему равна частота выходных импульсов при функционировании Т по счетному входу?
8. Для чего в схеме базового элемента вводится диод Д?
9. Назовите условия правильного функционирования схемы.
10. Почему наибольшую опасность представляют помехи по шине «земля»?

Практическая работа №42. Исследование логического элемента ТТЛ.

Цель работы: Приобретение практических навыков работы в программной среде NI Multisim, построение логического элемента ТТЛ, определение уровней выходного сигнала.

Ход работы

Собрать схему согласно рис.1, измерить $U_{\text{вых}}^0$ (нулевой выходной сигнал) и $U_{\text{вых}}^1$ (логическая единица).

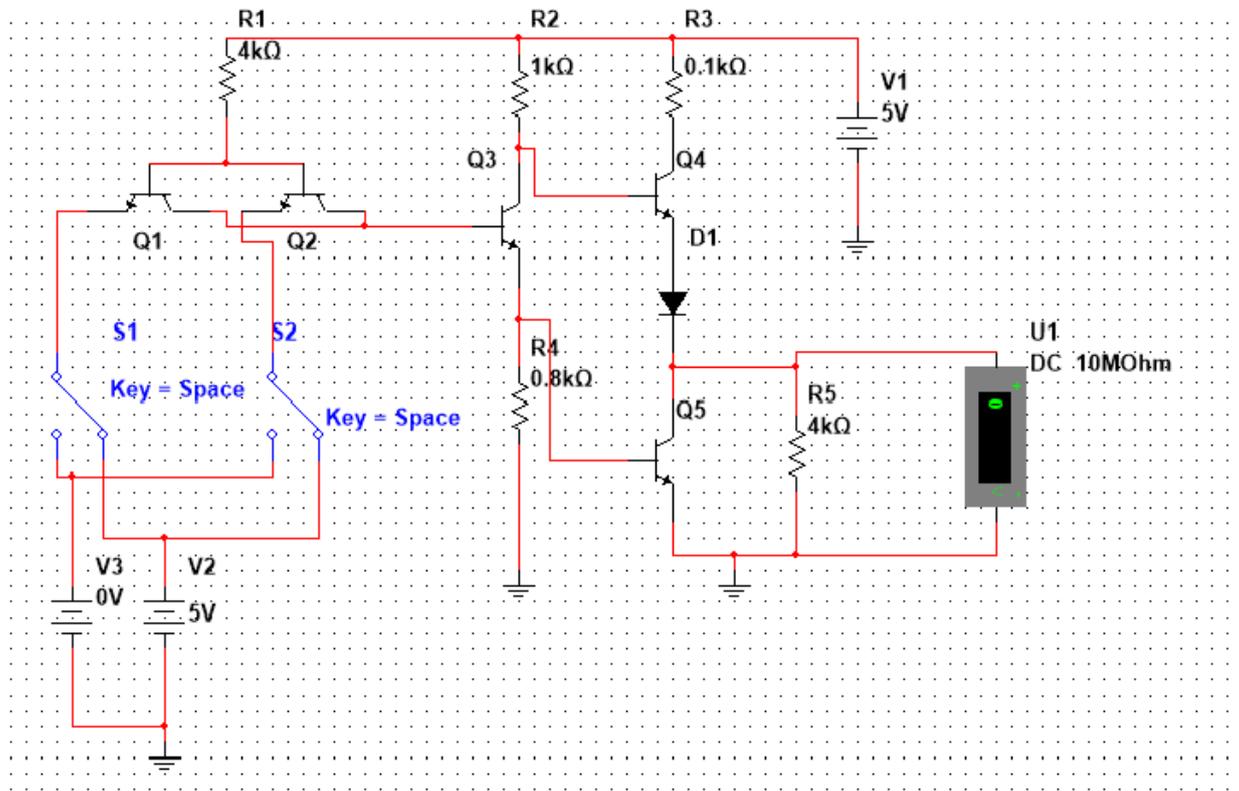


Рис.1 Электрическая принципиальная схема элемента ТТЛ И-НЕ

Оформить отчет и сделать выводы о проделанной работе.

Практическая работа №43. Микросхемы эмиттерно–связанной логики (ЭСЛ).

Цель работы: Изучить схему базового логического элемента ЭСЛ, принцип работы, основные параметры и характеристики, стандартные серии и номенклатуру микросхем ЭСЛ.

Ход работы

Задание 1. Зарисовать схему базового логического элемента ЭСЛ, пояснить принцип работы.

Задание 2. Записать основные параметры и характеристики микросхем ЭСЛ.

Задание 3. Перечислить стандартные серии микросхем ЭСЛ.

Задание 4.

1. Привести функциональное обозначение заданной микросхемы.
2. Пояснить выполняемую функцию заданной микросхемы.
3. Указать состав микросхемы, наименование и назначение входов и выходов.
4. Характерные особенности применения заданной микросхемы.
5. Указать стандартные серии для данного типа микросхемы.
6. Записать логические выражения для выходов микросхемы.

№ вар	1	2	3	4	5	6	7	8	9	10
Тип ИС	ЛЕ106	ЛЕ111	ЛЕ123	ЛК117	ЛК118	ЛК121	ЛЛ110	ЛМ101	ЛМ102	ЛМ105
№ вар	11	12	13	14	15	16	17	18	19	20
Тип ИС	ЛМ109	ЛП107	ЛП112	ЛК121	ЛЕ106	ЛЕ106	ЛЕ111	ЛЕ123	ЛК117	ЛК118
№ вар	21	22	23	24	25	26	27	28	29	30
Тип ИС	ЛЕ123	ЛК117	ЛК118	ЛК121	ЛЛ110	ЛМ101	ЛЕ106	ЛЕ111	ЛМ102	ЛМ105

Задание 5. Для вариантов 1, 5, 6, 11, 16, 21, 26.

1. Перечислить номенклатурный ряд микросхем типа ЛЕ.
2. Перечислить стандартные серии микросхем типа ЛЕ

3. Привести пример микросхемы типа ЛЕ(функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛЕ.

Задание 5. Для вариантов 2, 7, 10, 12, 17, 22, 27

1. Перечислить номенклатурный ряд микросхем типа ЛК.

2.Перечислить стандартные серии микросхем типа ЛК.

3. Привести пример микросхемы типа ЛК (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛК.

Задание 5. Для вариантов 3, 8, 13, 15, 18, 23, 28.

1. Перечислить номенклатурный ряд микросхем типа ЛМ.

2.Перечислить стандартные серии микросхем типа ЛМ.

3. Привести пример микросхемы типа ЛМ (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛМ.

Задание 5. Для вариантов 4, 9, 14, 19, 20, 24, 29, 30.

1. Перечислить номенклатурный ряд микросхем типа ЛП.

2.Перечислить стандартные серии микросхем типа ЛП.

3. Привести пример микросхемы типа ЛП(функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа ЛП.

Практическая работа №44. Микросхемы на КМОП (КМДП) – транзисторах.

Цель работы: Изучить схему базового логического элемента КМОП, принцип работы, основные параметры и характеристики, стандартные серии и номенклатуру микросхем КМОП.

Ход работы

Задание 1. Зарисовать схему базового логического элемента КМОП (КМДП) структуры, пояснить принцип работы.

Задание 2. Записать основные параметры и характеристики микросхем КМОП (КМДП) структуры.

Задание 3. Перечислить стандартные серии микросхем КМОП (КМДП) структуры.

Задание 4.

1. Привести функциональное обозначение заданной микросхемы.

2. Пояснить выполняемую функцию заданной микросхемы.

3. Указать состав микросхемы, наименование и назначение входов и выходов.

4. Характерные особенности применения заданной микросхемы.

5. Указать стандартные серии для данного типа микросхемы.

6. Записать логические выражения для выходов микросхемы.

№ вар	1	2	3	4	5	6	7	8	9	10
Тип ИС	ЛА7	ЛА8	ЛА9	ЛЕ5	ЛЕ6	ЛЕ10	ЛИ1	ЛИ2	ЛН1	ЛН2
№ вар	11	12	13	14	15	16	17	18	19	20
Тип ИС	ЛП2	ЛП4	ЛП11	ЛП13	ЛА7	ЛА9	ЛА8	ЛА9	ЛЕ5	ЛЕ6
№ вар	21	22	23	24	25	26	27	28	29	30
Тип ИС	ЛЕ10	ЛИ1	ЛИ2	ЛН1	ЛН2	ЛП2	ЛП4	ЛП11	ЛП13	ЛЕ6

Задание 5. Для вариантов 1, 5, 6, 11, 16, 21, 26.

1. Перечислить номенклатурный ряд микросхем типа ЛА.

2. Перечислить стандартные серии микросхем типа ЛА

3. Привести пример микросхемы типа **ЛА**(функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа **ЛА**.

Задание 5. Для вариантов 2, 7, 10, 12, 17, 22, 27

1. Перечислить номенклатурный ряд микросхем типа **ЛЕ**.

2. Перечислить стандартные серии микросхем типа **ЛЕ**.

3. Привести пример микросхемы типа **ЛЕ** (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа **ЛЕ**.

Задание 5. Для вариантов 3, 8, 13, 18, 20, 23, 28.

1. Перечислить номенклатурный ряд микросхем типа **ЛИ**.

2. Перечислить стандартные серии микросхем типа **ЛИ**.

3. Привести пример микросхемы типа **ЛИ** (функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа **ЛИ**.

Задание 5. Для вариантов 4, 9, 14, 19, 24, 25, 29, 30.

1. Перечислить номенклатурный ряд микросхем типа **ЛП**.

2. Перечислить стандартные серии микросхем типа **ЛП**.

3. Привести пример микросхемы типа **ЛП**(функциональное обозначение, состав, назначение входов/выходов).

4. Характерные особенности применения микросхем типа **ЛП**.

Практическая работа №45. Построение логического элемента КМОП И-НЕ в среде NI Multisim.

Цель работы: Приобретение практических навыков работы в программной среде NI Multisim, построение логического элемента КМОП, определение уровней выходного сигнала.

Ход работы

Собрать схему согласно рис.1, измерить $U_{\text{вых}}^0$ (нулевой выходной сигнал) и $U_{\text{вых}}^1$ (логическая единица).

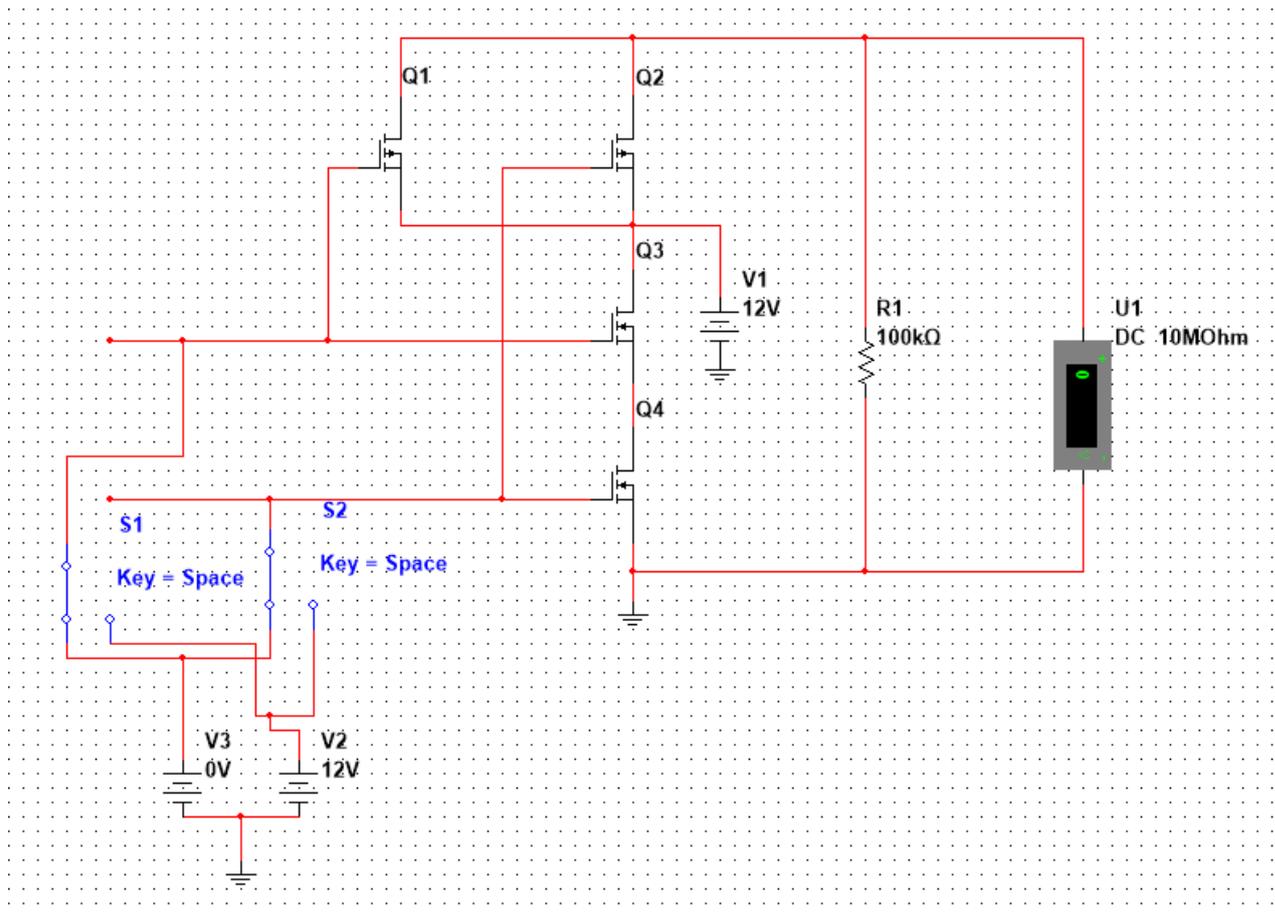


Рис.1 Электрическая принципиальная схема элемента КМОП И-НЕ

Оформить отчет и сделать выводы о проделанной работе.

Практическая работа №46. Разработка электронной схемы программируемой логической матрицы.

Цель работы: изучение элемента проектирования – программируемых логических матриц (ПЛМ).

Теоретические сведения

Из формальной логики известно, что любую функцию, заданную таблицей истинности, можно представить в дизъюнктивной нормальной форме – ДНФ (в виде дизъюнкции конъюнкций) и, следовательно, реализовать в схеме, используя вентили И и ИЛИ. Для вычисления логических функций в форме дизъюнкции конъюнкций служит так называемая программируемая логическая матрица (ПЛМ).

Обобщенная структура ПЛМ приведена на рисунке 1.

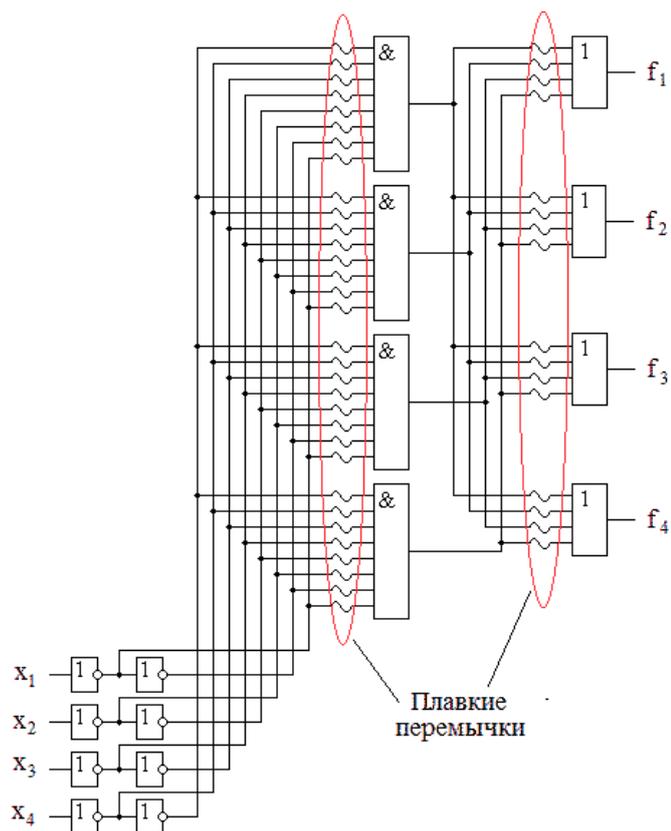


Рисунок 1. Обобщенная структура программируемых логических матриц (ПЛМ)

Основная идея работы ПЛМ заключается в реализации логической функции, представленной в СДНФ — дизъюнктивной нормальной форме. На рисунке четко прослеживаются логические элементы "И", способные реализовать любой минтерм СДНФ и логические элементы "ИЛИ", осуществляющие суммирование термов, требующихся по логическому выражению СДНФ. В схеме ПЛМ, приведенной на рисунке 1, ранг терма ограничен количеством входов и равен четырем, количество термов тоже равно четырем. В реально выпускавшихся микросхемах программируемых логических матриц (ПЛМ) количество входов было равно шестнадцати (максимальный ранг минтерма — 16), количество термов равно 32 и количество выходов микросхемы — 8.

Следует отметить, что полная принципиальная схема ПЛМ получается достаточно громоздкой (см. рисунок 1). Поэтому обычно применяется шинное представление проводников. Логический элемент "И", реализующий минтерм СДНФ, изображается как одиночная горизонтальная строка с условно-графическим обозначением схемы "И". Ко входам этого элемента подводится многопроводная шина, а на выходе подключен одиночный проводник. Если входной проводник подключается ко входу логического элемента "И" (перемычка сохранена), то это место обозначается крестиком 'x', а если соединение отсутствует (перемычка сожжена), то крестик не проставляется. Аналогично обозначаются и многовходовые элементы "ИЛИ". Пример подобного изображения схемы ПЛМ (PLA) приведен на рисунке 2.

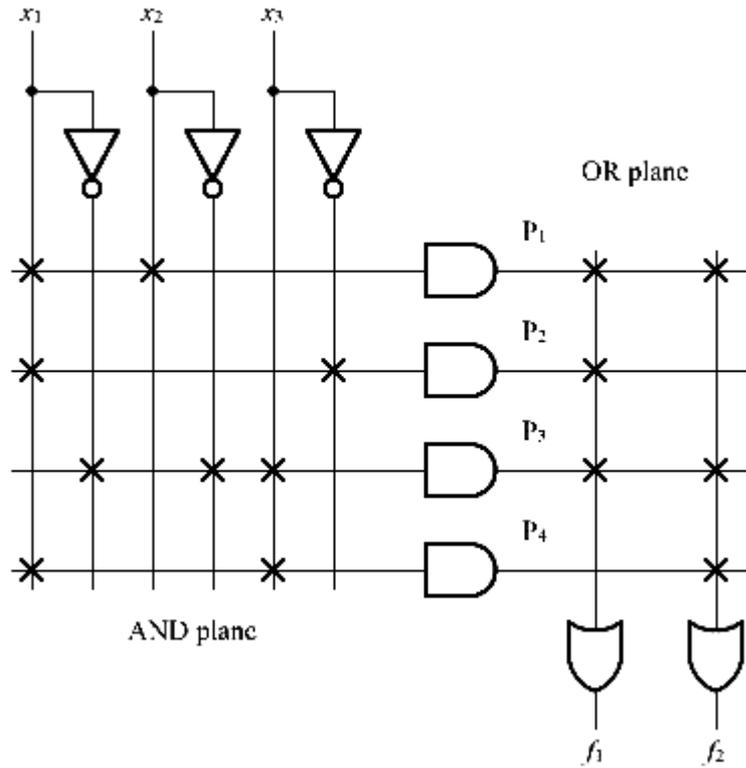


Рисунок 2. Представление внутренней структуры схем ПЛМ.

По схеме четко можно восстановить реализуемую им логическую функцию. На рисунке 2 реализованы две логические функции f_1 и f_2 :

$$f_1 = x_1x_2 + x_1\bar{x}_3 + \bar{x}_1\bar{x}_2x_3$$

$$f_2 = x_1x_2 + \bar{x}_1\bar{x}_2x_3 + x_1x_3$$

Практическая часть

Задание. Разработайте электронную логическую схему программируемой логической матрицы, реализующую логические функции, заданные в таблице соответствия:

X ₁	X ₂	X ₃	f ₁	f ₂	f ₃	f ₄	f ₅	f ₆
0	0	0	0	1	1	0	1	0
0	0	1	1	1	0	0	1	1
0	1	0	1	0	1	1	0	1
0	1	1	0	0	0	1	0	1
1	0	0	0	1	0	1	0	1
1	0	1	1	1	1	0	1	0
1	1	0	1	0	1	1	1	0
1	1	1	1	0	0	0	1	0

Содержание отчета

Отчет должен содержать:

1. Цель работы.
2. Словесную постановку задачи создания электронной логической схемы программируемой логической матрицы.
3. Электронную логическую схему программируемой логической матрицы.

Практическая работа №47. Синтез схем на программируемых логических матрицах, в том числе с ограничениями на параметры ПЛМ.

Цель работы: изучение элемента проектирования – программируемых логических матриц (ПЛМ).

Теоретические положения и пример решения задачи.

Программируемые логические матрицы (ПЛМ) – большие интегральные схемы, современная база проектирования схем. ПЛМ характеризуются параметрами: n , q , m , где n – число входных переменных, m – число выходных переменных, q – число конъюнкций, из которых строятся булевы функции, реализуемые ПЛМ. Различаются следующие уровни ПЛМ:

- а). Средняя степень интеграции, $n+m < 14$, $q = 102$;
- б). Большой уровень интеграции, $n+m < 42$, $q=104$;
- в). Сверхбольшой уровень интеграции, ПЛМ находится внутри схемы и $n+m < 102$, $q = 105$ -

106.

ПЛМ реализуют схемы с памятью, но мы ограничимся схемами комбинационного типа, и более того будем рассматривать ПЛМ с параметрами $n=4$, $m= 2$ и $q=10$.

Общая схема ПЛМ имеет следующий вид:

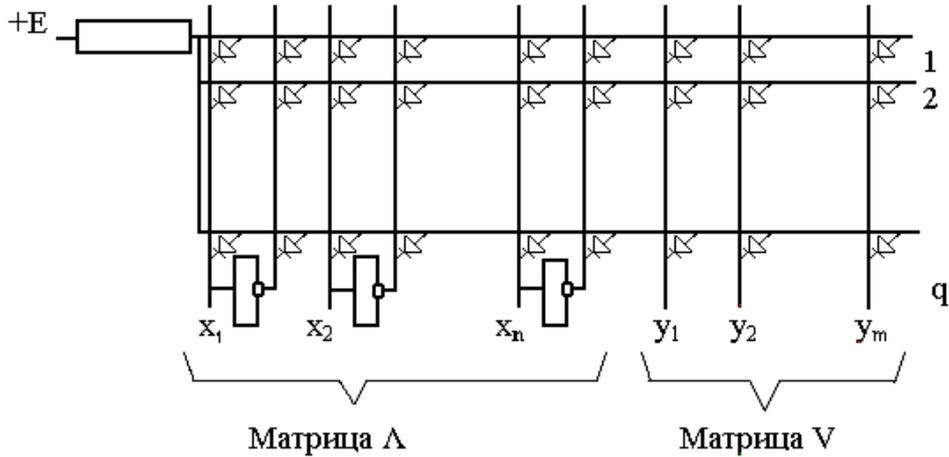


Рисунок 1. ПЛМ на диодах.

На каждом пересечении горизонтальной и вертикальной линий стоит цепочка последовательно соединенных диодного элемента и плавкого предохранителя. Такое соединение мы будем обозначать жирной точкой:



Рисунок 2. Обозначение соединения диодом.

Тогда наши функции будут реализованы следующей ПЛМ:

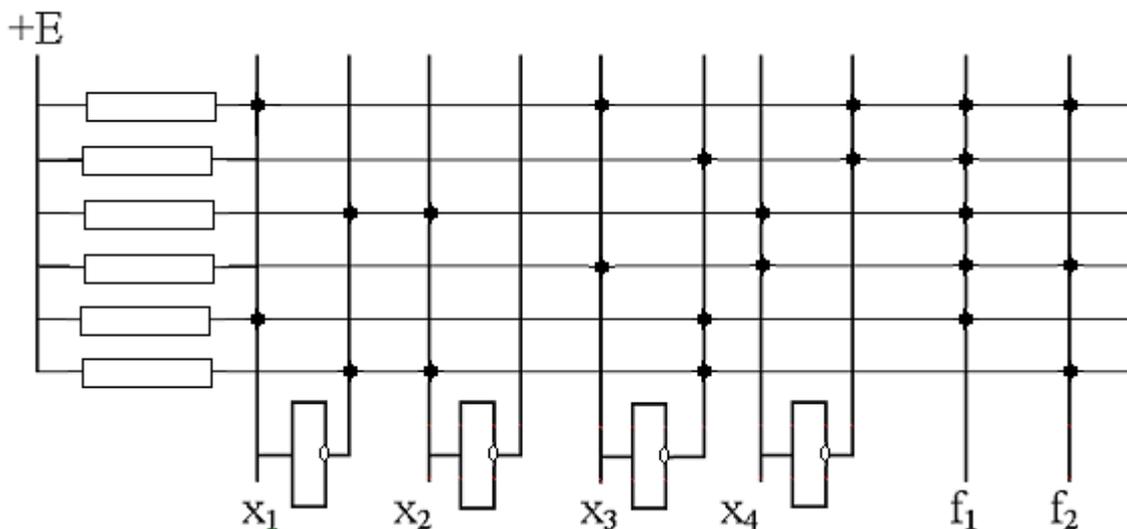


Рисунок 3. Реализация функций f_1 и f_2 на одной ПЛМ.

Теперь займемся ограничениями. Рассмотрим самое интересное из них: $n\text{ПЛМ} < n\text{бф}$. Т. е. число переменных на входе ПЛМ меньше, чем число переменных булевой функции.

Для нашего примера $n\text{бф}=4$, пусть $n\text{ПЛМ}=3$. Рассматриваем первую конъюнкцию u_1 . Ограничение сразу помогает выбрать первый интервал в первую ПЛМ. Задействованы сразу все переменные ПЛМ. Число интервалов не ограничено, поэтому добавляем в первую ПЛМ еще интервалы u_2, u_4 и u_5 , зависящие от тех же переменных. Следующий интервал u_3 , который задействует тоже сразу все три переменных ПЛМ2. И, наконец ПЛМ3 реализует оставшийся интервал u_6 .

Внешняя схема соединения ПЛМ выглядит следующим образом:

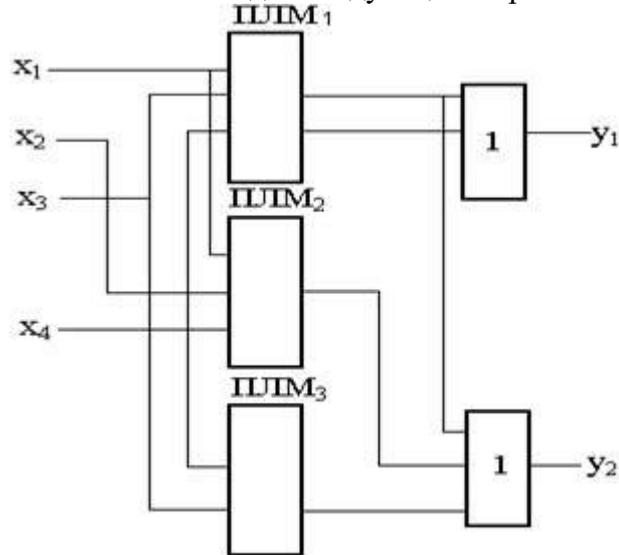


Рисунок 4. Схема двух булевых функций с учетом ограничения на число входов ПЛМ.

Реализуем схему на ПЛМ, немного изменив булевы функции.

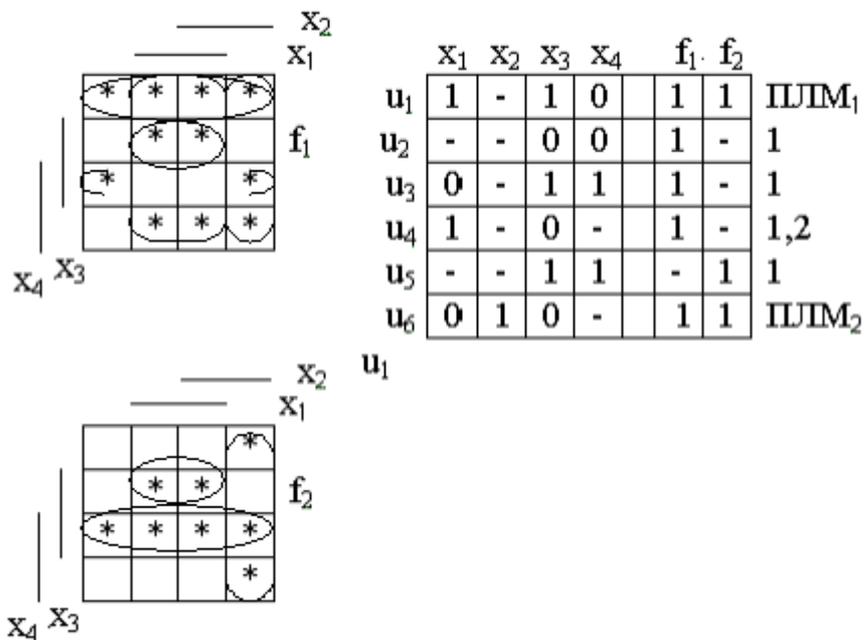


Рисунок 5. Система двух булевых функций, реализация на ПЛМ с учетом ограничения на число входов ПЛМ.

Задание на практическую работу

Построить схему на одной ПЛМ. Функции f_{i+1}, f_{i+2} реализовать схемой на ПЛМ с учетом ограничения при $n\text{ПЛМ}=3$.

Практическое занятие №48. Проектирование типовых узлов на основе программируемых логических матриц и программируемых логических интегральных микросхем.

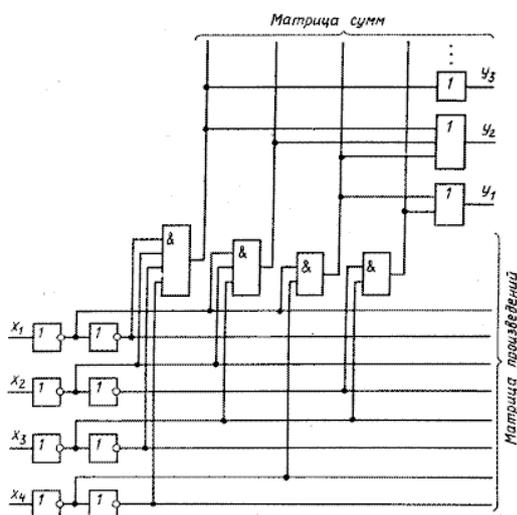
Цель работы: научиться основам проектирования программируемых логических матриц и ПЛИС.

Теоретическая часть

Простейшие ПЛИС - программируемые логические матрицы (ПЛИМ).

Программируемые логические матрицы - наиболее традиционный тип ПЛИС, имеющий программируемые матрицы "И" и "ИЛИ". В зарубежной литературе соответствующими этому классу аббревиатурами являются FPLA (Field Programmable Logic Array) и FPLS (Field Programmable Logic Sequencers). Примерами таких ПЛИС могут служить отечественные схемы К556РТ1, РТ2, РТ21.

Построение ПЛИМ основано на том, что любая комбинационная функция может быть представлена в виде логической суммы (операция ИЛИ) логических произведений (операций И). Тогда схема реализующая комбинационную функцию может быть представлена в следующем виде.



Недостаток такой архитектуры - слабое использование ресурсов программируемой матрицы "ИЛИ", поэтому дальнейшее развитие получили микросхемы, построенные по архитектуре программируемой матричной логики (PAL - *Programmable Array Logic*) - это ПЛИС, имеющие программируемую матрицу "И" и фиксированную матрицу "ИЛИ". К этому классу относятся большинство современных ПЛИС небольшой степени интеграции. В качестве примеров можно привести отечественные ИС КМ1556ХП4, ХП6, ХП8, ХЛ8, ранние разработки (середина-конец 1980-х годов) ПЛИС фирм INTEL, ALTERA, AMD, LATTICE и др. Разновидностью этого класса являются ПЛИС, имеющие только одну (программируемую) матрицу "И", например, схема 85С508 фирмы INTEL. Следующий традиционный тип ПЛИС - программируемая макрологика. Они содержат единственную программируемую матрицу "И-НЕ" или "ИЛИ-НЕ", но за счёт многочисленных инверсных обратных связей способны формировать сложные логические функции. К этому классу относятся, например, ПЛИС PLHS501 и PLHS502 фирмы SIGNETICS, имеющие матрицу "И-НЕ", а также схема XL78С800 фирмы EXEL, основанная на матрице "ИЛИ-НЕ"

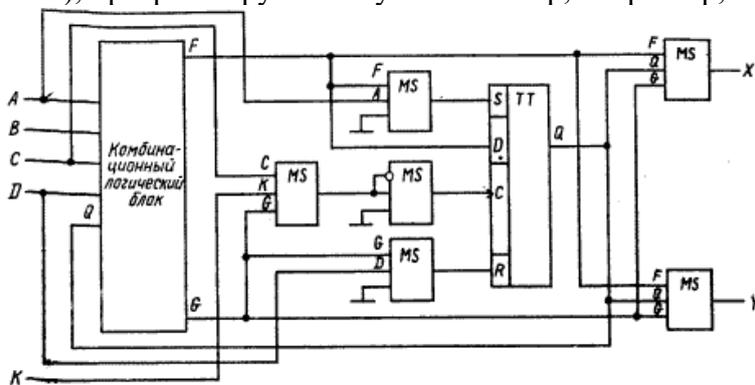
Вышеперечисленные архитектуры ПЛИС содержат небольшое число ячеек, к настоящему времени морально устарели и применяются для реализации относительно простых устройств, для которых не существует готовых ИС средней степени интеграции. Естественно, для реализации алгоритмов ЦОС они непригодны.

Программируемые коммутируемые матричные блоки

Программируемые коммутируемые матричные блоки (ПКМБ) - это ПЛИС, содержащие несколько матричных логических блоков (МЛБ), объединённых коммутационной матрицей. Каждый МЛБ представляет собой структуру типа ПМЛ, то есть программируемую матрицу "И", фиксированную матрицу "ИЛИ" и макроячейки. ПЛИС типа ПКМБ, как правило, имеют высокую степень интеграции (до 10000 эквивалентных вентилях, до 256 макроячеек). К этому классу относятся ПЛИС семейства MAX5000 и MAX7000 фирмы ALTERA, схемы XC7000 и XC9500 фирмы XILINX, а также большое число микросхем других производителей (Atmel, Vantis, Lucent и др.). В зарубежной литературе они получили название *Complex Programmable Logic Devices* (CPLD). ИС ПМЛ (PLD) имеют архитектуру, весьма удобную для реализации цифровых автоматов.

Программируемые вентиляльные матрицы

Другой тип архитектуры ПЛИС - программируемые вентиляльные матрицы (ПВМ), состоящие из логических блоков (ЛБ) и коммутирующих путей - программируемых матриц соединений. Логические блоки таких ПЛИС состоят из одного или нескольких относительно простых логических элементов, в основе которых лежит таблица перекодировки (ТП, *Look-up table* - LUT), программируемый мультиплексор, D-триггер, а также цепи управления.



Современные ПЛИС

Таких простых элементов может быть достаточно много, например, у современных ПЛИС ёмкостью до 1 млн. вентилях число логических элементов достигает нескольких десятков тысяч. За счёт такого большого числа логических элементов они содержат значительное число триггеров, а также некоторые семейства ПЛИС имеют встроенные реконфигурируемые модули памяти (РМП, *embedded array block* - EAB), что делает ПЛИС данной архитектуры весьма удобным средством реализации алгоритмов цифровой обработки сигналов, основными операциями в которых являются перемножение, умножение на константу, суммирование и задержка сигнала. Вместе с тем, возможности комбинационной части таких ПЛИС ограничены, поэтому совместно с ПВМ применяют ПКМБ (CPLD) для реализации управляющих и интерфейсных схем. В зарубежной литературе такие ПЛИС получили название *Field Programmable Gate Array* (FPGA). К FPGA (ПВМ) классу относятся ПЛИС XC2000, XC3000, XC4000, Spartan, Virtex фирмы XILINX; АСТ1, АСТ2 фирмы АСТЕЛ, а также семейства FLEX8000 фирмы ALTERA, некоторые ПЛИС Atmel и Vantis.

Множество конфигурируемых логических блоков (*Configurable Logic Blocks* - CLB) объединяются с помощью матрицы соединений. Характерными для FPGA-архитектур являются элементы ввода/вывода (*input/output blocks* - IOBs), позволяющие реализовать двунаправленный ввод/вывод, третье состояние и т. п.

Особенностью современных ПЛИС является возможность тестирования узлов с помощью порта JTAG (B-scan), а также наличие внутреннего генератора (Osc) и схем управления последовательной конфигурацией.

Фирма Altera пошла по пути развития FPGA-архитектур и предложила в семействе FLEX10K так называемую двухуровневую архитектуру матрицы соединений. ЛЭ объединяются в группы - логические блоки (ЛБ). Внутри логических блоков ЛЭ соединяются посредством локальной программируемой матрицы соединений, позволяющей соединять любой ЛЭ с любым. Логические блоки связаны между собой и с элементами ввода/вывода посредством глобальной

программируемой матрицы соединений (ГПМС). Локальная и глобальная матрицы соединений имеют непрерывную структуру - для каждого соединения выделяется непрерывный канал.

Дальнейшее развитие архитектур идёт по пути создания комбинированных архитектур, сочетающих удобство реализации алгоритмов ЦОС на базе таблиц перекодировок и реконфигурируемых модулей памяти, характерных для FPGA-структур и многоуровневых ПЛИС с удобством реализации цифровых автоматов на CPLD-архитектурах. Так, ПЛИС APEX20K фирмы Altera содержат в себе логические элементы всех перечисленных типов, что позволяет применять ПЛИС как основную элементную для "систем на кристалле" (*system-on-chip*, SOC).

Особенности программирования ПЛИС.

В настоящее время для "больших" время используются в основном две технологии для хранения информации о конфигурации - статическое ОЗУ (SRAM) или электрически перепрограммируемое ПЗУ (EPRM или EEPROM или FLASH).

В любом случае создание файла конфигурации современных ПЛИС невозможно без автоматизированных систем проектирования. Такие системы выпускают как все ведущие производители ПЛИС (www.altera.com)ALTERA, (www.xilinx.com)XILINX, так и другие компании.

При работе в подобных системах конфигурация схемы, которая должна быть получена "внутри" ПЛИС или алгоритм ее работы задается либо на текстовом языке описаний (ADHL, VHDL или Verilog) напоминающем язык программирования высокого уровня (например Си), либо на графическом уровне - в виде электрической схемы (в форматах OrCAD или PCAD), либо при помощи блок-схем алгоритмов или графиков входных и выходных сигналов. В дальнейшем все этапы работы, включая программирование или загрузку ПЛИС выполняет автоматизированная система.

Порядок выполнения работы

В данной работе рассмотрим дешифратор для семисегментного индикатора, который формирует в зависимости от комбинации сигналов на 4 входных линиях код выборки сегментов на семи выходных линиях. Активным значением сигнала на выходной линии (при котором загорается сегмент) является уровень "1". Обозначение дешифратора с указанием входных и выходных линий, распределение имен сегментов и индицируемые знаки приведены на рис. 1.

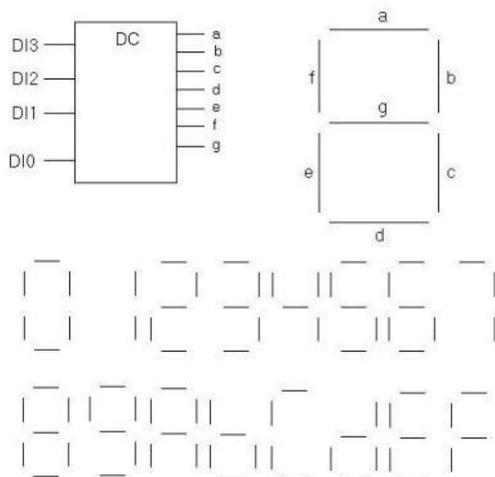


Рис. 1. Дешифратор 7-сегментного индикатора, распределение имен сегментов, индицируемые знаки

Описать такой дешифратор на языке AHDL можно в виде таблицы следующим образом:

```
TITLE                                     "LabKit 8000.Decoder7";
SUBDESIGN decode7
(
DI[3..0]                                :INPUT;
a,b,c,d,e,f,g                           :OUTPUT;
)
```

BEGIN

TABLE

DI[]

=> (a,b,c,d,e,f,g);

V"0000"	=>; V"111110"; -- H"0"
V"0001"	=>; V"011000"; -- H"1"
V"0010"	=>; V"1101101"; -- H"2"
V"0011"	=>; V"1111001"; -- H"3"
V"0100"	=>; V"0110011"; -- H"4"
V"0101"	=>; V"1011011"; -- H"5"
V"0110"	=>; V"1011111"; -- H"6"
V"0111"	=>; V"1110000"; -- H"7"
V"1000"	=>; V"1111111"; -- H"8"
V"1001"	=>; V"1111011"; -- H"9"
V"1010"	=>; V"1110111"; -- H"A"
V"1011"	=>; V"0011111"; -- H"B"
V"1100"	=>; V"1001110"; -- H"C"
V"1101"	=>; V"0111101"; -- H"D"
V"1110"	=>; V"1001111"; -- H"E"
V"1111"	=>; V"1000111"; -- H"F"

END TABLE;

END;

Справа в таблице указаны двоичные значения кода на входных линиях, а слева - двоичные значения выходного кода. Два следующих подряд знака "минус" означают начало комментария.

Последовательность решения задачи

Создание и трансляция текстового файла.

Вызовем текстовый редактор (Max+plusII | |TextEditor) и сохраним файл (File | SaveAs) с именем *decode7.tdf*. Свяжем проект с текущим файлом, выбрав File | Project | SetProjecttoCurrentFile. Введем текст примера и сохраним файл (Ctrl+S).

Созданный проект дешифратора можно проверить с привлечением платы LabKit8000. На этой плате (Приложение 1) имеется 8-разрядный переключатель, который можно использовать для задания входных сигналов, и три 7-сегментных индикатора, один из которых может быть использован для отображения результатов. Эти устройства на плате подключены к определенным выводам ПЛИС EPF8282ALC84, поэтому в проекте необходимо указать тип ПЛИС и соответствие номеров ее выводов входным и выходным линиям дешифратора. Тип ПЛИС определяется командой Assign | Device. В открывшемся диалоговом окне в строке DeviceFamily нужно указать семейство FLEX8000, а в строке Devices определить тип микросхемы - EPF8282ALC84-2. Для указания соответствия выводов входным и выходным линиям дешифратора предназначена команда Assign/PinLocationChip, при вводе которой открывается диалоговое окно, приведенное на рис.2. После ввода имени линии в строке NodeName в строке Pin следует указать номер вывода и щелкнуть по панели Add. В списке ExistingPin/Location/ChipAssignment появляется строка соответствия вывода и линии. После назначения всех линий вводом ОК нужно вернуться в редактор.

Трансляция исходного текстового файла осуществляется обычным образом, например компилятор можно вызвать щелчком по соответствующей панели меню инструментов (рис.2). Однако лучше компилятор вызывать командой Max+plusII | Compiler и осмотрев открывшееся окно компилятора убедиться, что к процессу трансляции на последней стадии будет подключен ассемблер. Если его в списке нет, следует выбрать команду Processing и отключить опцию Functional SNF Extractor. После этого можно щелкнуть указателем мыши по панели Start диалогового окна компилятора.

Отладка с привлечением платы LabKit8000.

Поскольку целью работы является создание дешифратора для индикатора, правильность функционирования спроектированного устройства можно проверить, наблюдая отображаемые

знаки на левом 7-сегментном индикаторе платы LabKit8000. Задавать входной код можно с использованием тумблеров 1-4 8-разрядного переключателя. Нужно учитывать, что младший разряд управляется тумблером 1, т.е. визуально порядок тумблеров является обратным относительно общепринятого, когда младшим разрядом является крайний правый.

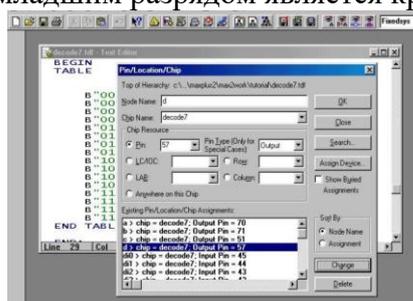


Рис. 2. Назначение выводам ПЛИС входных и выходных линий проекта

Для проверки функционирования разработанного дешифратора необходимо:

1. Подключить к разъему платы LabKit8000 кабель устройства ByteBlaster, который в свою очередь должен быть подключен к разъему LPT инструментального компьютера;
2. Подключить к разъему платы LabKit8000 кабель питания +12В;
3. Включить источник питания - на плате должен загореться индикатор (в правом верхнем углу).
4. Ввести в системе MAX+plusII команду Assign | GlobalProjectDeviceOptions и в открывшемся диалоговом окне в строке ConfigurationScheme указать PassiveSerial (выбрать из меню в соответствии с рис.3);
5. Вызвать приложение Programmer, при активном окне приложения щелкнуть по команде Options | HardwareSetup и установить Hardware_Type = ByteBlaster, ввести ОК. Эта операция выполняется один раз при настройке системы на загрузку через ByteBlaster. Далее щелкнуть по панели Configure, инициируя процесс загрузки ПЛИС;
6. Переключая тумблеры 1-4 8-разрядного переключателя, наблюдать отображаемые на левом 7-сегментном индикаторе шестнадцатеричные цифры. Проверить правильность работы дешифратора.

Анализ размещения схемы устройства на кристалле с использованием редактора конфигурации БИС. Вызвать редактор конфигурации можно командой Max+plusII | FloorplanEditor или щелчком по панели в меню инструментов. Откроется одно из двух вариантов изображения конфигурации ПЛИС (в данном случае типа EPF8282ALC84-2). Пусть это изображение типа DeviceView, приведенное на рис.4. На нем видно расположение всех выводов ПЛИС и назначенные им имена входных и выходных линий проекта. Переключить тип изображения конфигурации можно командой Layout или двойным щелчком мыши по изображению.

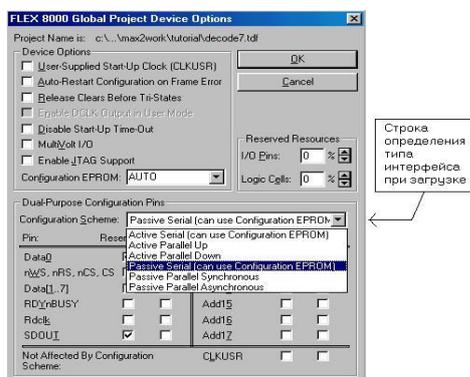


Рис. 3. Определение способа загрузки ПЛИС

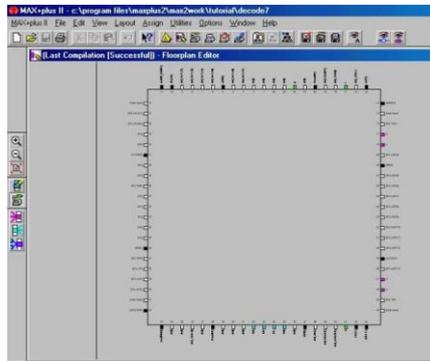


Рис. 4. Изображение конфигурации ПЛИС типа DeviceView

Изображение типа LabView, приведено на рис. 5.



Рис. 5. Изображение конфигурации ПЛИС типа LABView

Из рисунка видно, что при наведении указателя на вывод, рядом с указателем в рамке отображается имя линии проекта и номер вывода микросхемы. Редактор конфигурации позволяет получить информацию о связях отмеченных логических ячеек и выводов. Это делается следующим образом:

1. Выберем опцию ShowNodeFan-In ("входные цепи") и/или опцию Show Node Fan-Out("выходные цепи") команды Option.

2. Установим режим LabView и отметим одну или более логических ячеек или выводов.

Редактор отобразит входные и выходные цепи отмеченных элементов. На рис.5 отображены связи третьей логической ячейки ряда A, столбца 2. Редактор конфигурации позволяет просматривать и изменять текущие назначения, которые хранятся в файле project`s Assignment&Configuration File (.acf). После трансляции проекта можно вручную редактировать назначения, сделанные компилятором и хранящиеся в файле project`s FitFile (.fit). Для этого существует опция Back-Annotate Project команды Assign, которая осуществляет копирования назначений из файла .fit в файл .acf. Процесс корректировки назначений проекта с использованием редактора конфигурации следующий:

1. Введем команду Assign | Back-Annotate Project.

2. В открытом диалоговом окне включим опцию Chips, Logic Cells, Pins & Devices раздела Back-Annotate to ACF. После ввода ОК будет проведено копирование назначений из файла .fit в файл .acf.

3. Введем команду Layout | Current Assignments Floorplan. Редактор конфигурации отобразит текущие назначения проекта.

4. Выберем опцию Show Node Fan-In("входные цепи") и/или опцию Show Node Fan-Out("выходные цепи") команды Option.

5. Введем команду поиска Utilities | FindText, в диалоговом окне включим опцию Pin&Node Names и выключим опцию All. Укажем слово для поиска DI0 и завершим ОК. В окне редактора конфигурации будет отмечен назначенный этому имени вывод и указаны его связи.

6. Введем команду Option | Show Moved Nodes in Gray, которая отмечает серым цветом новые назначения.

7. Наведем указатель мыши на отмеченный вывод линии DI0 и при нажатой правой кнопке мыши "перетащим" назначение с вывода 45 на вывод 37. Аналогично переназначим линию DI1 с вывода 44 на вывод 39, линию DI2 с вывода 43 на вывод 40, линию DI3 с вывода 42 на вывод 41. Новые назначения будут отмечены серым цветом.

8. Запустим перекомпиляцию проекта (Max+plusII | Compiler), убедившись, что отключена опция Processing | Functional SNF Extractor;

9. После успешной перекомпиляции вернемся в окно редактора конфигурации и включив опцию Layout | Last Compilation Floorplan убедимся, что новые назначения выполнены. Эти назначения определяют в качестве формирователей входных векторов на плате тумблеры 5-8 8-разрядного переключателя, причем младший разряд (DI0) задается переключателем 8, т.е. целью переназначения было установить общепринятый порядок, когда младший значащий бит находится справа;

10. Введем команду Assign | Back-Annotate Project;

11. Загрузим файл проекта в ПЛИС на плате LabKit8000 командой Max+plusII | Programmer и переключая тумблеры 5-8 8-разрядного переключателя, проверим правильность работы дешифратора, наблюдая отображаемые на левом 7-сегментном индикаторе шестнадцатеричные цифры.

№ варианта	Задание
1.	Разработать комбинационный сумматор 4-разрядных операндов $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$ с последовательным формированием переносов. Операнд A вводится переключателями S4-S1, операнд B - переключателями S8-S5, вывод результата на светодиоды L5-L1.
2.	Разработать комбинационный сумматор двоично-десятичных операндов $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$ со схемой коррекции результата. Операнд A вводится переключателями S4-S1, операнд B - переключателями S8-S5, вывод суммы на светодиоды L4-L1, сигнала переноса в старшую тетраду - на светодиод L8.
3.	Разработать комбинационный сумматор операндов $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$, представленных в коде "с избытком 3", со схемой коррекции результата. Операнд A вводится переключателями S4-S1, операнд B - переключателями S8-S5, вывод суммы на светодиоды L4-L1, сигнала переноса в старшую тетраду - на светодиод L8.
4.	Разработать преобразователь чисел, представленных в коде "с избытком 3", в 7-сегментный код с индексацией поступления нештатных комбинаций символом E (err). Операнд вводится переключателями S4-S1, вывод результата на 7-сегментный дисплей.
5.	Разработать преобразователь двоично-десятичного кода (одна декада) со знаковым разрядом в 7-сегментный код с индикацией знака "-" (минус). Отрицательные числа представлены в дополнительном коде. Операнд вводится переключателями S5-S1, вывод результата "знак-число" на два 7-сегментных дисплея.
6.	Разработать схему формирования модуля (абсолютного значения) 4-разрядного двоичного числа $A = a_3a_2a_1a_0$ со знаковым разрядом N. Отрицательные числа, представленные в дополнительном коде, переводятся в прямой код. Операнд вводится переключателями S5-S1, вывод результата на светодиоды L4-L1.
7.	Разработать схему преобразователя, изменяющего знак 8-разрядного операнда A (старший бит операнда является знаковым: $a_7=N$). Отрицательные числа представляются в дополнительном коде. Операнд вводится переключателями S8-S1, вывод результата на светодиоды L8-L1.
8.	Разработать схему, определяющую число единичных битов в 8-разрядном операнде. Операнд вводится переключателями S8-S1, вывод результата на светодиоды L3-L1.
9.	Разработать схему, выдающую сигнал $Z=1$ при значении поступающего 8-разрядного операнда $A=0$ и формирующая номер старшего (первого слева) единичного бита при $A>0$. Операнд вводится переключателями S8-S1, вывод сигнала Z на светодиод L8, номер старшего единичного бита на светодиоды L3-L1.
10.	Разработать схему сдвига 4-разрядного числа влево или вправо на 0, 1 или 2 разряда (свободные разряды заполняются 0). Операнд вводится переключателями S6-S3, при сдвиге вправо число разрядов задается переключателями S2-S1, при сдвиге влево - переключателями S8-S7. Индикация результата на светодиодах: при отсутствии сдвига на L6-L3, при сдвигах - соответствующее изменение позиций влево или

	вправо. При неправильном задании (сдвиг на 3 позиции или одновременный сдвиг влево и вправо) - индикация "1" на всех светодиодах.
11.	Разработать логическое устройство, реализующее при поступлении микрокоманды $M=m_2m_1m_0$ следующий набор логических функций над двумя 2-разрядными операндами $A=a_1a_0$ и $B=b_1b_0$: инверсия A: $M = 000$, инверсия B: $M = 001$, конъюнкция: $M = 010$, дизъюнкция: $M = 011$, исключающее ИЛИ: $M = 100$, равнозначность: $M = 101$. Операнд A вводится переключателями S2-S1, операнд B – переключателями S4-S3, микрокоманда M - переключателями S8-S6. Результат выводится на светодиоды L2-L1. При поступлении неправильного кода $M = 110$ или 111 загорается сигнал ошибки - светодиод L8.
12.	Разработать логическое устройство, реализующее при поступлении микрокоманды $M=m_3m_2m_1m_0$ полный набор из 16 логических функций над двумя 2-разрядными операндами $A=a_1a_0$ и $B=b_1b_0$. Операнд A вводится переключателями S2-S1, операнд B – переключателями S4-S3, микрокоманда M - переключателями S8-S5. Результат выводится на светодиоды L2-L1.
13.	Разработать схему вычитания (A - B) двух 4-разрядных операндов $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$ с формированием знакового разряда N. Отрицательный результат представляется в дополнительном коде. Операнд A вводится переключателями S4-S1, операнд B – переключателями S8-S5, результат выводится на светодиоды L4-L1, знаковый разряд N на светодиод L5.
14.	Разработать схему умножения двух 4-разрядных операндов $A = a_3a_2a_1a_0$ и $B = b_3b_2b_1b_0$. Операнд A вводится переключателями S4-S1, операнд B - переключателями S8-S5, результат выводится на светодиоды L8-L1.

Примечание: возможно выполнение вариантов заданий с выводом исходных операндов и(или) результата на 7-сегментные дисплеи.

Практическое занятие №49. Запоминающие устройства

Цель работы: изучить временные диаграммы работы запоминающих устройств, построенных по различным схемам.

Порядок выполнения работы

1. Изучите до начала выполнения лабораторной работы методики построения оперативных и постоянных запоминающих устройств.
2. Изучите методику создания при помощи утилиты MegaWizard Plug-in Manager компонентов и их использования в САПР Quartus II.
3. Соберите схему для исследования постоянного запоминающего устройства в САПР Quartus II согласно варианту задания.

Для создания постоянного запоминающего устройства в САПР Quartus II при помощи утилиты MegaWizard Plug-in Manager следует выполнить такие операции:

- создайте новый проект;
- выберите в качестве элементной базы для реализации любую из микросхем ПЛИС, обязательно принадлежащих только семейству Cyclone (например, EP1C3T100A8);
- создайте новый Memory Initialization File (выберите необходимый пункт из меню File -> New);

- задайте необходимые значения для запрашиваемых параметров (например: Word size: 8, Number of words: 32) ;
- заполните открывшийся файл необходимыми данными, которые будут содержаться в ячейках ПЗУ (в качестве примера приведено заполнение файла LpmRom.mif);
- сохраните заполненный файл инициализации памяти (рекомендуется располагать его в каталоге проекта) и закройте его;
- создайте новый Block Diagram/Schematic File (выберите необходимый пункт из меню File -> New);
- выберите пункт Insert Symbol из меню Edit (аналогичное действие производится по двойному нажатию мышки в любом пустом месте Block Diagram/Schematic File);
- найдите и выберите из раскрывающегося списка в левой части появившегося окна параметризованную мегафункцию lpm_rom, которая находится в разделе megafunctions -> storage стандартных библиотек САПР Quartus II);
- завершите подтверждение выбора нажатием кнопки ОК;

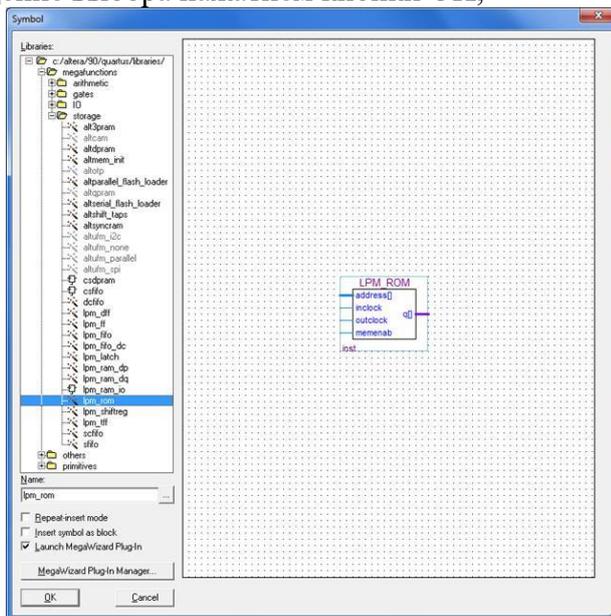


Рисунок 1. Выбор параметризованной мегафункции lpm_rom

- задайте имя создаваемого компонента, соблюдая правила именования, в открывшемся окне утилиты MegaWizard Plug-in Manager при необходимости и в случае, если САПР автоматически не выполнила эту операцию (например, не задала имя по умолчанию lpm_rom0);
- установите необходимое значение в списке выбора языка описания компонента (настоятельно рекомендуется использовать язык VHDL);
- нажмите кнопку Next >;

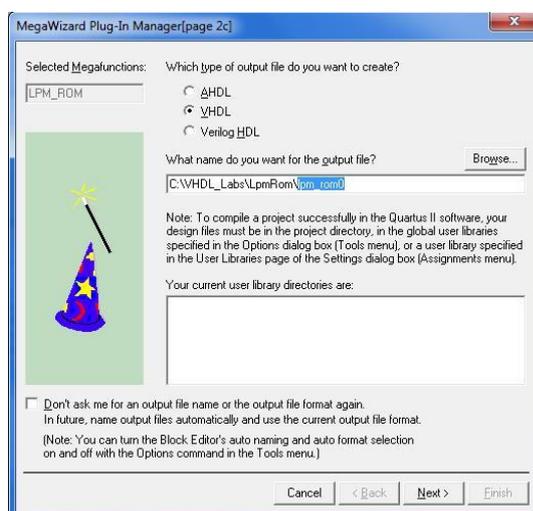


Рисунок 2. Первый шаг создания ПЗУ

- установите необходимое значение в списке выбора разрядности выходной шины данных ПЗУ (в качестве примера было выбрано значение 8 бит);
- установите необходимое значение в списке выбора общего объёма памяти, которое задаётся как количество N-битных слов, где N – разрядность выходной шины данных ПЗУ (в качестве примера было выбрано значение 32);
- выполните проверку соответствия между заданными значениями разрядности и объёма памяти, которые указывались при создании Memory Initialization File, и теми, которые установлены в окне утилиты MegaWizard Plug-in Manager;
- внесите необходимые изменения содержимого Memory Initialization File, в случае возникновения указанных выше несоответствий параметров, поскольку при этом не гарантируется корректная работа ПЗУ (причём, САПР Quartus II не генерирует какие-либо сообщения об ошибках или предупреждения);
- установите значение Auto в списке выбора типа блока памяти (в этом случае компилятор и трассировщик самостоятельно учтут все особенности внутренней реализации ПЗУ для выбранной микросхемы ПЛИС);
- установите необходимое значение в списке выбора способа тактирования операций с памятью: Single clock – общий тактовый сигнал, по которому осуществляется защёлкивание входного адреса ячейки ПЗУ и чтение данных из ячейки с заданным адресом; input, output clocks – отдельные сигналы для защёлкивания адреса ячейки и чтения данных соответственно (в качестве примера был выбран второй способ тактирования операций);
- выполните повторную проверку соответствия всех заданных параметров;
- нажмите кнопку Next >;

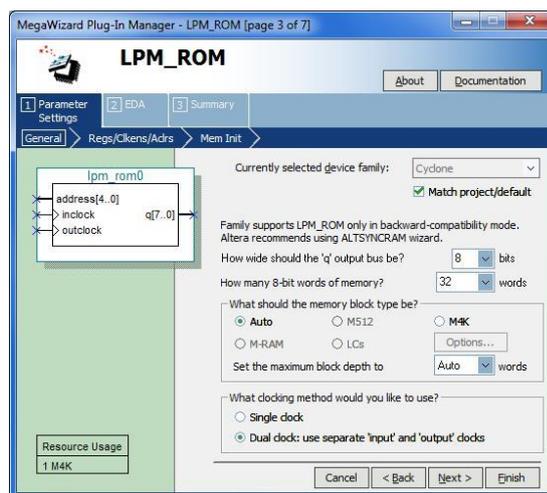


Рисунок 3. Второй шаг создания ПЗУ

- установите соответствующее значение в списке выбора вариантов установки триггеров-защёлок для выходных портов сигналов (создаваемое в качестве примера ПЗУ снабжено соответствующими триггерами), для входных портов значение данной опции задано по умолчанию, его изменять нельзя, поэтому все входные сигналы имеют соответствующие триггеры-защёлки;
- нажмите кнопку Next >;

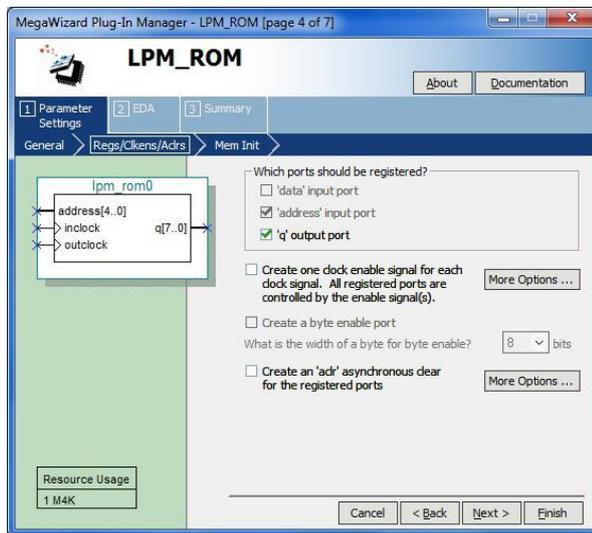


Рисунок 4. Третий шаг создания ПЗУ

- укажите в поле File name: путь, по которому размещён созданный ранее Memory Initialization File (./LpmRom.mif означает, что этот файл находится в каталоге проекта);
- выберите из соответствующего списка расширение файла *.mif (а не *.hex!) в процессе поиска пути к Memory Initialization File;
- нажмите кнопку Next >;
- нажмите кнопку Next > внизу появившегося окна (не следует вносить сюда никаких изменений);
- нажмите кнопку Finish, после появления окна, для завершения процесса создания компонента ПЗУ с помощью утилиты MegaWizard Plug-in Manager в САПР Quartus II.

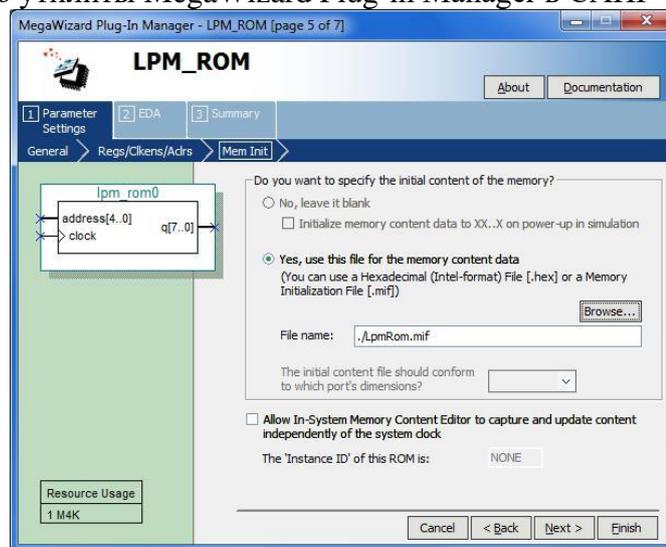


Рисунок 5. Четвёртый шаг создания ПЗУ

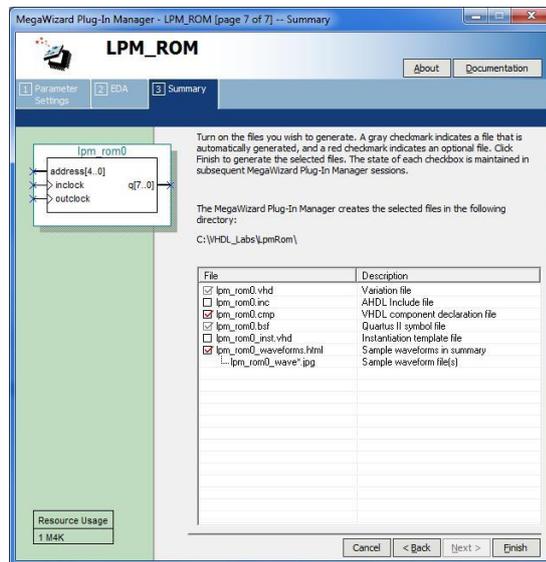


Рисунок 6. Итоговое окно создания ПЗУ

На рисунке 7 в качестве примера приведена схема для исследования синтезированного при помощи утилиты MegaWizard Plug-in Manager постоянного запоминающего устройства на базе параметризуемой мегафункции lpm_rom.

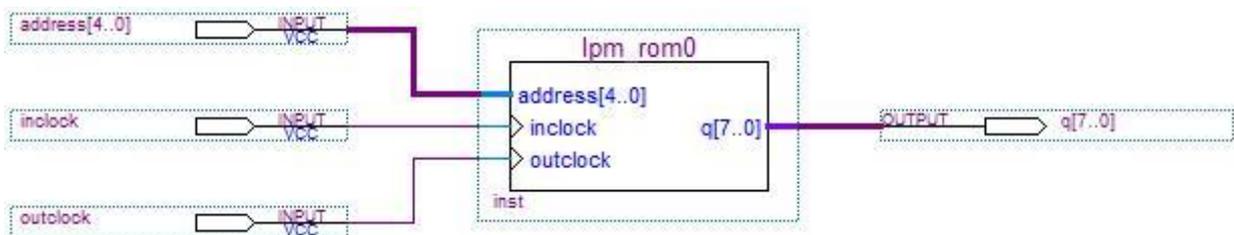


Рисунок 7. Схема исследования созданного ПЗУ

4. Исследуйте временные диаграммы работы синтезированного ПЗУ при произвольных фазовых соотношениях входных сигналов.

На рисунке 8 в качестве примера приведены временные диаграммы работы ПЗУ, процесс создания которого был описан выше.

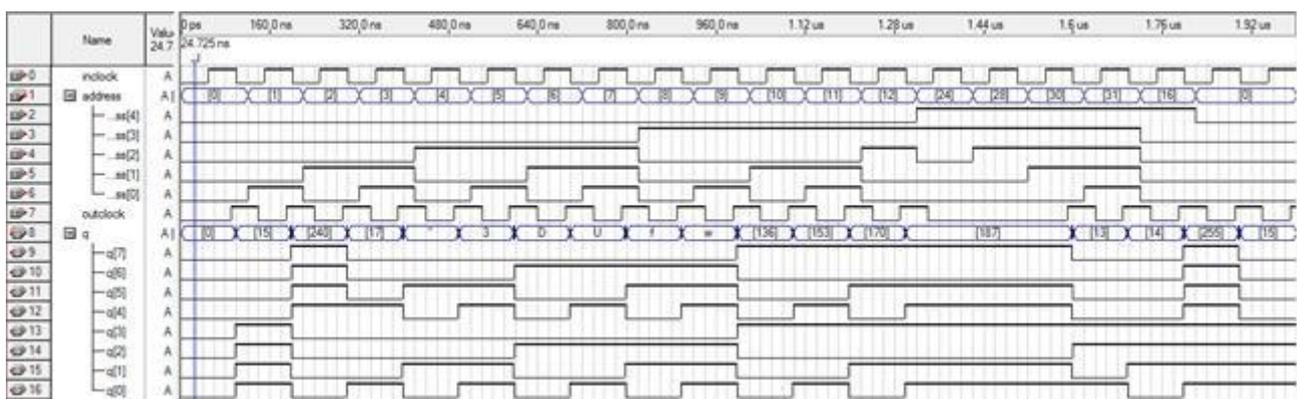


Рисунок 8. Временные диаграммы работы синтезированного ПЗУ

У компонента ПЗУ, созданного в качестве примера, выходная шина данных имеет соответствующие триггеры-защёлки. Это означает, что чтение данных из ячейки ПЗУ с заданным адресом будет выполняться за 2 такта (при отсутствии выходных триггеров чтение выбранной ячейки памяти происходит за 1 такт): в первом такте происходит выборка данных из ячейки ПЗУ, а во втором – эти данные защёлкиваются выходными триггерами. Сказанное выше касается так же и ОЗУ. Однако запись данных в ОЗУ происходит всегда за 1 такт соответствующего сигнала и не зависит от наличия регистров защёлки входных сигналов.

Из анализа временных диаграмм можно сделать вывод, что по каждому переднему фронту импульса на входе inclock происходит защёлкивание адреса ячейки памяти, который установлен на шине address[4..0]. По каждому переднему фронту импульса на входе outclock происходит защёлкивание данных из соответствующей ячейки (значения ячеек памяти заданы при помощи LpmRom.mif) выходными триггерами-защёлками, т.е., по сути, происходит чтение данных. Поэтому при отсутствии импульсов на входе outclock данные на выходе ПЗУ не изменяются (даже при наличии сигналов защёлки адреса).

5. Соберите схему для исследования однопортового оперативного запоминающего устройства на основании параметризуемой мегафункции lpm_ram_dp.

6. Исследуйте временные диаграммы работы синтезированного ОЗУ при произвольных фазовых соотношениях входных сигналов.

7. Соберите схему для исследования оперативного запоминающего устройства на основании параметризуемой мегафункции lpm_ram_dq.

8. Исследуйте временные диаграммы работы синтезированного ОЗУ при произвольных фазовых соотношениях входных сигналов.

Контрольные вопросы

1. Дайте определение запоминающего устройства.
2. Какие виды запоминающих устройств Вы знаете?
3. Дайте определение постоянного запоминающего устройства. Приведите примеры их применения в технике.
4. Дайте определение оперативного запоминающего устройства. Приведите примеры их применения в технике.

Практическое занятие №50. Исследование режимов работы статического ОЗУ.

Цель: Изучение назначения и функций оперативного запоминающего устройства. Знакомство с принципом работы оперативного запоминающего устройства.

Теоретическая часть

По выполняемым функциям различают следующие типы запоминающих устройств:

Оперативное запоминающее устройство (ОЗУ).

Постоянное запоминающее устройство (ПЗУ).

Перепрограммируемое запоминающее устройство (ППЗУ).

ОЗУ используется при необходимости выбрать и обновить хранимую информацию в высоком темпе работы процессора цифрового устройства. В ОЗУ предусматриваются 3 режима работы:

1 – хранение при отсутствии обращения к ЗУ.

2 – режим чтения хранимых слов.

3 – режим записи (время чтения и записи слова в ОЗУ составляют доли миллисекунды).

ОЗУ используются для хранения исходных данных промежуточных, промежуточных и конечных результатов обработки данных. Представляет из себя набор регистров.

ОЗУ строятся из набора однотипных микросхем и являются неотъемлемой частью микропроцессорных систем различного назначения, они делятся на 2 класса: статические и динамические. В статических ОЗУ запоминание информации производится на триггерах, а в динамических – на конденсаторах емкостью 0,5 пФ. Конструктивно ОЗУ выполнено в виде двух блоков – матрицы запоминающих элементов и дешифратора адреса. Матрица состоит из элементов памяти, расположенных вдоль строк и столбцов, и имеет двухкоординатную дешифрацию адреса – по строкам и столбцам. При этом в выбранной ячейке памяти срабатывает двухвходовой элемент И и подготавливает цепи чтения записи информации на входных или выходных разрядных шинах.

Оперативные запоминающие устройства (ОЗУ) являются неотъемлемой частью микропроцессорных систем различного назначения. ОЗУ делятся на два класса: статические и

динамические. В статических ОЗУ запоминание информации производится на триггерах, а в динамических – на конденсаторах емкостью 0,5 пФ. Длительность хранения информации в статических ОЗУ не ограничена, тогда как в динамических ОЗУ она ограничена временем саморазряда конденсатора, что требует специальных средств регенерации и дополнительных затрат времени на этот процесс.

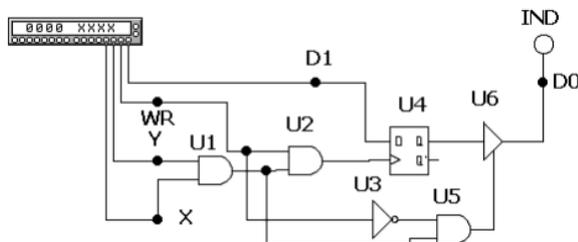


Рисунок 1.

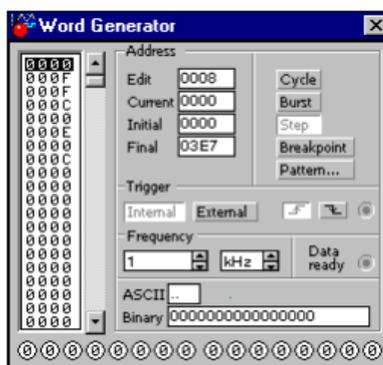


Рисунок 2.

На рис. 1 показана ячейка статического ОЗУ на D-триггере и вспомогательных логических элементах. Информационный вход ячейки подключен к шине данных D1 одного из разрядов, ее выход – к соответствующей шине D0 через элемент с тремя состояниями U6. Ячейка выбирается сигналами Y=1, X=1, поступающими с дешифратора адреса. При записи в ячейку памяти на D1 устанавливается 1 или 0, на входе WR/RD' – сигнал 1, в результате чего срабатывают элементы U1, U2. Положительный перепад сигнала с элемента U2 поступает на тактовый вход D-триггера U4 и в нем записывается 1 или 0 в зависимости от уровня сигнала на его D-входе. При чтении на входе WR/RD' устанавливается 0, при этом срабатывают элементы U1, U3, U5 и на вход РАЗРЕШЕНИЕ ВЫХОДА буферного элемента U6 поступает разрешающий сигнал, в результате чего сигнал с Q-выхода D-триггера передается на разрядную шину D0, состояние которой индицируется логическим пробником IND. Для проверки функционирования ячейки памяти используется генератор слова (рис. 2), выходной код которого соответствует указанным режимам работы ячейки.

Заметим, что запоминающие устройства статического типа отличаются высоким быстродействием и в компьютерах используются в качестве так называемой кэш-памяти.

Контрольные вопросы и задания

Вопросы:

1. Какие типы памяти существуют?
2. Чем отличается динамическая память от статической?
3. Назовите основные параметры запоминающих устройств.
4. В чем состоит назначение ROM?
5. Какие элементы памяти используются в различных типах ROM?
6. Как и кем программируются PROM?
7. В чем состоит различие EPROM и EEPROM?
8. Какая схемотехника элементов памяти обеспечивает максимальное быстродействие RAM?
9. В чем состоит принципы построения RAM с одномерной и двумерной адресацией?
10. Сравните преимущества и недостатки структур 2D и 3D.

11. Объясните принципы осуществления структуры памяти 2DM и ее основные достоинства по сравнению с остальными структурами.

Задание:

1. Смоделируйте и проанализируйте работу ОЗУ, схема которого приведена выше. Сделайте выводы по работе.

Практическое занятие №51. Построение оперативного запоминающего устройства заданной ёмкости и разрядности.

Цель работы: научиться строить схемы ОЗУ заданной емкости и разрядности.

Теоретическая часть

Устройства памяти микропроцессорной системы (МПС) могут быть внешними (винчестер, дисковод, CD-ROM и т.д.) и внутренними (ОЗУ, ПЗУ). Внутренняя память МПС может быть:

- постоянной (ROM) или ПЗУ,
- оперативной (RAM) или ОЗУ.

Оперативные запоминающие устройства ОЗУ могут быть: динамическими (DRAM) и статическими (SRAM). В динамических ОЗУ, построенных на МОП-транзисторных ячейках с дополнительной емкостью, информация после считывания пропадает, поэтому требуется ее регенерация (восстановление), а значит, такие ОЗУ при своей очевидной дешевизне имеют низкое быстродействие. Статические ОЗУ, построенные на триггерных ячейках, хранят информацию после считывания и регенерации не требуют, имеют высокое быстродействие, хотя и существенно дороже динамических ОЗУ.

Практическая часть

Из микросхем SRAM небольшой емкости можно составить память любого заданного объема.

Предположим, что в нашем распоряжении есть микросхемы SRAM емкостью 256×4 . Необходимо составить память устройства емкостью 1 Кбайт или $1\text{К} \times 8$. Схема 256×4 имеет 4 матрицы по 256 ячеек ($256 = 2^8$), т.е. схема имеет 8 адресных входов.

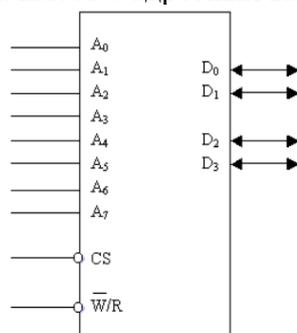


Рисунок 1. Микросхема памяти 256×4

Для того чтобы обеспечить чтение/запись байта информации, надо добавить еще 4 матрицы внешним соединением (т.е. объединить 2 микросхемы). Получим эквивалентную схему, позволяющую хранить 256 байт информации. Для построения памяти на 1 Кбайт необходимо 4 таких схемы: $1\text{К} = 2^{10}$; $2^{10} / 2^8 = 2^2 = 4$.

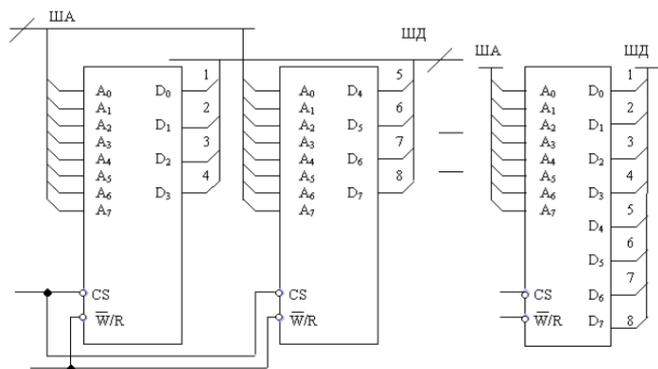


Рисунок 2. Получение эквивалентной схемы 256×8

Доступ к такой памяти осуществляется по 10 адресным линиям ($1К = 2^{10}$): непосредственно к схеме подключаются 8 адресных линий, а 2 –к дешифратору, с помощью которого выбирается одно из 4 направлений.

Общая схема памяти (рисунок 3) составлена из эквивалентных схем (рисунок 2), исходная микросхема представлена на рисунке 1.

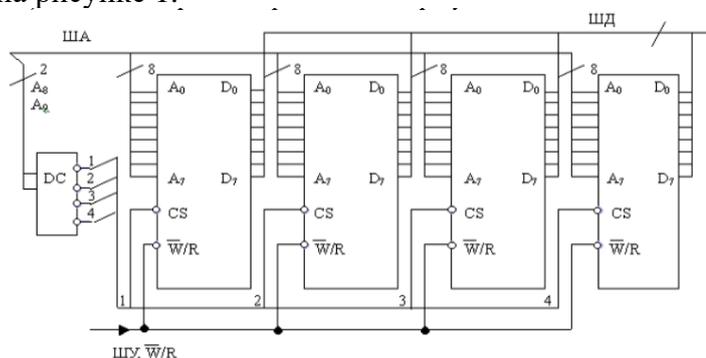


Рисунок 3. Схема оперативной статической памяти объемом 1Кбайт

Задание на практическую работу

№ варианта	
1.	4Кх8 на ИМС 1Кх4
2.	8Кх8 на ИМС 2Кх1
3.	8Кх8 на ИМС 512х8
4.	1Кх8 на ИМС 256х8
5.	32Кх8 на ИМС 2Кх8
6.	2Кх8 на ИМС 1Кх8
7.	16Кх8 на ИМС 4Кх1
8.	1Кх8 на ИМС 128х4
9.	16Кх8 на ИМС 2Кх8
10.	16Кх8 на ИМС 4Кх8
11.	2Кх8 на ИМС 1Кх4
12.	4Кх8 на ИМС 512х1
13.	4Кх8 на ИМС 1Кх4
14.	16Кх8 на ИМС 4Кх8
15.	2Кх8 на ИМС 512х4

Цель работы: изучить функциональные и электрические характеристики статических полупроводниковых постоянных запоминающих устройств (ПЗУ) на интегральных микросхемах (ИМС); исследовать работу масочного ПЗУ на ИМС.

Теоретическая часть

Для хранения единицы информации - бита используется запоминающий элемент (ЗЭ). Совокупность ЗЭ, используемых для хранения многозначных чисел, называется ячейкой памяти, а размещаемая в ней информация – словом. Длина слов, размещаемых в памяти, может быть различна, но кратна 8. Минимальная длина слова составляет восемь бит или один байт.

Постоянные запоминающие устройства предназначены для хранения постоянной или редко меняющейся информации: таблиц, функций, констант, управляющей информации. Информация в ПЗУ сохраняется при отключении источника питания.

ПЗУ создаются на основе полупроводниковых БИС. Организация БИС ПЗУ схожа с организацией БИС ОЗУ, в которой отсутствуют элементы схемы, связанные с записью информации при выполнении вычислительного процесса.

Основным элементом, используемым для обеспечения хранения информации, является перемычка на определенном участке электрической цепи. При наличии перемычки возникает цепь для протекания тока (состояние лог.1); при отсутствии перемычки цепь для протекания тока отсутствует (состояние лог.0).

Процесс организации перемычек называется программированием ПЗУ. В ПЗУ запись информации (программирование) происходит заранее, вне вычислительного устройства с применением дополнительных технологических операций, таких как напыление перемычек или их разрушение на специальной установке, называемой программатором. Процесс программирования ПЗУ сводится к нескольким этапам:

а) при изготовлении масочных ПЗУ (ПЗУМ) на заводе-изготовителе производится нанесение перемычек в нужных участках схемы с помощью фотошаблонов—масок, которые делают по заказу пользователя микросхемы. Этот способ программирования является самым дешевым и предназначен для крупносерийного производства. ПЗУМ изготавливают по ТТЛ, ТТЛШ, n-, p-канальной МОП и КМОП-технологиям;

б) ПЗУ, программируемые пользователем (ППЗУ), отличаются тем, что микросхема поступает пользователю с полным набором возможных перемычек, и пользователь программирует (пережигает) перемычки на специальных установках в соответствии со своими задачами. ППЗУ могут быть изготовлены по ТТЛШ, И²Л, n-МОП, ЭСЛ и КМОП-технологиям. Рассмотренные виды ПЗУ допускают только однократное программирование;

в) перепрограммируемые ПЗУ, или репрограммируемые ПЗУ (РПЗУ) позволяют многократно изменять хранимую информацию.

ПЗУ организовано по словарному принципу, и перемычки представляют собой ряд, образующий ячейку памяти. Следовательно, все запоминающие элементы ряда, образующие ячейку памяти, должны иметь ключи доступа, в качестве которых выступают диоды или транзисторы, выполненные по различным технологиям. Например, в эмиттерной цепи биполярного транзистора находится перемычка, обеспечивающая протекание тока в транзисторе (см. рисунок 1). В схеме диодного ПЗУ (см. рисунок 2) ток протекает только при наличии перемычки в цепи адресная шина (АШ) - диод-перемычка - разрядная шина (РШ).

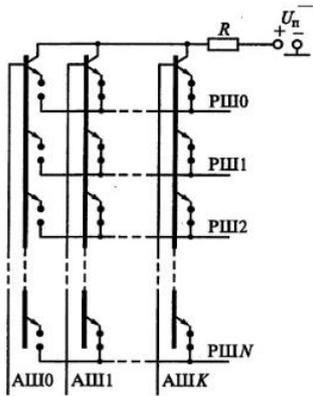


Рисунок 1. Ячейки памяти на транзисторах

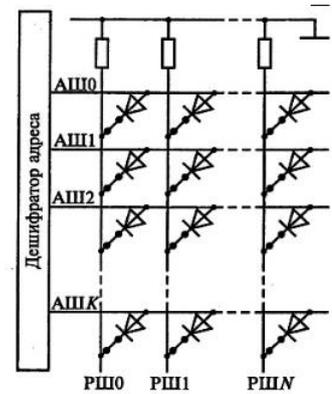


Рисунок 2. Ячейки памяти на диодах

В приведенных примерах ПЗУ наличие перемычек или их отсутствие можно запрограммировать любым способом. Рассмотрим процессы, происходящие при считывании. В схеме на рисунке 1 показано ПЗУ на основе многоэмиттерного транзистора (МЭТ). При подаче необходимого адресного сигнала обращения к выбранной ячейке на базу выбранного транзисторного ключа поступает отпирающее напряжение, в результате чего в зависимости от наличия перемычек в эмиттерных цепях транзистора и соответственно в выходных разрядных шинах будет присутствовать или отсутствовать ток, что воспринимается как считанные лог. 1 или лог. 0.

Схемы ПЗУ на основе биполярных диодных матриц (см. рисунок 2) работают аналогично схемам с использованием транзисторных ключей. При возбуждении адресной шины токи появляются только в тех разрядных шинах, в цепи диодов которых есть перемычки. Схема ПЗУ на МОП-транзисторах работает аналогично и представлена на рисунке 3.

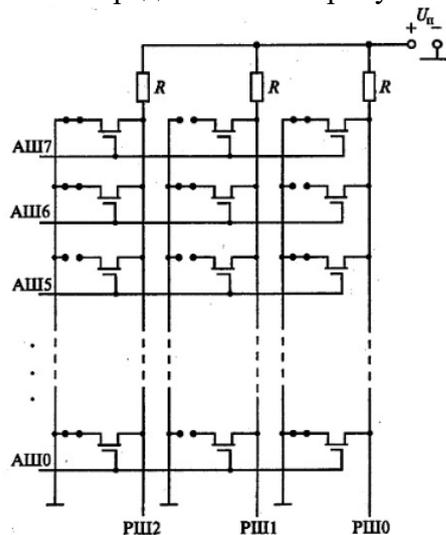


Рисунок 3. Схема ПЗУ на МОП-транзисторах

При адресном обращении лог. 0 будет считываться только с тех разрядных шин, которые через МОП-транзистор и соответствующую ему перемычку соединены с общей шиной. В остальных случаях с разрядных шин считывается лог. 1.

Одним из наиболее распространенных способов введения информации в ППЗУ является принцип плавкого предохранителя, когда для образования необходимой комбинации лог. 0 и лог. 1 производится выжигание дозированным током, например, нихромовых соединений между матричными элементами микросхемы.

ППЗУ на биполярных транзисторах программируется следующим образом:

- а) все эмиттеры транзисторов соединены с разрядными шинами плавкими перемычками;
- б) в местах, где должен быть записан лог. 0, через эмиттеры пропускают импульс тока, достаточный для разрушения плавкой перемычки. В процессе выжигания перемычек на адресные входы последовательно подаются адреса, а на разрядные выходы подаются импульсы пережигания в соответствии с заданной таблицей истинности.

Существенный недостаток БИС полупроводниковых ПЗУ заключается в том, что программирование в них возможно только один раз. При необходимости коррекции информации, хранимой в ПЗУ, например при отладке программ или уточнении задачи, решаемой ЭВМ, возникает необходимость в частичной замене БИС ПЗУ. Эти проблемы можно решить, применив репрограммируемые ПЗУ(РПЗУ), способные не только практически бесконечно долго хранить информацию при отключении питания (энергонезависимые РПЗУ), но и при необходимости допускающие запись новой информации электрическим способом. Считывание хранимой в РПЗУ информации осуществляется обычно за сотни наносекунд, а стирание старой информации и последующая запись новой требуют гораздо больше времени.

ПЗУ в микропроцессорных вычислительных средствах служат для хранения программ и другой неизменной информации. Важным преимуществом ПЗУ по сравнению с ОЗУ является сохраняемость информации при выключении питания. Стоимость бита хранимой в ПЗУ информации может быть почти на порядок ниже, чем в ОЗУ. ПЗУ могут быть реализованы на основе различных физических принципов и элементов, они различаются способом занесения информации, кратностью занесения, способом стирания.

Типичный вариант реализации масочного ППЗУ представлен микросхемой К556РТ4. БИС ППЗУ КР556РТ4 информационной емкостью 1024бита (256x4) представлена на рисунке 4. Условное графическое обозначение этой схемы показано на рисунке 5. Такие ПЗУ могут применяться в микропроцессорных системах с обработкой данных в размере байта. Транзисторы матрицы включены по схеме эмиттерного повторителя; 32 шины металлизации проходят поперек 32 МЭТ над эмиттерами. Вскрытие окна к эмиттеру МЭТ (подключение к шине металлизации) соответствует записи лог.1, отсутствие окна (не подключение к шине металлизации) - записи лог. 0.

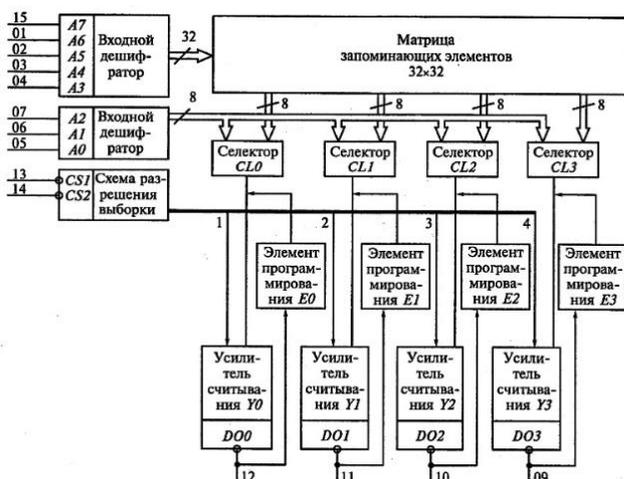


Рисунок 4. Структурная схема БИС К556РТ4

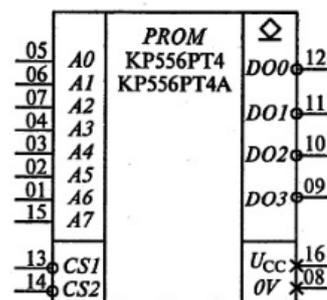


Рисунок 5. УГО БИС К556ТР4

Матрица содержит 32 МЭТ с 32 эмиттерами каждый. Эмиттеры и включенные в их цепь перемычки разделены на четыре группы, каждая из которых содержит восемь одноразрядных слов. Таким образом, в первой группе находятся восемь слов первого разряда, во второй - второго разряда, в третьей - третьего разряда, в четвертой – четвертого разряда.

Для обращения к такому объему памяти и выбору одного из 32 МЭТ необходим дешифратор строк на пять входов и 32 выхода. При адресной выборке будет производиться обращение к одному из 32 МЭТ, т.е. к восьми четырехразрядным словам. Чтобы на выход поступило только одно четырехразрядное слово, необходимо осуществить выбор по одному 3Э из каждой разрядной группы. При программировании микросхемы код адреса подается на адресные входы А0...А7, а данные – на выходы DO0...DO3. Запись лог. 1 в соответствующие разряды осуществляется через элементы программирования путем пережигания перемычек.

Порядок выполнения работы

1. Собрать в среде Multisim схему исследования масочного ПЗУ, беря за основу рисунок 6.

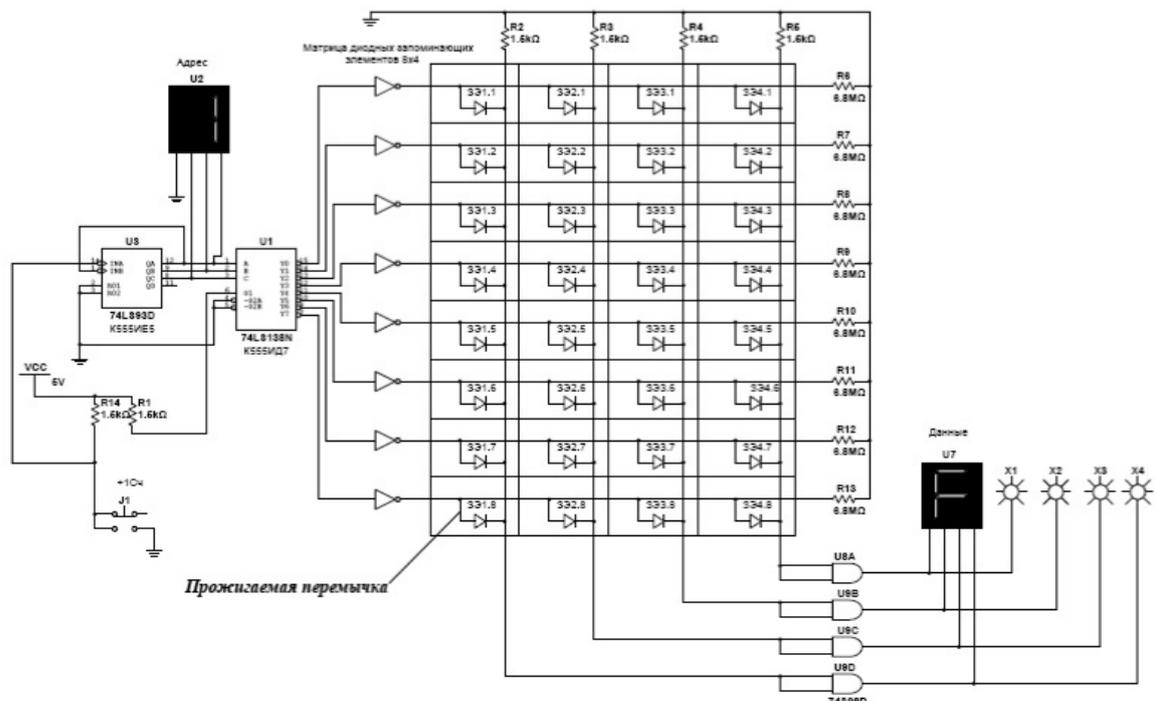
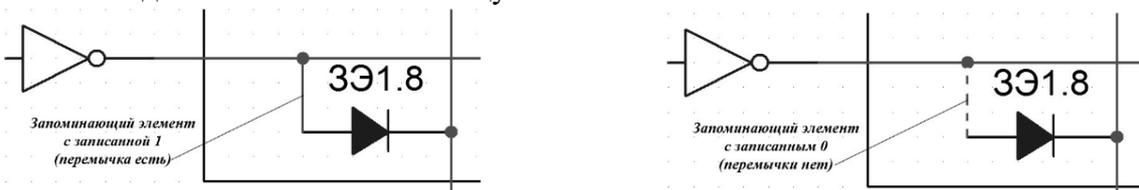


Рисунок 6. Схема исследования функционирования ПЗУ5.

2. Исследовать работу масочного ПЗУ провести в следующем порядке.

1) Произвести программирование ПЗУ согласно варианту индивидуального задания в таблице 2. Данные в задании записаны в 16-ном коде. ПЗУ в исходном состоянии по всем адресам содержит логические 1. Для записи логического 0 осуществляется уничтожением связи анода диода с адресной шиной. Проверить правильность программирования в следующем порядке. Последовательно нажимая кнопку +1Сч, перебрать все адреса ПЗУ и зафиксировать значения данных по каждому адресу. Скопировать скриншот схемы запрограммированного ПЗУ. Результаты исследования занести в таблицу 1.



а) запись логической единицы в 3Э

б) запись логического нуля в 3Э

Рисунок 7. Примеры записи 0 и 1 в запоминающий элемент

Таблица 1 -Результаты исследования режимов работы ПЗУ

Адрес	0	1	2	3	4	5	6	7
Данные								

Содержание отчёта

1. Цель работы.
2. Приборы и оборудование с краткими техническими характеристиками.
3. Выполнение рабочего задания по пунктам. В каждом пункте необходимо отразить: а) наименование раздела; б) схема исследования; в) таблицы результатов; г) скриншот схемы запрограммированного ПЗУ.
4. Выводы о проделанной работе.
5. Ответы на контрольные вопросы согласно таблицы А1 приложения А.

Контрольные вопросы

1. Чем отличается программирование ПЗУ на заводе-изготовителе и пользователем?

2. Какой способ организации (словарный или матричный) используется при построении ПЗУ?
3. Какой вид ЗЭ используется для хранения информации в ПЗУ?
4. Для хранения каких видов информации используются ПЗУ?
5. Через какой элемент схемы ПЗУ происходит адресная выборка ячейки памяти?
6. Каковы достоинства и недостатки РПЗУ по сравнению с ПЗУ?
7. Какие преимущества дает использование РПЗУ с электрическим стиранием информации по сравнению с РПЗУ с ультрафиолетовым стиранием?
8. Из чего состоит матрица ЗЭ ПЗУ КР556РТ4?
9. Каков объем матрицы памяти и из чего он складывается? Какой должна быть разрядность адреса?
10. Какие разряды адреса используются для непосредственного обращения к матрице памяти?
11. Для чего предназначен дополнительный дешифратор, на вход которого подаются младшие разряды адреса?
12. Сколько слов содержится в выбранной строке и чему равна разрядность каждого слова?
13. Каким образом происходит выбор одного из слов?

Варианты индивидуальных заданий

Вариант	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Адрес	Данные															
0	1	9	4	С	4	D	7	A	С	9	9	E	D	С	8	4
1	2	A	5	D	5	E	8	B	D	A	A	1	E	D	9	С
2	3	B	6	E	6	1	9	С	E	B	B	2	1	E	3	D
3	4	С	7	1	7	2	A	D	4	7	С	3	2	1	С	E
4	5	D	8	2	8	3	B	E	5	8	D	4	3	2	D	9
5	6	E	9	3	A	4	4	1	6	9	E	5	6	3	E	8
6	7	1	A	4	B	5	5	2	7	A	7	6	7	4	6	7
7	8	2	B	5	С	6	6	3	8	B	3	E	8	5	7	6

Практическое занятие №53. Изучение структуры и принципов работы постоянного запоминающего устройства (ПЗУ) с неизменяемой информацией.

Цель работы: изучение общих принципов построения ROM; приобретение навыков программирования PROM.

Практические сведения и методические рекомендации

Первое задание практической работы посвящено изучению структуры и принципов работы постоянного запоминающего устройства (ПЗУ) с неизменяемой информацией для отображения шестнадцатеричных символов на 7-сегментном индикаторе (см. рисунок 1.1).

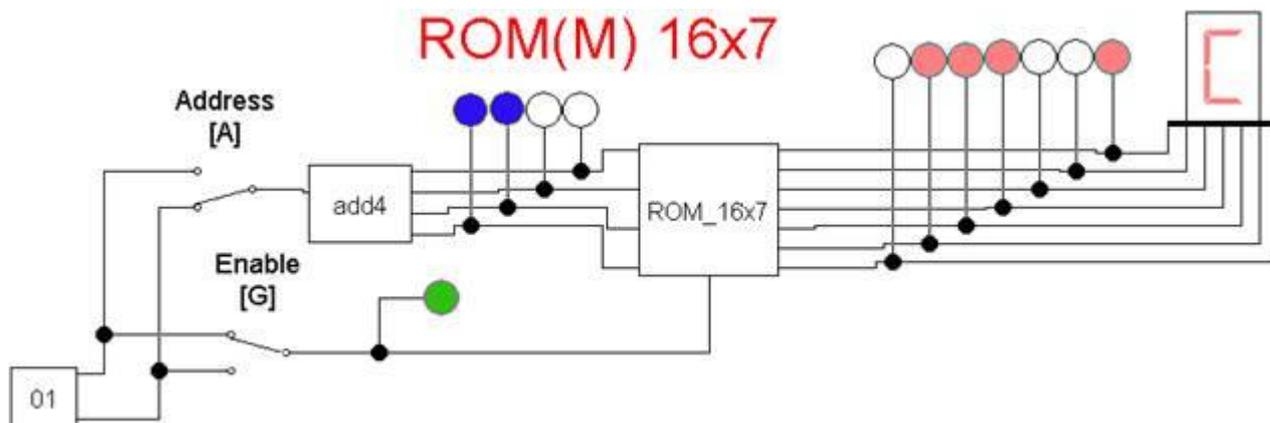


Рисунок 1.1

Блок ПЗУ (подсхема ROM_16x7) состоит из дешифратора на 16 выходов (микросхема 74154) и матрицы памяти с организацией 16x7, оформленных в виде подсхем с соответствующими наименованиями. Разрешение на работу дешифратора обеспечивается положительным уровнем сигнала от клавиши E (Enable). Адреса строк памяти (7-разрядных ячеек) формируются посредством 4-разрядного счетчика (подсхема add4).

Второе задание посвящено изучению структуры (см. рисунок 1.2) и принципов программирования (прошивки) заготовки микросхемы (в нашем случае подсхемы chip 16x7), где в исходном состоянии имеются все переключки в пересечениях шестнадцати горизонталей (выходных линии дешифратора) и семи вертикалей (разрядных линии).

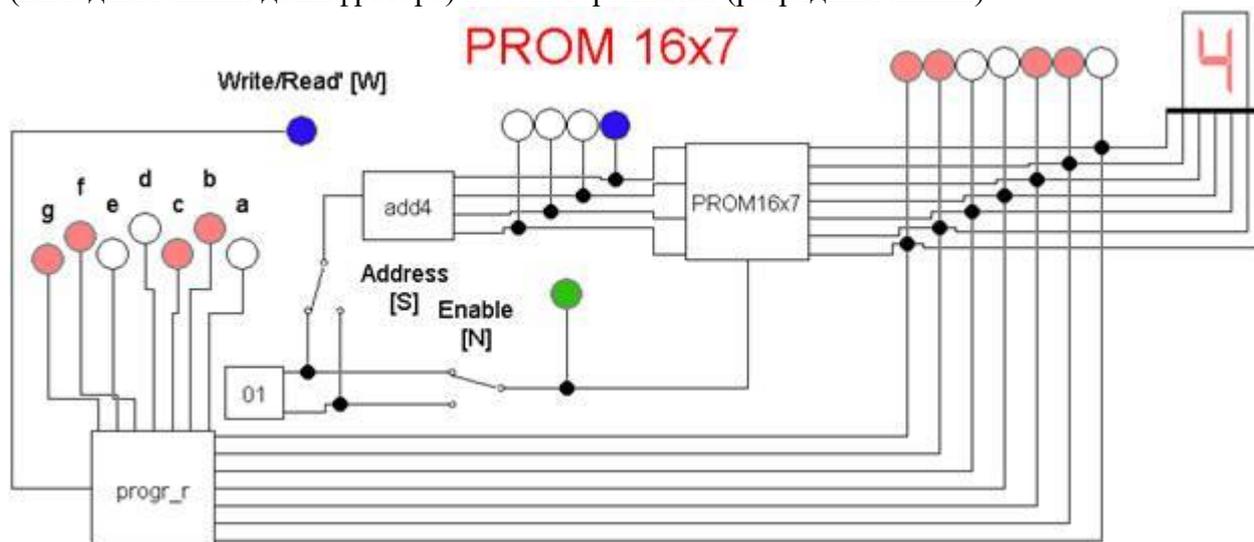


Рисунок 2

Программирование микросхемы осуществляется в следующем порядке:

- нажатием кнопки пуска (Activate simulation), активизировать схему;
- клавишей W (Write/Read) перевести установку в режим программирования (светится соответствующий светодиод);
- установить адрес программируемой строки матрицы памяти;
- подготовить информацию для программирования нажатием клавиш, соответствующих ликвидируемым сегментам предполагаемого к размещению на этой строке символа;
- кратковременным нажатием клавиши P (programming) обеспечить программирование строки (прошивку информации);
- восстановить исходные состояния клавиш сегментов;
- клавишей W (Write/Read) перевести установку в режим чтения информации и проверить прошитые в строках матрицы памяти информацию.

Следующие задания лабораторной работы, посвященные изучению различных структур систем памяти (2D, 3D, 2DM) и принципов их работы, выполняются на соответствующих моделях (см. рисунки 1.3-1.5).

Схема для исследования системы памяти по структуре 2D (см. рисунок 1.3) состоит из следующих блоков, оформленных в виде соответствующих подсхем:

- трехразрядный формирователь адреса (add3) на основе счетчика;
- четырехразрядный источник данных (data) на основе счетчика;
- система памяти RAM_8x4, в состав которой входят дешифратор на восемь выходов (dc8) и матрица запоминающих ячеек (8x4), содержащая 8 ячеек (rg4) на основе регистров. Каждый из ячеек матрицы памяти снабжен индикатором, что позволяет вести наблюдение за выбором ячейки памяти во время эксперимента.

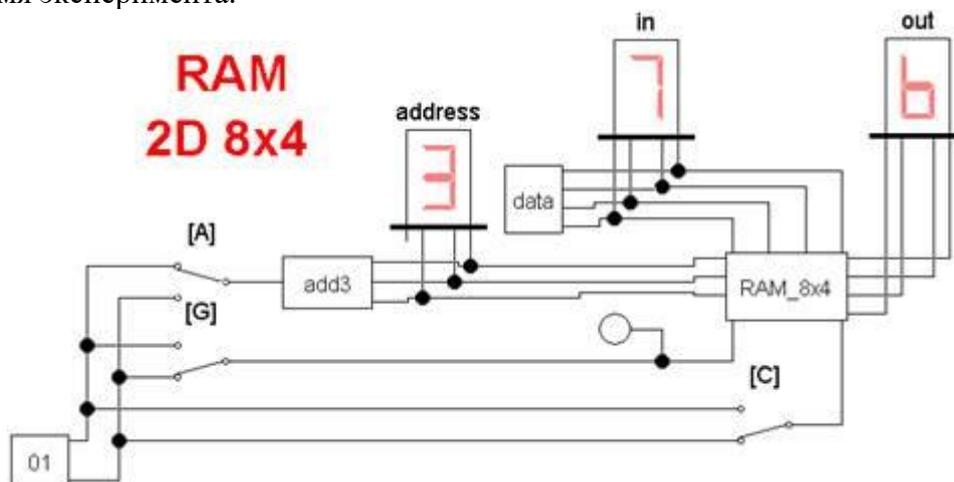


Рисунок 3

Схема для исследования системы памяти по структуре 3D (см. рисунок 1.4) состоит из следующих блоков, оформленных в виде соответствующих подсхем:

- четырехразрядный формирователь адреса (add4) на основе счетчика;
- четырехразрядный источник данных (data) на основе счетчика;
- система памяти RAM_16x4, в состав которой входят двоярный дешифратор (2dc4) и матрица запоминающих ячеек (16x4), содержащая 16 ячеек (rg4) на основе регистров.

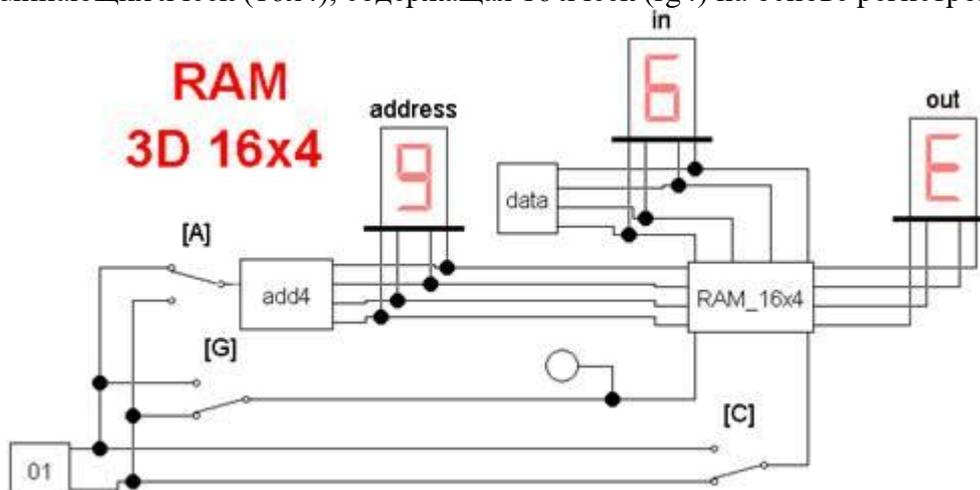


Рисунок 4

Схема для исследования системы памяти по структуре 2DM (см. рисунок 1.5) содержит в своем составе следующие блоки:

- блок памяти RAM_32x4 по структуре 2DM;
- блок подготовки данных Prepare;
- блок управления Control.

Блок памяти RAM_32x4 состоит из следующих подблоков:

- матрица элементов памяти 32x4;
- блок дешифрации строки dc8;
- блок выбора ячейки из строки (при чтении) mux4.

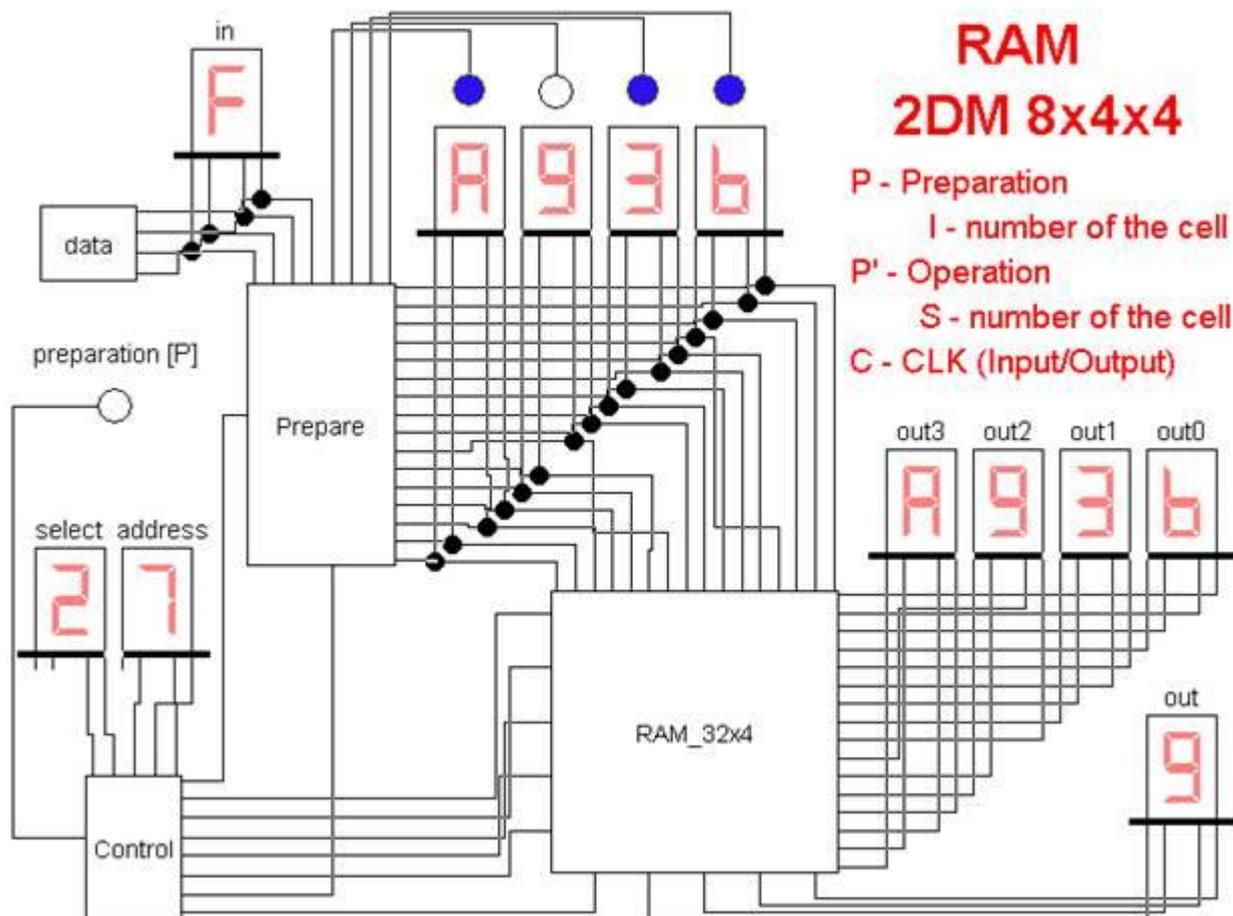


Рисунок 5

Матрица памяти 32x4 представляют собой (логически) 8 строк, в каждой из которых размещен блок cell_4x4, состоящая из четырех 4-разрядных ячеек памяти rg4. Физически блок памяти 32x4 реализован (с целью удобства соединения и обзора) в виде объединения двух блоков 16x4, составленных из четырех блоков cell_4x4. Каждый из внутренних блоков матрицы памяти 32x4 снабжен индикатором, что позволяет вести наблюдение за выбором строки и ячейки памяти во время эксперимента.

Блок dc8, предназначенный для выбора строки памяти, представляет собой дешифратор на восемь выходов.

Блок mux4, собранный на двух сдвоенных 4-входных мультиплексорах, позволяет выбрать ячейку из активизированной строки.

Блок Prepare предназначен для предварительной подготовки четырех 4-разрядных слов, предполагаемых для одновременной записи в одну из строк матрицы памяти. На этапе подготовки эти слова временно сохраняются во внутреннем блоке in_4, составленного из четырех 4-разрядных ячеек памяти in. Выбор одной из этих ячеек осуществляется с помощью дешифраторного блока dc4 и блока его адресации 0_3.

В блоке Control объединены управляющие клавиши и дополнительные элементы, обеспечивающие режимы работы устройства. Устройство может работать в трех режимах: подготовки данных для записи, записи и чтения.

Режим подготовки данных осуществляется следующим образом:

- клавишей P (Prepare) перевести устройство в режим подготовки данных (светится соответствующий индикатор);
- клавишей I (In) выбрать одну из четырех ячеек блока in_4 (указывает соответствующий индикатор);
- клавишей C (CLK) записать в эту ячейку одну из чисел, формируемых блоком данных data.

Перевод в режим записи/чтения осуществляется повторным нажатием клавиши P (индикатор гаснет).

В режиме записи:

- клавишей A выбрать необходимую строку матрицы памяти (указывает соответствующий 7-сегментный индикатор);
- клавишей C (CLK) записать подготовленные данные в выбранную строку матрицы памяти.

В режиме чтения:

- клавишей A выбрать необходимую строку матрицы памяти (указывает соответствующий 7-сегментный индикатор);
- клавишей S (Select) выбрать определенную ячейку из активизированной строки матрицы памяти (указывает соответствующий 7-сегментный индикатор).

Рабочее задание

1. Изучить принципы построения ROM и порядок работы с ним:
 - открыть файл ROM(M) 16x7.ewb, раскрыть подсистемы различных блоков (см. рисунок 4.1) и изучить их структуру;
 - изменяя адреса ячеек памяти клавишей A (Address), проверить записанную в соответствующих строках памяти информацию.
2. Изучить принципы построения PROM и порядок его программирования:
 - открыть файл PROM 16x7.ewb (см. рисунок 4.2), изучить структуру матрицы chip16x7 и устройство программатора (programmer), раскрыв соответствующие подсистемы;
 - запрограммировать строки матрицы памяти для отображения символов из следующего списка: L, J, H, P, S, U, -, _, e, n, q, r и др.
3. Изучить принципы построения системы памяти по структуре 2D:
 - открыть файл RAM 2D_8x4.ewb, где представлена схема для исследования системы памяти по структуре 2D и изучения принципа ее работы (см. рисунок 4.3). Раскрыть подсистемы блоков и изучить их структуру;
 - исследовать работу представленной системы памяти, записывая в ячейки определенную информацию и проверяя затем их сохранность.
4. Изучить принципы построения системы памяти по структуре 3D:
 - открыть файл RAM 3D_16x4.ewb, где представлена схема для исследования системы памяти по структуре 3D и изучения принципа ее работы (см. рисунок 4.4). Раскрыть подсистемы блоков и изучить их структуру;
 - исследовать работу представленной системы памяти, записывая в ячейки определенную информацию и проверяя затем их сохранность.
5. Изучить принципы построения системы памяти по структуре 2DM:
 - открыть файл RAM 2DM_32x4.ewb, где представлена схема исследования блока памяти по структуре 2DM (см. рисунок 2.3) и изучить структуру ее составных блоков, раскрывая их и изучая соответствующий пояснительный текст;
 - исследовать работу устройства памяти RAM_2DM, записав информацию во все строки матрицы, а затем проверить возможность считывания из конкретной ячейки памяти.

Контрольные вопросы

1. Назовите основные параметры запоминающих устройств.
2. В чем состоит назначение ROM?
3. Какие элементы памяти используются в различных типах ROM?
4. Как и кем программируются PROM?
5. В чем состоит различие EPROM и EEPROM?
6. Какая схемотехника элементов памяти обеспечивает максимальное быстродействие RAM?
7. В чем состоят принципы построения RAM с одномерной и двумерной адресацией?
8. Сравните преимущества и недостатки структур 2D и 3D.
9. Объясните принципы осуществления структуры памяти 2DM и ее основные достоинства по сравнению с остальными структурами.

Практическое занятие №54. Исследование работы репрограммируемого постоянного запоминающего устройства

Цель работы: исследование особенностей функционирования больших интегральных схем (БИС) репрограммируемых постоянных запоминающих устройств (РПЗУ) в режиме записи и считывания информации.

Основные теоретические положения

ПЗУ предназначены для длительного хранения информации многократного использования (константы, таблицы данных, стандартные программы и т.д.). Запись информации в ПЗУ производится в процессе их изготовления. ПЗУ функционируют только в режиме считывания и сохраняют информацию при отключении питания.

В отличие от ПЗУ программируемые ПЗУ позволяют пользователю производить однократную запись (программирование) информации по каждому адресу. Основным режимом работы ППЗУ также является режим считывания информации.

Исследуемые в настоящей работе РПЗУ сохраняют информацию при отключении источников питания, а также допускают возможность ее многократной перезаписи электрическими сигналами непосредственно самим пользователем, что имеет принципиальное значение при отладке тех или иных систем. В отличие от ОЗУ быстродействие этих устройств в режиме записи информации значительно ниже, чем в режиме считывания информации. В связи с этим можно считать, что основным режимом работы РПЗУ является режим считывания информации.

Основными определяющими параметрами запоминающих устройств являются информационная емкость и быстродействие. В качестве единицы измерения информационной емкости используются бит, представляющий собой один (любой) разряд двоичного числа. Часто используются производные единицы:

байт (1 байт = 8 бит);

Кбайт (1 Кбайт = 2^{10} байт);

Мбайт (1 Мбайт = 2^{20} байт) и др.

Информационная емкость записывается, как правило, в виде произведения

$C_{\text{инф}} = n \times m$, где

n - число двоичных слов;

m - разрядность слова.

Например, емкость ОЗУ типа K155PY1 составляет

$C_{\text{инф}} = 16 \times 1 \text{ бит} = 16 \text{ бит}$.

Емкость ППЗУ типа K155PE3 равна

$C_{\text{инф}} = 32 \times 8 \text{ бит} = 256 \text{ бит} = 32 \text{ байта}$.

Такая форма записи характеризует также и организацию памяти. Так, в приведенном примере ОЗУ типа K155PY1 содержит 16 слов с разрядностью 1, а ППЗУ типа K155PE3 содержит 32 слова с разрядностью 8.

Быстродействие запоминающего устройства характеризуется величиной времени обращения. Время обращения - это интервал времени от момента подачи сигнала записи или считывания информации до момента завершения операции, т.е. минимальный интервал времени между двумя последовательными сигналами обращения к запоминающему устройству. Это время может составлять от долей до единиц микросекунд в зависимости от типа устройства.

В качестве примера запоминающего устройства рассмотрим БИС РПЗУ типа KP1601PP1 информационной емкостью

$C_{\text{инф}} = 1 \text{ К} \times 4 = 4 \text{ Кбит}$ ($1 \text{ К} = 2^{10} = 1024$).

Условно-графическое обозначение микросхемы приведено на рис.1.

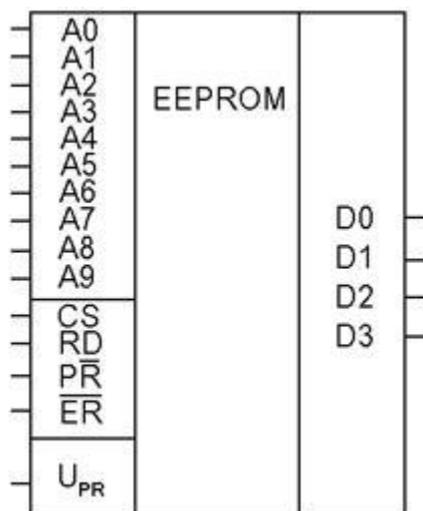


Рис.1

На рисунке использованы следующие обозначения:

A0...A9 - входы адреса

D0...D3 - входы / выходы данных

CS - выбор кристалла

RD - вход сигнала считывания

PR - вход сигнала программирования

ER - вход сигнала стирания

U_{PR} -вход напряжения программирования

Режимы работы микросхемы представлены в таблице 1.

Таблица 1

CS	ER	PR	RD	A0, A9	U _{PR}	D1/0	Режим
0	X	X	X	X	X	R _{off}	Хранение
1	0	1	0	X	-33, -31 В	X	Общее стирание
1	0	0	0	A	—//—	X	Избирательное стирание
1	1	0	0	A	—//—	D1	Запись данных
1	1	1	1	A	-33,5 В	D0	Считывание

В режиме хранения на вход С подается логический "0", при этом независимо от характера сигналов на других управляющих и адресных входах на выходах данных устанавливается высокоомное состояние (R_{off}).

При подаче CS = 1, ER = 0, PR = 1 и RD = 0 происходит стирание информации во всех ячейках памяти микросхемы, что соответствует для данной микросхемы установление всех ячеек в состояние логической "1".

При подаче сигналов CS = 1, ER = RD = 0 происходит избирательное стирание информации только по одному адресу А, установленному на входах А0 , А9 .

Для программирования ППЗУ на вход подается сигналы CS = 1 и PR = 0. При этом обеспечивается запись по заданному адресу А информации, поступившей на входы D0 , D3.

Для считывания информации по адресу А на вход микросхемы подаются сигналы CS = RD = 1. Считываемая информация поступает на выходы D0 , D3 микросхемы.

В режиме стирания и программирования на вход U_{PR} подается повышенное напряжение -33 , -31 В. В режиме считывания это напряжение может иметь любое значение в интервале от -33 В до 5 В.

Описание объекта и средств исследования

Функциональная схема исследуемого устройства представлена на рис.2.

Исследуемая микросхема запоминающего устройства ДД2 представляет собой ППЗУ с электрическим стиранием информации типа КР1601ПП1, рассмотренное выше.

Для задания кода адреса РПЗУ используются десять кнопок с фиксацией SA7...SA16. Отжатому состоянию кнопки соответствует сигнал логического "0", нажатому состоянию - сигнал логической "1" (при этом загорается соответствующий светодиод).

Данные для записи в РПЗУ формируются с помощью генератора пачки импульсов и счетчика СТ (ДД1). Число импульсов задается с помощью четырех кнопок с фиксацией на блоке К32 под надписью "Программатор СИ". Генератор запускается путем нажатия поочередно кнопок "Устан.0" и "Пуск". Число импульсов подсчитывается счетчиком, собранном на микросхеме типа К155ИЕ5, и в двоичном коде через шинный формирователь ВД подается на вход данных РПЗУ. При необходимости счетчик СТ может быть обнулен с помощью кнопки SA6.

Шинный формирователь ДДЗ выполняет функцию коммутатора, обеспечивающего заданную пересылку четырехразрядных слов данных. С этой целью в микросхеме ДДЗ предусмотрены три различные группы входов / выходов.

Входы DI предназначены для приема данных от внешних устройств (например, счетчика импульсов) и пересылки их в РПЗУ.

Выходы DO предназначены для передачи считываемых данных на блок индикации БИ2.

Выводы DI/O представляют собой входы или выходы микросхемы в зависимости от направления передачи данных.

При подаче на управляющий вход шинного формирователя Е сигнала логического "0" данные с входов DI подаются на выходы DI/O. При подаче на вход Е сигнала логической "1" данные с входов DI/O передаются на выход DO.

Блок формирования импульсов управления представляет собой устройство, формирующее сигнал управления работой РПЗУ.

В режиме "Общее стирание" БФИ формирует на входе ER РПЗУ сигнал логического "0". Сигнал формируется с помощью кнопки SA1 на блоке К32 путем перевода ее в нажатое состояние и обратно.

В режиме "Избирательное стирание" БФИ формирует на входах EP и RP РПЗУ сигналы логического "0". Сигналы формируются с помощью кнопки SA2 путем перевода ее в нажатое состояние и обратно.

В режиме "Запись информации" БФИ формирует сигналы логического "0" на входе PR РПЗУ и на входе Е шинного формирователя. Сигналы формируются с помощью кнопки SA3 путем перевода ее в нажатое состояние и обратно. Указанные сигналы формируются при условии, что одна из кнопок SA1 или SA2 находится в отжатом состоянии.

В режиме "Считывание информации" БФИ формирует сигнал логической "1" на входе RD РПЗУ и на входе Е шинного формирователя. Сигналы формируются с помощью кнопки SA4 путем перевода ее в нажатое состояние и обратно. Считывание информации производится из ячейки памяти с заданным адресом А. После считывания данные через шинный формирователь поступают на блок индикации БИ2.

Блок индикации БИ1, расположенный слева на передней панели блока К32, регистрирует число, находящееся в счетчике СТ2 (ДД1). Число представляется в десятичной форме с помощью двух семисегментных индикаторов (третьего и четвертого). Кнопка " Ю | 2", расположенная под индикатором, должна находиться в отжатом состоянии.

Блок индикации БИ2, расположенный на панели справа, регистрирует данные, считываемые из РПЗУ. Информация на блоке индикации может быть представлена как в двоичной, так и в десятичной форме,

Вышеуказанный ряд питающих напряжений, необходимый для функционирования исследуемого устройства, формируется с помощью блоков питания стенда. Для подачи необходимых напряжений соответствующие кнопки питания должны находиться в нажатом состоянии, что сопровождается свечением индикаторов "+5" , "+15" , "-15" , "-30".

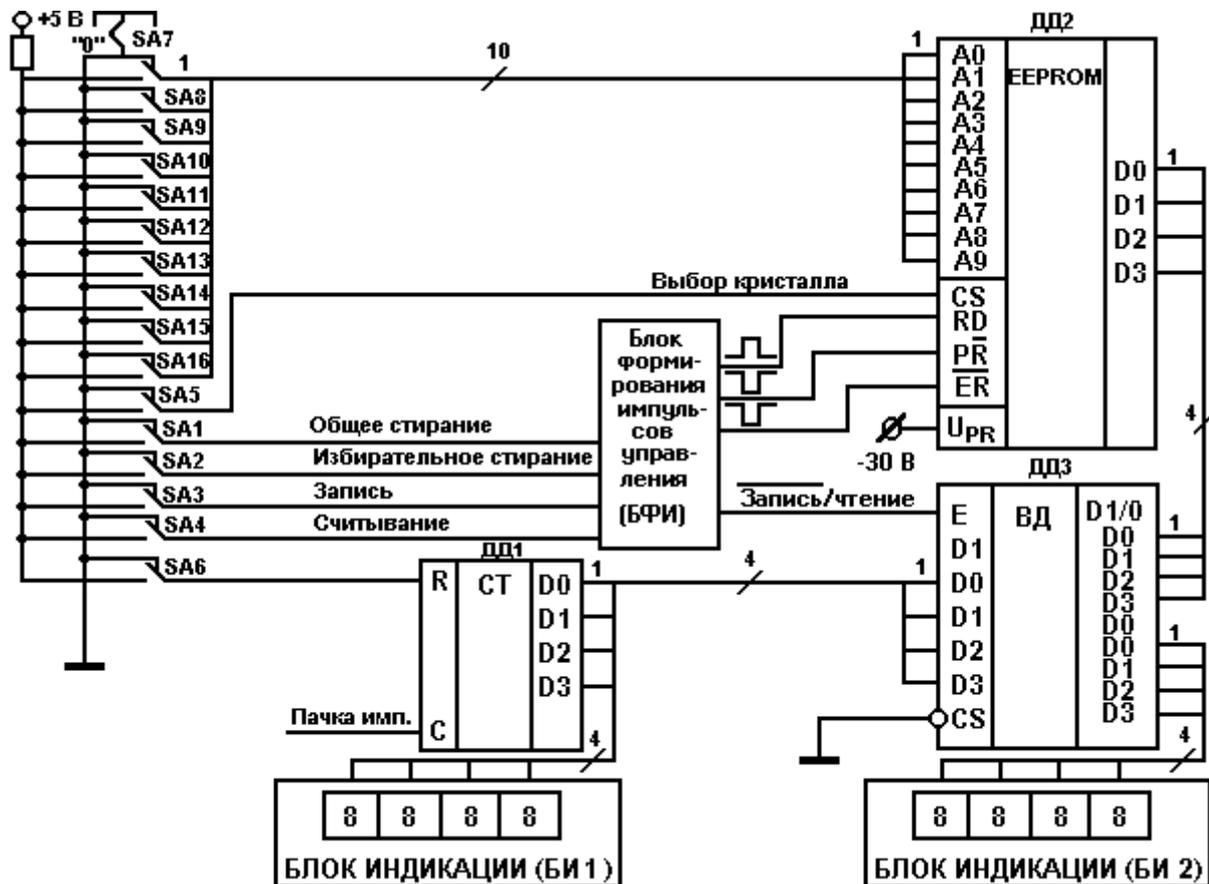


Рис.2

ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

Для исследования режимов работы РПЗУ подготовить исходную информацию в виде блока данных в двоичном коде и занести эти данные в таблицу (табл.2). Значения данных в десятичном коде предварительно согласовать с преподавателем.

Исследовать работу РПЗУ в режиме общего стирания информации.

Выполнить операции, указанные выше, и провести общее стирание информации в РПЗУ.

Провести считывание информации из РПЗУ по 8 последовательно расположенным адресам, начиная с адреса $A = 1$. Результаты измерений занести в таблицу (табл.2). Сделать выводы о работе РПЗУ в данном режиме.

Исследовать работу РПЗУ в режиме записи информации.

Выполнить операции, указанные ранее, и провести запись исходных данных по 8 последовательно расположенным адресам, начиная с адреса $A = 1$ в соответствии с табл.2

Таблица 2

№ п/п	Адрес	Исходные данные	Общее стир.	Запись	Избир. стир.	Общее стир.
1	0001					
2	0010					
3	0011					
4	0100					
5	0101					
6	0110					
7	0111					
8	1000					

Выполнить операции, указанные ранее, и провести считывание записанной в РПЗУ информации. Результаты измерений занести в таблицу (табл.2). Провести сравнение результатов записи с исходной информацией.

Исследовать работу РПЗУ в режиме избирательного стирания.

Выполнить операции, указанные ранее для первых 4-х адресов, начиная с адреса $A = 1$, проведя избирательное стирание информации по указанным адресам.

Провести считывание всего блока из 8-ми данных. Результаты считывания занести в таблицу (табл.2). Сделать выводы о работе РПЗУ в режиме избирательного стирания информации.

Провести общее стирание информации в РПЗУ, а затем повторное считывание исходного блока данных, начиная с адреса $A = 1$. Убедитесь, что информация в заданном массиве соответствует исходному состоянию и РПЗУ подготовлено к повторному программированию.

СОДЕРЖАНИЕ ОТЧЕТА

1. Название и цель работы.
2. Основные характеристики исследуемого РПЗУ.
3. Функциональная схема исследуемого устройства.
4. Таблица по п.4 и выводы о работе РПЗУ.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дайте определение основных видов запоминающих устройств.
2. Назовите отличительные особенности ОЗУ, ПЗУ, ППЗУ и РПЗУ.
3. Приведите основные параметры запоминающих устройств и единицы их измерения.
4. Объясните основные режимы работы РПЗУ.

Практическое занятие №55. Диагностика и обслуживание FLASH накопителей.

Цель работы: формирование умений нахождения неисправностей флэш – накопителя.

Теоретический материал

Флэш-память - разновидность ЭСППЗУ, ее полное название - Flash Erase EEPROM (Electrically Erasable Programmable ROM) - можно перевести как "электрически стираемое программируемое постоянное запоминающее устройство". Другими словами, флэш-память - это энергонезависимая (т.е. не потребляющая энергии при хранении данных) перезаписываемая (т.е. данные можно стереть и записать заново при помощи электрического тока) память, содержимое которой можно быстро стереть (Flash Erase).

Флэш-память - это полупроводниковая память. Ее элементарная ячейка, в которой хранится один бит информации, представляет собой не конденсатор, а полевой транзистор со специальной электрически изолированной областью, которую называют "плавающим затвором" (floating gate). Электрический заряд, помещенный в эту область, способен сохраняться в течение многих лет. При записи одного бита данных ячейка заряжается - заряд помещается на плавающий затвор, при стирании - заряд снимается с плавающего затвора и ячейка разряжается.

Преимущества флэш-памяти по сравнению с другими средствами переноса и хранения данных очевидны: высокая надежность и ударная прочность (результат отсутствия движущихся компонентов и простоты механической конструкции носителей и накопителей), малое энергопотребление, компактность. Однако у нее есть недостатки - ограниченное количество циклов перезаписи (от 10 тыс. до 1 млн.) и относительно медленная работа.

Флэш-память имеет несколько типов организации массива. Наибольшее распространение получила память типов И-НЕ (NAND), ИЛИ-НЕ (NOR). По архитектуре эти два типа имеют существенные различия.

Тип ИЛИ-НЕ (NOR) содержит ячейки, включенные параллельно друг другу и обеспечивает относительно быстрый произвольный доступ к данным, возможность побайтной записи информации. Однако, этот тип архитектуры имеет ячейки относительно большого размера, потому плохо масштабируется. Время стирания или записи гораздо больше, чем у других типов флэш-памяти.

Идеально подходит для хранения программ (BIOS, ПЗУ сотовых телефонов и т.д.), а так же для замены микросхем EEPROM.

Тип И-НЕ (NAND), содержит ячейки, включенные последовательно (гирляндой), между двумя линиями выборки. Группы ячеек объединяются в страницы. Страницы в блоки. Стоки разных транзисторов такой гирлянды находятся на разных страницах. Поэтому произвольный доступ к ячейкам не возможен. Чтение, запись осуществляются одновременно только в пределах одной страницы, а стирание, осуществляются одновременно только в пределах одного или нескольких блоков. Однако, осуществляется быстрее, чем у типа ИЛИ-НЕ. Стирание/запись блока происходят так же достаточно быстро.

Устройство. Основные элементы ФЛЭШ – установлены на многослойной плате РСВ

- USB разъём тип А;
- стабилизатор питания контроллера и флэш из 5 в 3,3 вольт;
- микросхема контроллера;
- микросхема энергонезависимой NAND памяти;
- кварцевый резонатор, обычно на 12 Mhz.



Рисунок 1 - Расположение основных элементов флэш-накопителя

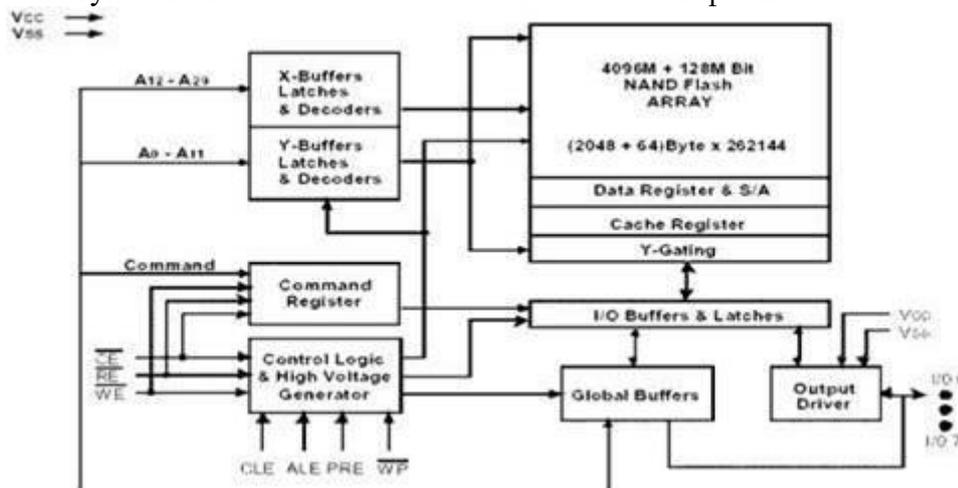


Рисунок 2 - Блок-схема flash накопителя

Элементы флэш-памяти назначение и симптомы их неисправности.

РСВ-многослойная печатная плата, на которой устанавливаются все элементы флэш. Типичные неисправности: некачественная пайка, внутренние обрывы проводников при механическом повреждении, удар, изгиб. Симптомы: нестабильная работа флэш.

USB разъём – некачественная пайка контактов.

Симптомы: флэш периодически не определяется.

Стабилизатор – конвертирует и стабилизирует напряжение поступающие с компьютера в напряжение необходимое для работы контроллера и флэш-памяти.

Симптомы: флэш не определяется совсем, или видно в системе как неопознанное устройство. Часто выходит из строя при переплюсовке USB разъёма.

NAND микросхема – энергонезависимая память. Симптомы: повреждение отдельных блоков памяти в связи со старением или по другим причинам, невозможность записи или чтения, лечится переформатированием фирменной утилитой с уменьшением общего размера флэш.

Контроллер – микросхема управления NAND памятью и передачи данных. В ней хранятся данные о типе микросхемы NAND, производителе и другая служебная информация необходимая

для функционирования флэш накопителя. Симптомы: флэш определяется как неизвестное устройство, нулевой или заниженный объем флэш памяти. Часто выходит из строя при «горячем» извлечении флэш. Обычно помогает перепрошивка контроллера фирменными утилитами.

Кварцевый резонатор – формирует опорную частоту для функционирования логики контроллера и флэш памяти. При поломке (что бывает крайне редко), флэш не определяется в системе.

Все неисправности флэш накопителей делятся на две группы:

- аппаратные
- программные

Аппаратные представлены как правило двумя основными видами:

Наиболее часто встречаются неисправности, связанные с механическими или электрическими повреждениями, вызванными нарушением правил эксплуатации устройства. Установив флэш в разъем на корпусе системного блока, пользователь по неосторожности зацепив ее рукой ломает разъем, зачастую вместе с печатной платой на которой распаяны микросхемы контроллера и собственно памяти. Печатная плата, несмотря на свою миниатюрность, четырехслойная и восстановить поврежденные дорожки во внутренних слоях невозможно.



Рисунок 3 - Внешний вид флэш-накопителя со сломанным разъемом

Вторая неисправность, которая часто встречается - это выгорание предохранителя или микросхемы стабилизатора питания. Происходит это чаще всего тогда, когда накопитель подключают к неправильно подключенному на материнскую плату USB-разъему, находящемуся на передней панели корпуса. Если вы не уверены в работоспособности этого разъема (на чужом компьютере, например), то лучше не полениться и подключить накопитель к разъему, распаянному непосредственно на материнскую плату сзади системного блока.



Рисунок 4 - Внешний вид флэш-накопителя со сгоревшим стабилизатором

Программные неисправности или так называемые «софтовые» проблемы. Это когда на накопителе нет видимых механических или электрических повреждений, но флэш определяется как неизвестное устройство, компьютер зависает при обращении к диску, неправильно определяется объем. Здесь опять, в первую очередь, надо определиться что важнее: исправность накопителя или данные на нем. Если система определяет накопитель как USB Storage device, но показывает, что его объем равен нулю или диск неотформатирован, или вместо списка файлов вы видите мешанину из символов, имеет смысл сначала воспользоваться программами восстановления данных, которые применяются для жестких дисков. Такими как R-Studio, Get Data Back или аналогичных. Как правило, если неприятность связана с некорректной таблицей разделов или ошибками файловой системы, эти программы позволяют скопировать информацию. Если же такой способ не дал результатов, а данные жизненно необходимы, то имеет смысл задуматься о пересадке микросхемы памяти на другой исправный носитель. Неправильная запись (логические

нарушения) происходит из-за сбоев компьютера, неправильного извлечения устройства или исчерпания ресурса на запись микросхемы flash.

Задания на практическую работу

1. Описать характеристики флэш-накопителя

Таблица 1

Характеристики флэш-накопителя

Характеристика	Значение
Объём flash накопителя	
Скорость записи данных	
Скорость чтения данных	

2. Напишите типы и классы данных флэш-накопителей:

SD (Secure Digital)-miniSD и microSD (TransFlash)

SDHC (Secure Digital High Capacity)

SDXC (Secure Digital eXtended Capacity)

Контрольные вопросы

1. Дайте определение назначению флэш-накопителям?
2. Из каких частей состоит флэш-накопитель?
3. Как работает флэш-память?
4. Какие основные неисправности вы знаете?

Практическое занятие №56. Принципы работы кэш-памяти.

Цель работы: проверить работу различных алгоритмов замещения при различных режимах записи.

Задание

В качестве задания предлагается некоторая короткая "программа" (табл. 2), которую необходимо выполнить с подключенной кэш-памятью (размером 4 и 8 ячеек) в шаговом режиме для следующих двух вариантов алгоритмов замещения (табл. 1).

Таблица 1

Номера вариантов	Режим записи	Алгоритм замещения
1, 7, 11	Сквозная	СЗ, без учета бита записи
	Обратная	О, с учетом бита записи
2, 5, 9	Сквозная	БИ, без учета бита записи
	Обратная	О, с учетом бита записи
3, 6, 12	Сквозная	О, с учетом бита записи
	Обратная	СЗ, с учетом бита записи
4, 8, 10	Сквозная	БИ, без учета бита записи
	Обратная	БИ, без учета бита записи

Таблица 2

№ варианта	Номера команд программы						
	1	2	3	4	5	6	7
1	RD #12	WR 10	WR @10	ADD 12	WR R0	SUB 10	PUSH R0
2	RD #65	WRR2	MOV R4, R2	WR 14	PUSH R3	POP R3	CALL 002
3	RD #16	SUB #5	WR 9	WR @9	WR R3	PUSH R3	POP R4
4	RD #99	WR R6	MOV R7, R6	ADD R7	PUSH R7	CALL 006	POP R8
5	RD #11	WR R2	WE-@R2	PUSH R2	CALL 005	POP R3	RET
6	RD #19	SUB #10	WR9	ADD #3	WR @9	CALL 006	POP R4
7	RD #6	CALL 006	WR11	WRR2	PUSH R2	RET	JMP 002
8	RD #8	WRR2	WR@R+	PUSH R2	POP R3	WR-@R3	CALL 003
9	RD #13	WR14	WR@14	WR@13	ADD 13	CALL 006	RET
10	RD #42	SUB #54	WR16	WR@16	WRR1	ADD @R1+	PUSH R1
11	RD #10	WRR5	ADD R5	WRR6	CALL 005	PUSH R6	RET
12	JMP 006	RD #76	WR 14	WRR2	PUSH R2	RET	CALL 001

Не следует рассматривать заданную последовательность команд как фрагмент программы. Некоторые конструкции, например, последовательность команд PUSH R6, RET в общем случае не

возвращает программу в точку вызова подпрограммы. Такие группы команд введены в задание для того, чтобы обратить внимание студентов на особенности функционирования стека.

Порядок выполнения работы

1. Ввести в модель учебной ЭВМ текст своего варианта программы (см. табл. 2), ассемблировать его и сохранить на диске в виде txt-файла.
2. Установить параметры кэш-памяти размером 4 ячейки, выбрать режим записи и алгоритм замещения в соответствии с первой строкой своего варианта из табл. 13.
3. В шаговом режиме выполнить программу, фиксируя после каждого шага состояние кэш-памяти.
4. Для одной из команд записи (WR) перейти в режим **Такт** и отметить, в каких микрокомандах происходит изменение кэш-памяти.
5. Для кэш-памяти размером 8 ячеек установить параметры в соответствии со второй строкой своего варианта из табл. 13 и выполнить программу в шаговом режиме еще раз, фиксируя последовательность номеров замещаемых ячеек кэш-памяти.

Содержание отчета

1. Вариант задания — текст программы и режимы кэш-памяти.
2. Последовательность состояний кэш-памяти размером 4 ячейки при однократном выполнении программы (команды 1—7).
3. Последовательность микрокоманд при выполнении команды wr с отметкой тех микрокоманд, в которых возможна модификация кэш-памяти.
4. Для варианта кэш-памяти размером 8 ячеек — последовательность номеров замещаемых ячеек кэш-памяти для второго варианта параметров кэш памяти при двукратном выполнении программы (команды 1—7).

Контрольные вопросы

1. В чем смысл включения кэш-памяти в состав ЭВМ?
2. Как работает кэш-память в режиме обратной записи? Сквозной записи?
3. Как зависит эффективность работы ЭВМ от размера кэш-памяти?
4. В какую ячейку кэш-памяти будет помещаться очередное слово, если свободные ячейки отсутствуют?
5. Какие алгоритмы замещения ячеек кэш-памяти вам известны?

Практическое занятие №57. Расчет параметров запоминающего устройства (ЗУ) по заданной интегральной микросхеме (ИМС).

Цель работы: освоить расчет параметров запоминающего устройства (ЗУ) по заданной интегральной микросхеме (ИМС).

Краткие теоретические сведения

Память является основным элементом любой ЭВМ. Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими цифровыми устройствами. Обычно применяется иерархическая система ЗУ, т.е. используется несколько видов ЗУ разного объема и быстродействия. Информация распределяется по ЗУ в зависимости от частоты ее использования. В наиболее развитой иерархии памяти ЭВМ можно выделить следующие уровни:

- 1) регистровые ЗУ, находящиеся в составе процессора или других устройств (т. е. внутренние для этих блоков);
- 2) кэш-память, служащая для хранения копий информации, используемой в текущих операциях обмена. Высокое быстродействие кэш-памяти повышает производительность ЭВМ;
- 3) основная память (оперативная, постоянная, полупостоянная), работающая в режиме непосредственного обмена с процессором и по возможности согласованная с ним по быстродействию. Исполняемый в текущий момент фрагмент программы обязательно находится в основной памяти;

4) внешняя память, хранящая большие объемы информации. Эта память обычно реализуется на основе устройств с подвижным носителем информации (магнитные и оптические диски, магнитные ленты и др.);

5) специализированные виды памяти, характерные для некоторых специфических архитектур (многопортовые, ассоциативные, видеопамять и др.).

Устройства памяти микропроцессорной системы (МПС) могут быть внешними (винчестер, дисковод, CD-ROM и т.д.) и внутренними (ОЗУ, ПЗУ). Внутренняя память МПС, которая может быть: постоянной (ROM) или ПЗУ, оперативной (RAM) или ОЗУ.

В свою очередь ПЗУ по способу записи/перезаписи информации различаются следующим образом: ПЗУ – постоянные запоминающие устройства, в основу которых положены диодные матрицы. Матрицы прожигаются на заводе-изготовителе, пользователь ничего изменить не может. При подаче $U > U_{доп}$ диод сгорает, остается переключатель; при сгоревшем диоде $U_{узла} = 0$; при функционирующем диоде $U_{узла} = 1$; ППЗУ – перепрограммируемые ПЗУ (матрицы поставляются пользователю с уровнем 1 во всех узлах, пользователь может только один раз прожечь матрицу по своей программе); РПЗУ репрограммируемые (т.е. многократно программируемые) ПЗУ.

Оперативные запоминающие устройства ОЗУ могут быть динамическими (DRAM) и статическими (SRAM). Статические ОЗУ, построенные на триггерных ячейках, хранят информацию после считывания и регенерации не требуют, имеют высокое быстродействие, хотя и существенно дороже динамических ОЗУ. Современные схемы ОЗУ сочетают в себе обе технологии (SDRAM).

Основные параметры ЗУ:

1. Разрядность слова – n (определяется числом выходов микросхемы).

2. Число слов (ЯП – ячеек памяти для хранения одного двоичного слова) – N . $N = 2^m$, где m – число адресных входов. На рис. 1 представлена организация памяти N слов на n разрядов (битов).



Рисунок 1 - Организация памяти N слов на n разрядов

3. Информационная емкость M определяется произведением числа слов N и на разрядность n ; $M = N \times n$. Измеряется в битах, байтах, килобайтах и т.д.

4. Организация памяти определяется количеством хранимых слов и их разрядностью: $N \times n$. Микросхемы ОЗУ обычно выпускают одноразрядной организации ($N \times 1$), ПЗУ – многоразрядной ($N \times n$).

5. Быстродействие оценивается временем выборки $t_{в}$ – промежутком времени между подачей сигнала считывания и до появления данных на выходе; лежит в пределах от единиц до сотен нс.

Остальные параметры ИМС ЗУ определяются типом серии.

Задание

Рассчитать параметры запоминающего устройства (ЗУ) по заданной интегральной микросхеме (ИМС). Исходные данные (табл. 1) выбраны из справочника.

Таблица 1

Вариант	Тип микро-схемы	Тип ЗУ	Исходные параметры
1	2	3	4
1	K155ПЗ	Статическое ОЗУ	16(8×2)
2	KM155PY2	Статическое ОЗУ	64(16×4)
3	K500PY145	Статическое ОЗУ	64(16×4)
4	K561PY2A	Статическое ОЗУ	256(256×1)
5	KP565PY1A	Динамические ОЗУ	4К(4К×1)
6	KP565PY6Б	Динамические ОЗУ	16К(16К×1)
7	KP565PY5Б	Динамические ОЗУ	64К(64К×1)
8	K155PE21	ПЗУ, программируемые маскированием	1К(256×4)
9	KP568PE1	ПЗУ, программируемые маскированием	16К(2К×8)
10	K569 PE1	ПЗУ, программируемые маскированием	64К(8К×8)

Порядок выполнения

Рассчитать параметры ЗУ по заданным схемам ИМС: ОЗУ – K651PY2 256, емкость, организация – 256 (256×1); $n = 1$, $N = 2^m = 256$, $m = 8$, $M = 28 \times 1 = 256$ бит. Пример расчета представлен в таблице 2.

Таблица 2

Тип микросхем	Тип запоминающего устройства (ЗУ)	Исходные параметры	Расчетные параметры ЗУ
1	2	3	4
K651PY2	ОЗУ	256(256×1)	$n = 1,$ $N = 2^m = 256,$ $m = 8,$ $M = 2^8 \times 1 = 256$ бит

Содержание отчета

1. Номер, название темы практического занятия.
2. Цель практического занятия.
3. Результаты выполнения работы: построение таблицы «Расчет параметров по заданной ИМС» (табл. 2).
4. Выводы по работе.

Контрольные вопросы

1. Назовите устройства памяти микропроцессорной системы (МПС).
2. Скажите, для чего предназначена память RAM.
3. Скажите, для чего предназначена память ROM.
4. Объясните разницу между ПЗУ и ОЗУ.
5. Назовите основные параметры ЗУ.
6. Расскажите, как определить число адресных входов, если известно число слов (ЯП).
7. Скажите, чему равна информационная емкость.

Практическое занятие №58. Изучение ГОСТ на производство и эксплуатацию вычислительной техники.

Цель работы: рассмотреть ГОСТЫ на производство и эксплуатацию вычислительной техники

Теоретическая часть

Гост 21552-84-Межгосударственный стандарт средства вычислительной техники «Общие технические требования, приемка, методы испытаний, маркировка, упаковка, транспортирование и хранение», дата введения 01.01.86.

СОДЕРЖАНИЕ:

1. Общие технические требования.
2. Приемка.
3. Методы испытаний.
4. Маркировка, упаковка, транспортирование и хранение.

Приложение 1. Общие требования к программе обеспечения надежности (ПОН) СВТ.

Приложение 2. Перечень технических потребительских параметров СВТ, подлежащих сертификационным испытаниям.

Настоящий стандарт распространяется на стационарные средства вычислительной техники (СВТ), применяемые в автоматизированных системах управления различного назначения всех уровней, в системах обработки данных, сетях ЭВМ, на вычислительных центрах автономно, а также встраиваемые в машины, оборудование и приборы, и предназначенные для сбора, подготовки, ввода, накопления, обработки, вывода, отображения, приема и передачи информации, и устанавливает требования к СВТ, изготовляемым для народного хозяйства и экспорта. Требования пп. 1.1, 1.2.2, 1.3.1, 1.3.2, 1.4.1, 1.4.2, 1.5.6, 1.5.7, 1.5.8, 1.5.9, 1.5.11, 1.6, 1.7, 1.8, 4.3, 4.5, 4.8, 4.9, 4.10, 4.11 настоящего стандарта являются обязательными, другие требования настоящего стандарта -рекомендуемыми. Требования пп. 1.5.11, 1.8.1, 1.8.7, 1.8.8 являются обязательными при проведении сертификационных испытаний.

Перечень технических потребительских параметров, из которых могут составляться наборы требований для конкретных СВТ, подлежащих сертификационным испытаниям, приведен в приложении 2. В ГОСТе приведены требования:

1. Общие технические требования.
- 1.2 Требования назначения.
- 1.3 Требования стойкости к внешним воздействиям.
- 1.4 Требования к надежности.
- 1.5 Требования к конструкции.
- 1.6 Требования к символам, кодам, единицам и форматам данных.
- 1.7 Требования к электропитанию, электрической прочности и сопротивлению изоляции.
- 1.8 Требования безопасности.
- 1.9 Требования к комплектности.
- 1.10 Основные параметры и технические требования, такие как:

-возможность агрегатирования с другими СВТ;
-система кодирования информации;
-потребляемая мощность;-габаритные размеры и (или) занимаемая площадь;
-удельная энергоемкость (при необходимости) должны быть установлены в стандартах и (или) ТУ на конкретные СВТ.

1.11 Дополнительные требования к СВТ, в том числе конкретные требования для экспорта, должны быть установлены в стандартах и (или) ТУ на конкретные СВТ, согласованные с заказчиком в установленном порядке.

2. Требования по приемке.
3. Методы испытаний.
4. Маркировка, упаковка, транспортирование и хранение.

Приложение 1 справочное - Общие требования к программе обеспечения надежности (ПОН) СВТ.

Перечень технических потребительских параметров* СВТ, подлежащих сертификационным испытаниям

*Параметры устанавливаются в стандартах и других технических документах, утвержденных в установленном порядке.

1. Безопасность.
 - 1.1. Электробезопасность.
 - 1.2. Механическая безопасность.

- 1.3. Пожаробезопасность.
2. Санитарно-гигиенические нормы и правила.
 - 2.1. Шумы.
 - 2.2. Электромагнитное излучение.
 - 2.3. Качество изображения.
 - 2.4. Психологические воздействия.
3. Электромагнитная совместимость(ЭМС).
 - 3.1. Индустриальные радиопомехи.
 - 3.2. Восприимчивость к индустриальным радиопомехам (помехозащищенность, иммунитет).
4. Защита информации.
5. Совместимость.
 - 5.1. Интерфейс.

Информационные данные о ГОСТе.

РАЗРАБОТАН И ВНЕСЕН Государственным комитетом СССР по стандартам.

РАЗРАБОТЧИКИ А. А. Волобуев, В. В. Васютович, В. В. Бальчевский, И. З. Толкачева, К. С. Ораевский, Б. В. Соколов, Н. В. Ощепкова, Л. И. Рожкова, З. И. Озембловская, С. Н. Глузд, И. П. Вахлаков, В. М. Сомкин, В. А. Шевяков, В. Ф. Иванов

УТВЕРЖДЕН И ВВЕДЕН В ДЕЙСТВИЕ Постановлением Государственного комитета СССР по стандартам от 28.06.84 № 2206.

Стандарт соответствует СТ СЭВ 3185-81 в части технических средств Единой системы электронных вычислительных машин и системы малых электронных вычислительных машин.

ВЗАМЕН ГОСТ 21552-765.

ССЫЛОЧНЫЕ НОРМАТИВНО-ТЕХНИЧЕСКИЕ ДОКУМЕНТЫ

Обозначение НТД, на который дана ссылка	Номер пункта, подпункта	Обозначение НТД, на который дана ссылка	Номер пункта, подпункта
ГОСТ 2.601-95	1.9.4; 3.46	ГОСТ 15029-69	1.6.6
ГОСТ 9.014-78	4.5	ГОСТ 16330-85	1.6.7
ГОСТ 12.1.002-84	1.8.9; 3.43а	ГОСТ 16842-82	3.31
ГОСТ 12.1.004-91	1.8.5	ГОСТ 18242-72	2.3.1; 2.4.1
ГОСТ 12.2.049-80	1.5.7	ГОСТ 19768-93	1.6.2
ГОСТ 12.3.019-80	3.10	ГОСТ 20731-86	1.6.6
ГОСТ 15.001-88	2.1	ГОСТ 23511-79	1.5.11; 3.31
ГОСТ 19.101-77	1.9.4; 3.46	ГОСТ 24297-87	1.5.12
ГОСТ 19.501-78	3.46	ГОСТ 24812-81	3.12
ГОСТ 19.502-78	3.46	ГОСТ 24813-81	3.12
ГОСТ 19.503-79	3.46	ГОСТ 25122-82	1.5.3
ГОСТ 19.508-79	3.46	ГОСТ 25752-83	1.6.6
ГОСТ 26.010-80	1.2.3	ГОСТ 25764-83	1.6.6
ГОСТ 26.011-80	1.2.3	ГОСТ 25861-83	1.8.1; 3.10; 3.41; 4.3
ГОСТ 26.013-81	1.2.3	ГОСТ 26329-84	1.8.7; 3.42
ГОСТ 26.014-81	1.2.3	ГОСТ 26828-86	3.48; 4.2
ГОСТ 3044-84	1.2.3	ГОСТ 27243-87	3.42
ГОСТ 10860-83	1.6.5	ГОСТ 27463-87	1.6.2
ГОСТ 12969-67	4.1	ГОСТ 27464-87	1.6.2; 1.6.6
ГОСТ 12971-67	4.1	ГОСТ 27465-87	1.6.1; 3.32
ГОСТ 13109-97	1.7.1	ГОСТ 27466-87	1.6.2; 3.33
ГОСТ 14192-96	4.8	ГОСТ 27818-88	1.8.8; 3.43

ПЕРЕИЗДАНИЕ (октябрь 1999 г.) с Изменениями №1, 2, 3, утвержденными в июне 1987 г., ноябре 1988 г., декабре 1990 г. (ИУС 9-87, 2-89, 4-91).

Содержание отчета

1. Название работы.
2. Цель работы.
3. Используемые материалы.
4. Отчет о работе.
5. Выводы

Практическое занятие №59. Оформление комплекта конструкторской документации.

Цель работы: изучить общие положения ЕСКД. Изучить комплектность конструкторской документации.

Общие положения Единой системы конструкторской документации

К конструкторским документам относят графические (чертежи и схемы) и текстовые (спецификации, технические условия, пояснительные записки и т.п.) документы, которые в отдельности или в совокупности определяют состав и устройство изделия и содержат необходимые данные для его разработки, изготовления, контроля, приемки, эксплуатации и ремонта. Документы в зависимости от стадии разработки подразделяются на проектные и рабочие. К первым относятся техническое предложение, эскизный и технический проекты. Рабочая документация составляется на детали, сборочные единицы, комплексы и комплекты и предназначены непосредственно для изготовления, ремонта, эксплуатации изделия.

Комплектность конструкторских документов

Комплектность конструкторских документов для каждой стадии разработки конструкторской документации устанавливают ГОСТ 2.102—68, 2.118—73 ...2.120—73, 2.601—68 и техническое задание на разрабатываемое изделие. Так, на стадии разработки рабочей документации обязательными являются документы:

- чертеж детали, содержащий изображение детали и другие данные, необходимые для ее изготовления и контроля;
- сборочный чертеж (СБ), содержащий изображение сборочной единицы и другие данные, необходимые для ее сборки и контроля;
- спецификация — документ, определяющий состав сборочной единицы, комплекса или комплекта.

К обязательным проектным документам относятся следующие:

1. ведомости технического предложения (ПТ), эскизного проекта (ЭП), технического проекта (ТП) — перечни соответствующих документов;
2. пояснительная записка (ПЗ);
3. чертеж общего вида. Определяет конструкцию изделия, взаимодействие его основных составных частей и поясняет принцип работы изделия (включая форму деталей и характерные размеры, которые облегчают уяснение формы элементов деталей, например обозначение диаметра для деталей круглой формы); на нем указывают посадки — предельные отклонения сопрягаемых поверхностей; сопровождается техническими требованиями к изделию (например, по покрытию, пропитке обмоток, методам сварки); содержит технические характеристики (например, модуль зубчатого зацепления и числа зубьев колес), необходимые для разработки рабочих чертежей.

Чертеж должен содержать сведения о составных частях изделия в таблице, выполненной на том же листе или на отдельных листах формата А4, обозначаемых как последующие листы того же чертежа. Конструктор составляет таблицу по своему усмотрению; рекомендуется вести запись последовательно: изделия заимствованные, покупные, вновь разрабатываемые. Можно приводить соответствующие сведения на полках линий-выносок или оформлять их в виде спецификаций.

Чертеж общего вида является обязательным документом только на этапе «Технический проект» и необязателен на этапах «Техническое предложение» и «Эскизный проект».

По усмотрению заказчика при проектировании разрабатывают:

1. графические конструкторские документы и схемы (преимущественно на рабочей стадии и не обязательно на проектной):
 - габаритный чертеж (ГЧ) — контурное (упрощенное) изображение изделия с габаритными, установочными и присоединительными размерами;
 - электромонтажный чертеж (МЭ) — документ, содержащий данные, необходимые для выполнения электрического монтажа изделий;
 - монтажный чертеж (МЧ) — контурное (упрощенное) изображение изделия с данными для его установки (монтажа) на месте применения;

- упаковочный чертеж (УЧ) — документ, содержащий данные, необходимые для выполнения упаковывания изделия;
 - схемы — документы, на которых показаны в виде условных изображений или обозначений составные части изделия и связи между ними;
2. текстовые документы:
- технические условия (ТУ) — требования к изделию, его изготовлению, контролю, приемке и поставке (ГОСТ 2.114—70);
 - патентный формуляр (ПФ) — сведения о патентной чистоте изделия и отечественных изобретениях, использованных при его разработке (ГОСТ 15.012-84);
 - карта технического уровня и качества изделия (КУ) — данные, определяющие уровень качества изделия, соответствие его технических и экономических показателей достижениям науки и техники и потребностям народного хозяйства (ГОСТ 2.116—84);
 - инструкция (И) — документ, содержащий указания и правила, используемые при изготовлении изделия (сборке, регулировке, контроле, приемке и т.п.);
 - ведомости: спецификаций (ВС), ссылочных документов (ВД), покупных изделий (ВП), согласования применения изделий (ВИ), держателей подлинников (ДП), технического предложения (ПТ), эскизного проекта (ЭП), технического проекта (ТП);
 - таблицы (Т), расчеты (РР), документы прочие (Д ...), программа, методика испытаний (ПМ);
 - документы эксплуатационные (ГОСТ 2.601—68) для изучения изделия и правил его эксплуатации (применение, техническое обслуживание, транспортирование, хранение): техническое описание (ТО), инструкция по эксплуатации (ИЭ), инструкция по техническому обслуживанию (ИО); инструкция по монтажу, пуску, регулированию изделия на месте его применения (ИМ), формуляр (ФО), паспорт (ПС), этикетка (ЭТ), ведомость эксплуатационных документов (ЭД). Служат для сообщения потребителю гарантированных предприятием-изготовителем технических параметров и для ведения им учета технического состояния и эксплуатации изделия.

Ведомости ЗИП (комплекта запасных изделий и приборов) составляют по мере необходимости.

Общие требования к текстовым документам, формы и правила их выполнения содержатся в ГОСТ 2.105—79 (СТ СЭВ 2667—80), 2.106—68.

ГОСТ 19.101—77 «ЕСПД. Виды программ и программных документов» (СТ СЭВ 1626—79), а также РМ 11 091.901—79 «Система автоматизированного проектирования изделий электронной техники. Программное обеспечение вычислительных машин. Требования к программным документам» устанавливают виды программных документов, их содержание и требования к оформлению. Основные из них:

- спецификация — состав программы и документация на нее. Выполняется на каждую программу (форма спецификации приведена на рис. 1, а). Спецификация должна состоять из разделов: документация; входящие программы. Наименование каждого раздела указывают в виде заголовка в графе «Виды документов» и подчеркивают. В разделе «Документация» указывают программные документы на данную программу и входящие программы, кроме спецификации, в алфавитном порядке кодов предприятий-разработчиков и далее в порядке возрастания цифровой части обозначения. В разделе «Входящие программы» указывают данную программу и программы, непосредственно в нее входящие;
- текст программы — запись программы с необходимыми комментариями;
- описание программы — сведения о логической структуре и функционировании программы. Текст документа должен содержать разделы: вводная часть, функциональное назначение, описание логики программы;
- техническое задание, определяющее назначение и область применения программы, технические, технико-экономические и специальные требования, предъявляемые к программе, необходимые стадии и сроки разработки, виды испытаний;
- программа и методика испытаний — требования, подлежащие проверке при испытании программы, а также порядок и методы контроля выполнения этих требований;

- пояснительная записка — схема алгоритма, общее описание алгоритма и (или) функционирования программы, а также обоснование принятых технических и технико-экономических решений;
- ведомость эксплуатационных документов — перечень указанных документов на программу (форма ведомости приведена на рис. 1, б) — содержит разделы «Документация», «Перечень папок»;
- формуляр — основные характеристики программы, комплектность и сведения об эксплуатации программы. Содержит общие указания, общие сведения, основные характеристики, комплектность, периодический контроль основных характеристик при эксплуатации и хранении, свидетельство о приемке, свидетельство об упаковке и маркировке, сведения о рекламациях, хранении, об изменениях;
- руководство системного программиста—сведения для проверки, обеспечения функционирования и настройки программы на условия конкретного применения: общие сведения о программе, структура программы, настройка и проверка программы и др.;
- руководство программиста—сведения по эксплуатации программы: назначение и условия применения, характеристики, входные и выходные данные и др.;
- руководство оператора—сведения для обеспечения процедуры общения оператора с вычислительной системой в процессе выполнения программы: общие указания, требования к техническим средствам, описание функционирования и др.

Для рабочей документации обязательными из приведенных выше программных документов являются спецификация и текст программы. Необходимость остальных документов на соответствующих стадиях разработки проекта определяется при разработке и утверждении технического задания.

В состав конструкторской документации на программное изделие могут быть введены перечисленные программные документы, за исключением спецификации и технического задания.

Задание: Изучить основные требования следующих стандартов, определяющие построение системы, структуру конструкторских документов, их номенклатуру (комплектность), а также правила выполнения текстовых конструкторских документов:

1. ГОСТ 2.001-70 «ЕСКД. Общие положения».
2. ГОСТ 2.101-68 «ЕСКД. Виды изделий».
3. ГОСТ 2.102-68 «ЕСКД. Виды и комплектность конструкторских документов».
4. ГОСТ 2.103-68 «ЕСКД. Стадии разработки».
5. ГОСТ 2.104-68 «ЕСКД. Основные надписи».
6. ГОСТ 2.105-68 «ЕСКД. Общие требования к текстовым документам».
7. ГОСТ 2.106-68 «ЕСКД. Текстовые документы».
8. ГОСТ 2.107-68 «ЕСКД. Спецификация».
9. ГОСТ 2.108-68 «ЕСКД. Ведомость держателей подлинников».
10. ГОСТ 2.109-68 «ЕСКД. Техническое условие».

Содержание отчета:

1. Титульный лист.
2. Цель выполнения работы.
3. Полный комплект конструкторской документации.
4. Ответы на контрольные вопросы.

Контрольные вопросы:

1. В каких случаях необходима разработка конструкторской документации (КД) на стандартные изделия?
2. Какими должны быть обозначения и наименования стандартных изделий, на которые разработаны рабочие чертежи? Как их записывать в спецификацию изделия?
3. Почему в КД основного производства запрещаются ссылки на стандарты предприятия?
4. Какой документ является первым при комплектовании – спецификация общей сборки или ведомость спецификации?
5. Чем отличаются эскизные конструкторские документы от рабочих конструкторских документов?
6. Можно ли в комплекте эскизных конструкторских документов применять рабочие конструкторские документы?
7. Может ли чертеж общего вида использоваться в рабочей конструкторской документации?

8. Возможно ли составление в необходимых случаях сборочного чертежа на комплекты?
9. Каким документом определяют содержание и объем конструкторской документации на комплекс?
10. Допустимо ли составление монтажного чертежа в рабочей документации на комплекты?
11. В чем смысл спецификации на сборочную единицу и ведомости спецификации? Когда конкретно на изделии надо составлять спецификацию, когда ведомость спецификации, а когда и то и другое?
12. Какую литературу следует указывать на конструкторских документах на первом этапе разработки рабочей документации опытного образца (опытной партии)?
13. Допускается ли присвоение конструкторской документации литеры «А» минуя литеры «О₁»?
14. Можно ли располагать основную надпись вдоль длинной стороны формата А4?
15. Чем нужно руководствоваться при определении необходимых подписей на документе?
16. При подписании подлинника конструкторского документа может ли быть проставлена дата подписания оригинала?
17. В каких случаях необходимо разбивать чертеж на зоны?
18. Как нумеровать листы, если документ разбит на части?

Практическое занятие №60. Изучение образцов конструкторских документов.

Цель работы: рассмотреть виды конструкторских документов; рассмотреть требования, предъявляемые к выполнению конструкторских графических документов; рассмотреть требования, предъявляемые к выполнению текстовых конструкторских документов

Теоретическая часть

Виды конструкторских документов.

Государственные стандарты устанавливают виды и комплектность конструкторских документов на изделия всех отраслей промышленности.

Конструкторские документы (КД) – документы, в отдельности или в совокупности определяющие состав и устройство изделия и содержащие необходимые данные для его разработки и изготовления, контроля, приемки, эксплуатации и ремонта.

Таблица 1 - Обозначения (шифры) КД

Сборочный чертеж	СБ
Чертеж общего вида	ВО
Теоретический чертеж	ТЧ
Габаритный чертеж	ГЧ
Монтажный чертеж	МЧ
Схема электрическая структурная	Э1
Схема электрическая функциональная	Э2
Схема электрическая принципиальная	Э3
Схема электрическая соединений	Э4
Схема электрическая подключений	Э5
Схема электрическая общая	Э6
Схема электрическая расположения	Э7
Чертеж электромонтажный	МЭ
Спецификация	СП
Таблица соединений	ТБ
Таблица сигналов	ТБ
Схема распайки	Д1
Таблицы	ТБ
Расчеты	РР

По форме представления КД разделяют на графические и текстовые. Графические конструкторские документы – документы, в которых с помощью установленных стандартом

символов и правил поясняются устройство, принцип действия, состав и связи между отдельными частями изделия. К ним относят:

чертеж детали – изображение детали и данные, необходимые для ее изготовления и контроля;

сборочный чертеж – изображение изделия и данные, необходимые для его сборки (изготовления) и контроля;

чертеж общего вида – изображение конструкции изделия, дающее представление о взаимодействии его основных частей и принципе работы;

теоретический чертеж – геометрическая форма изделия и координаты его основных частей;

габаритный чертеж – контурное (упрощенное) изображение изделия с габаритными, установочными и присоединительными размерами;

монтажный чертеж – контурное (упрощенное) изображение изделия, содержащее данные для его установки (монтажа);

схему – условные изображения или обозначения составных частей изделия и связей между ними;

спецификацию – состав сборочной единицы, комплекса или комплекта.

Текстовые конструкторские документы.

Текстовые конструкторские документы – документы, содержащие описание устройства, принципа действия и эксплуатационных показателей изделия. К ним относят:

ведомость спецификаций – перечень всех спецификаций составных частей изделия с указанием их количества и входимости;

ведомость ссылочных документов – перечень ссылочных документов, на которые имеются ссылки в конструкторских документах изделия;

ведомость покупных изделий – перечень покупных изделий, примененных в составе разрабатываемого изделия;

ведомость согласования применения изделий – подтверждение согласования с соответствующими организациями применения определенных покупных изделий в разрабатываемом изделии;

ведомость держателей подлинников – перечень предприятий, на которых хранятся подлинники документов, разработанных для данного изделия;

ведомость технического предложения (эскизного, технического проекта) – перечень документов, вошедших в техническое предложение (эскизный, технический проект);

пояснительную записку – описание устройства и принципа действия разработанного изделия, а также обоснование принятых при его разработке технико-экономических решений;

технические условия – потребительские (эксплуатационные) показатели изделия и методы контроля его качества;

программу и методику испытаний – технические данные, подлежащие проверке при испытании изделия, а также порядок и методы их контроля;

расчет – расчеты параметров и величин, например, расчет размерных цепей электрических режимов и т. д.

Классификация КД по способу выполнения и характеру использования.

По способу выполнения и характеру использования КД делят на:

оригиналы – документы, выполненные на любом материале и предназначенные для изготовления по ним подлинников;

подлинники – документы, оформленные подлинными подписями и выполненные на любом материале, позволяющем многократное воспроизведение с них копий;

дубликаты – документы, идентичные подлиннику и выполненные на любом материале, позволяющем снятие с них копии;

копии – документы, выполненные способом, обеспечивающим их идентичность с подлинником (дубликатом), и предназначенные для непосредственного использования при разработке, изготовлении, ремонте и эксплуатации изделий.

Проектные КД – КД, выполненные на этапах технического предложения, эскизного и технического проектов.

Рабочие КД – КД, выполненные на этапе выпуска рабочей документации.

Особенности ЭВМ как отдельного, самостоятельного класса продукции привели к созданию некоторых специфических конструкторских документов: схем алгоритмов; диаграмм

временных и микропрограммной логики; таблиц сигналов, идентификаторов сигналов, проверки параметров.

Особую группу документов составляет КД на программное обеспечение.

Правила составления программной документации устанавливаются единой системой программной документации (ЕСПД).

Единая система технологической документации (ЕСТД) включает в себя группу стандартов, определяющих правила составления и обращения технологических документов. Широкое внедрение автоматизированных методов проектирования средств вычислительной техники не изменяет комплект конструкторской документации. Однако одна часть документов исполняется в обычном, традиционном виде (на бумаге, кальке), а другая – на машинных носителях (перфоленте, магнитных ленте, дисках).

Требования к выполнению конструкторских графических документов.

Стандарты ЕСКД устанавливают основные требования к выполнению конструкторских графических документов: выбору формата чертежей и масштабов изображения, правилам простановки размеров и введения обозначений, выполнения чертежей различных видов изделий и построения спецификаций. Основными форматами приняты 11 – А4 (размеры сторон 297x210), 12 – А3 (297x420), 22 – А2 (594x420), 24 – А1 (594x841) и 44 – А0 (1189x841). В графических КД определены:

масштабы уменьшения (1:2, 1:2,5; 1:4; 1:5; 1:10; 1:15; 1:20; 1:25; 1:40; 1:50; 1:75; 1:100; 1:200; 1:400; 1:500; 1:800; 1:1000);

масштабы увеличения (2:1; 2,5:1; 4:1; 5:1; 10:1; 20:1; 40:1; 50:1; 100:1).

Основные правила нанесения размеров и предельных отклонений на чертежах следующие:

а) общее число размеров на чертеже должно быть минимальным, но достаточным для изготовления и контроля изделия;

б) размеры, не обеспечиваемые при изготовлении изделия по данному чертежу и указанные для удобства пользования, называют справочными и отмечают знаком «*» с помещением записи «Размеры для справок»;

в) линейные размеры и их допустимые отклонения указывают на чертежах в миллиметрах без обозначения единицы измерения;

г) при обозначении размеров простые дроби не применяют, за исключением размеров в дюймах;

д) повторение размеров одного и того же элемента изделия на разных видах не допускается;

е) нанесение размеров в виде замкнутой цепи не допускается;

ж) при указании радиуса перед размерным числом помещают прописную букву R, при указании размера диаметра – знаки Ø;

з) предельные отклонения размеров указывают непосредственно после номинальных значений.

Стандарты устанавливают правила нанесения размеров для всех встречающихся на практике случаев, и при выполнении чертежей изделий следует пользоваться его правилами и положениями.

Требования к выполнению текстовых конструкторских документов

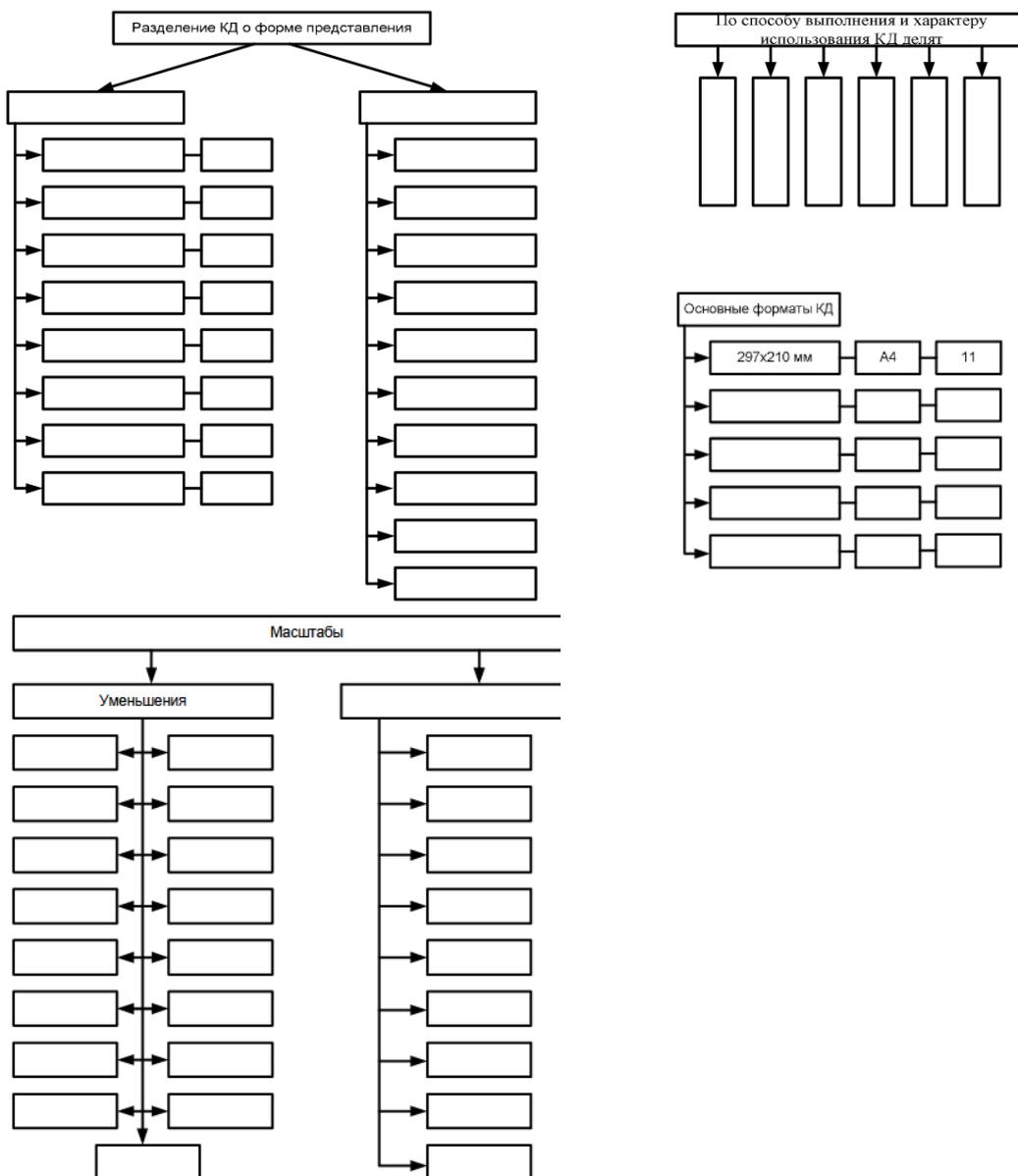
Государственные стандарты ЕСКД устанавливают основные требования к выполнению конструкторских текстовых документов (ТД). Текстовые документы выполняют на установленных соответствующими стандартами формах машинописным, рукописным или типографским способом. Вписывать отдельные слова, формулы, условные знаки, вносить схемы и рисунки необходимо черным цветом. Для размещения утверждающих и согласовывающих подписей к ТД рекомендуется составлять один или несколько титульных листов.

Содержание ТД разбивают на разделы и подразделы, а при большом объеме – на части. Разделы должны иметь порядковые номера, обозначенные арабскими цифрами в пределах всего документа. Подразделы в пределах каждого раздела должны иметь составные номера, первая часть которых означает номер раздела, а вторая, отделенная от первой точкой – номер подраздела. В пределах подраздела допускается разбивать текст на пункты и подпункты. Номер пункта должен состоять из номера раздела, подраздела и пункта, разделенных точками. В документах большого объема содержание рекомендуется располагать в начале, а список литературы и документации, использованной при составлении документа, – в конце. Если в документе была

принята специфическая терминология, то в нем необходим перечень принятых терминов с пояснениями. Сокращения слов в тексте и под иллюстрациями не допускается.

Практическая часть

Изучить теоретическую часть работы. По результатам изучения заполнить структурные схемы, формат которых представлен ниже.



Содержание отчета

1. Название работы
2. Цель работы
3. Используемые материалы
4. Отчет о работе
5. Выводы

Практическое занятие №61. Изучение правил оформления схемной документации.

Цель работы: рассмотреть виды и типы схем; рассмотреть правила выполнения электрических схем; рассмотреть пример построения функциональной схемы блока ЭВМ.

Теоретическая часть

Виды и типы схем.

По виду элементов, входящих в состав изделия, связей между ними и назначения схемы подразделяют на следующие виды и типы:

Таблица 1 – Подразделение схем по видам и типам

Вид схемы	Обозначение	Тип схемы	Обозначение
Электрическая	Э	Структурная	1
Гидравлическая	Г	Функциональная	2
Пневматическая	П	Принципиальная	3
Кинематическая	К	Соединений (монтажная)	4
Оптическая	О	Подключений	5
Комбинированная	С	Общая	6
		Расположения	7
		Прочие	8
		Совмещенная	9

Структурные схемы определяют основной состав изделия и его функциональные части, их назначение и взаимосвязи. Структурные схемы разрабатывают на начальных стадиях проектирования изделия и используют как для построения схем других типов, так и для общего ознакомления с изделием.

Функциональные схемы поясняют процессы, происходящие в отдельных функциональных узлах и частях изделия или в изделии в целом. Функциональными схемами пользуются для построения принципиальных схем, изучения принципа работы изделия, а также при его наладке, ремонте и эксплуатации.

Принципиальные схемы определяют полный состав элементов и связей между ними и дают детальное представление о принципе работы изделия. На основе принципиальных схем разрабатывают такие конструкторские документы, как схемы соединений (монтажные), чертежи конструктивных элементов, узлов, устройств.

Схемы соединений показывают соединения составных частей изделия и определяют провода, жгуты, кабели и другие соединительные изделия, а также места их присоединения и ввода. Схемы соединения используют при разработке конструкторских графических и текстовых документов, а также при ремонте и эксплуатации изделия.

Схемы подключений показывают внешние подключения изделия (или изделий). Схемы подключений используют при монтаже изделия на месте эксплуатации, а также при его ремонте.

Общие схемы определяют составные части комплекса и соединения их между собой на месте эксплуатации.

Схемы расположения устанавливают взаимное расположение отдельных составных частей комплекса, а при необходимости и соединяющих их жгутов, проводов, кабелей и т. д. Схемами расположения пользуются при установке и эксплуатации изделия.

При проектировании схем следует придерживаться правил, изложенных в соответствующих стандартах ЕСКД. В них устанавливаются условные графические обозначения элементов схем, требования к вычерчиванию связей между элементами, правила помещения различных технических данных на условные графические обозначения и т. д. При проектировании ЭВМ используют в основном электрические схемы.

Правила выполнения электрических схем

Схема электрическая структурная.

На схеме электрической структурной (Э1) показывают все функциональные части ЭВМ и основные взаимосвязи между ними. Функциональные части можно изображать условно графически, как указано в ГОСТе, или в виде прямоугольников. В последнем случае внутри прямоугольника приводят наименование данной функциональной части. Линии взаимосвязей рекомендуется обозначать стрелками, показывающими направления хода процесса, движения

информации и т. п. При большом числе функциональных частей рекомендуется взамен обозначений, наименований и типов вводить порядковые номера, проставляя их слева направо и сверху вниз. В этом случае расшифровку номеров производят в таблице, помещаемой над основной надписью. Построение структурной схемы поясняется примером схемы электрической структурной ЭВМ (рисунок 1, где Пр – процессор; О/П—оперативная память; МП—местная память; ПП—постоянная память; У—управление; К—каналы, УВД-устройство ввода—вывода).

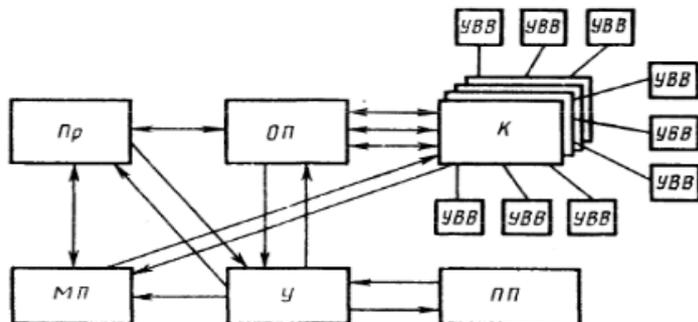


Рисунок 1 -Пример построения структурной схемы ЭВМ

Схема электрическая функциональная.

На схеме электрической функциональной (Э2) показывают функциональные части машины, участвующие в процессе, иллюстрируемом схемой, и связи между этими частями. Функциональные части изображают, как правило, в виде условных графических обозначений, однако допускается применение прямоугольников. На схеме Э2 должны быть указаны: для каждой функциональной группы – наименование; для каждого устройства, изображенного прямоугольником, -наименование, обозначение или тип; для каждого устройства, изображенного в виде условного графического обозначения, - обозначение или тип; для каждого элемента — позиционное обозначение, присвоенное ему на принципиальной схеме, или тип. Наименования, обозначения или типы рекомендуется вписывать в прямоугольники. Допускается на схеме помещать поясняющие надписи, диаграммы или таблицы, определяющие последовательность прохождения процессов во времени, а также указывать параметры в характерных точках (форма и величина импульсов, реализуемая логическая функция и т. д.). Построение функциональной схемы поясняется примером схемы электрической функциональной процессорного блока микро-ЭВМ, построенного на МПК БИС серии К580 (рисунок 2).

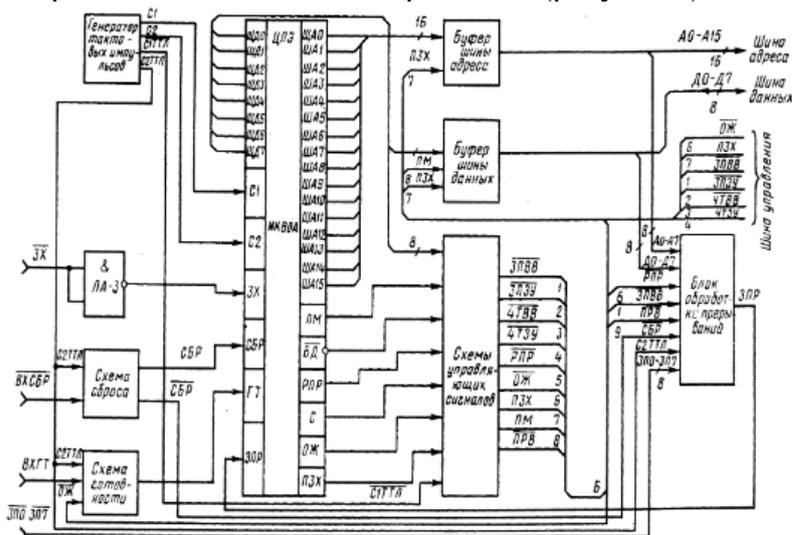


Рисунок 2. Пример построения функциональной схемы процессорного блока микро-ЭВМ (МПК БИС серии К580)

Схема электрическая принципиальная.

На схеме электрической принципиальной (Э3) указывают все элементы, необходимые для построения ЭВМ (или ее отдельного узла), связи между элементами и элементы, которыми заканчиваются входные и выходные цепи. Элементы в схеме изображают в виде условных графических обозначений (УГО). Расстояние между двумя соседними линиями условных графических обозначений должно быть не менее 0,8 мм. Условные графические обозначения на

схеме ЭЗ располагают так, чтобы изображения связей между ними были кратчайшими линиями с минимальным числом пересечений. Линии связей должны быть показаны полностью, однако при необходимости их допускается обрывать, заканчивая места обрыва стрелками с обозначением места включения. Для упрощения чертежа схемы можно несколько электрически не связанных линий связи сливать в общую утолщенную линию, но при подходе к контактам каждая линия должна быть изображена отдельно, линии связи при этом необходимо пронумеровать одинаковыми числами на обоих концах (рисунок 2). Каждый элемент, входящий в схему, должен иметь буквенно-цифровое позиционное обозначение, составленное из буквенного индекса и порядкового номера. Порядковые номера элементам присваивают начиная с единицы сверху вниз в направлении слева направо, в пределах группы элементов, которым на схеме дан одинаковый буквенный индекс.

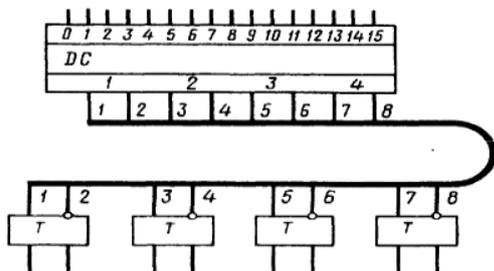


Рисунок 3. Объединение электрически не связанных линий связи в схеме.

Если элемент состоит из нескольких частей, то допускается к его позиционному обозначению добавлять цифры, присваиваемые каждой части элемента (например, Э1-1, Э1-2, Э1-3 означают первую, вторую и третью части элемента 7). Данные о всех элементах, включенных в схему, должны быть записаны в перечень (связь перечня с условными графическими обозначениями элементов осуществляется через позиционные обозначения). В отдельных случаях допускается сведения об элементах располагать на схеме около условных графических обозначений.

Содержание отчета

1. Название работы.
2. Цель работы.
3. Используемые материалы.
4. Отчет о работе.
5. Выводы.

Практическое занятие №62. Выполнение схемы электрической структурной.

Цель работы: получить навыки выполнения электрических схем;

Теоретический материал

Схема структурная (Э1) – схема, определяющая основные функциональные части изделия, их назначение и взаимосвязи. Схемы структурные разрабатывают при проектировании изделий на стадиях, предшествующих разработке схем других типов, и пользуются ими для общего ознакомления с изделием.

Графическое построение схемы должно обеспечивать наилучшее представление о последовательности взаимодействия функциональных частей в изделии. На линиях взаимосвязей рекомендуется стрелками обозначать направление хода процессов, происходящих в изделии. Пример схемы электрической структурной:

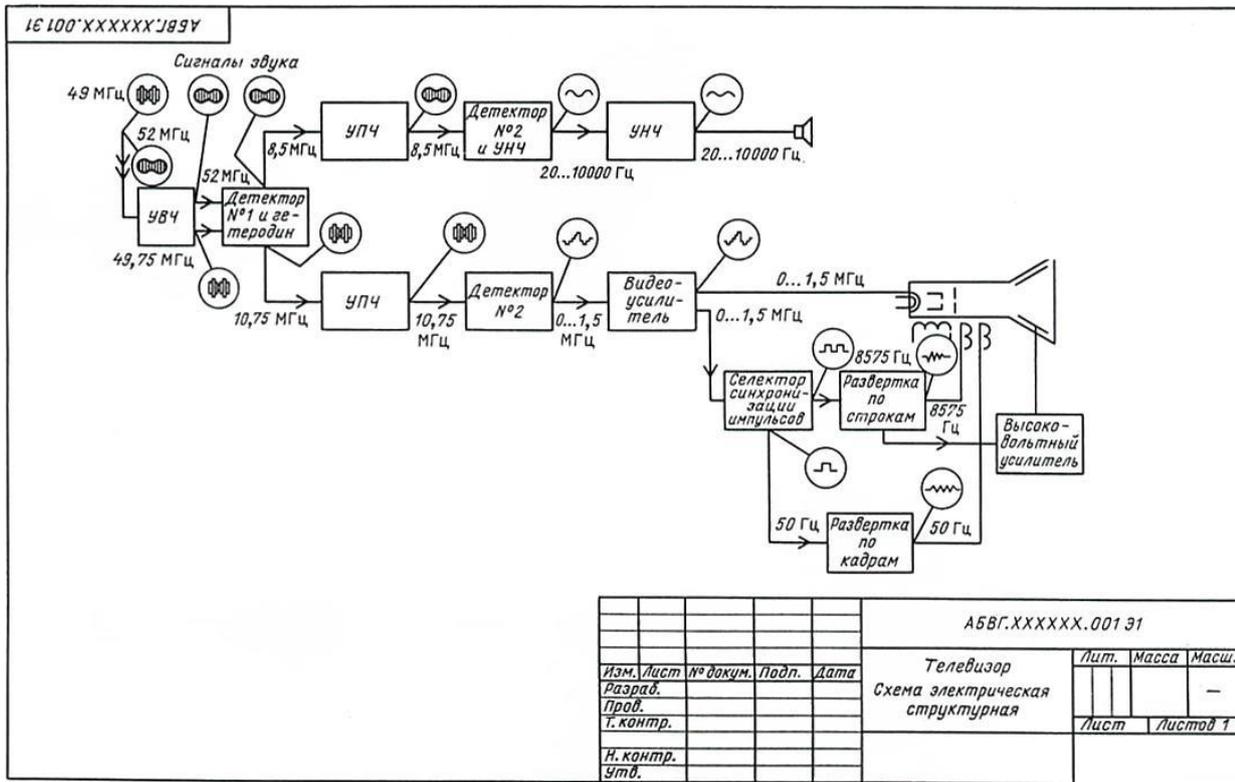


Рисунок 1 - Схема электрическая структурная

Функциональным частям на схеме согласно ГОСТ 2.737-68 соответствуют прямоугольники с размерами (12x12 мм, 12x30 мм) и условные графические обозначения (рисунки 2 - 5).

Направление хода процессов, происходящих в изделии, обозначают стрелками на линиях взаимосвязи (рисунок 3).

При обозначении функциональных частей используют два способа:

- текст наименования функциональной группы записывают внутри прямоугольника (рис. 2, 4, 6);
- при большом количестве функциональных частей вместо наименований допускается проставлять порядковые номера, которые наносят над прямоугольниками, как правило, в правом верхнем углу, сверху вниз в направлении слева направо (рис. 5, 7). В этом случае наименование указывают на поле схемы.

Толщина линий прямоугольников, квадратов и условных графических обозначений, должна быть равна толщине линий связи.



Рисунок 2- Структурная схема приемника прямого усиления

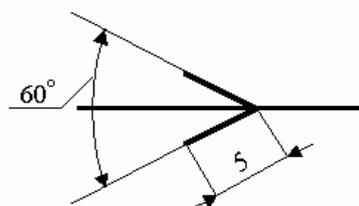


Рисунок 3 –Изображение стрелки



Рисунок 4

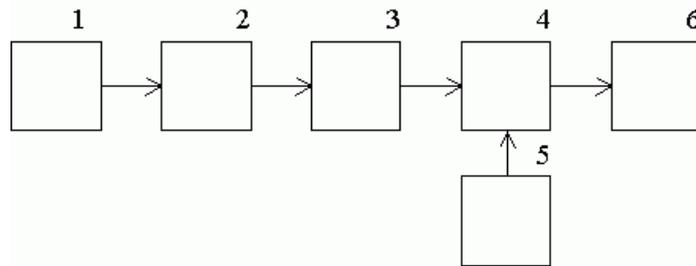


Рисунок 5 – Структурная схема приемника прямого усиления

1 – антенна; 2 – колебательный контур; 3 – детектор; 4 – усилитель; 5 – источник питания; 6 – телефон.

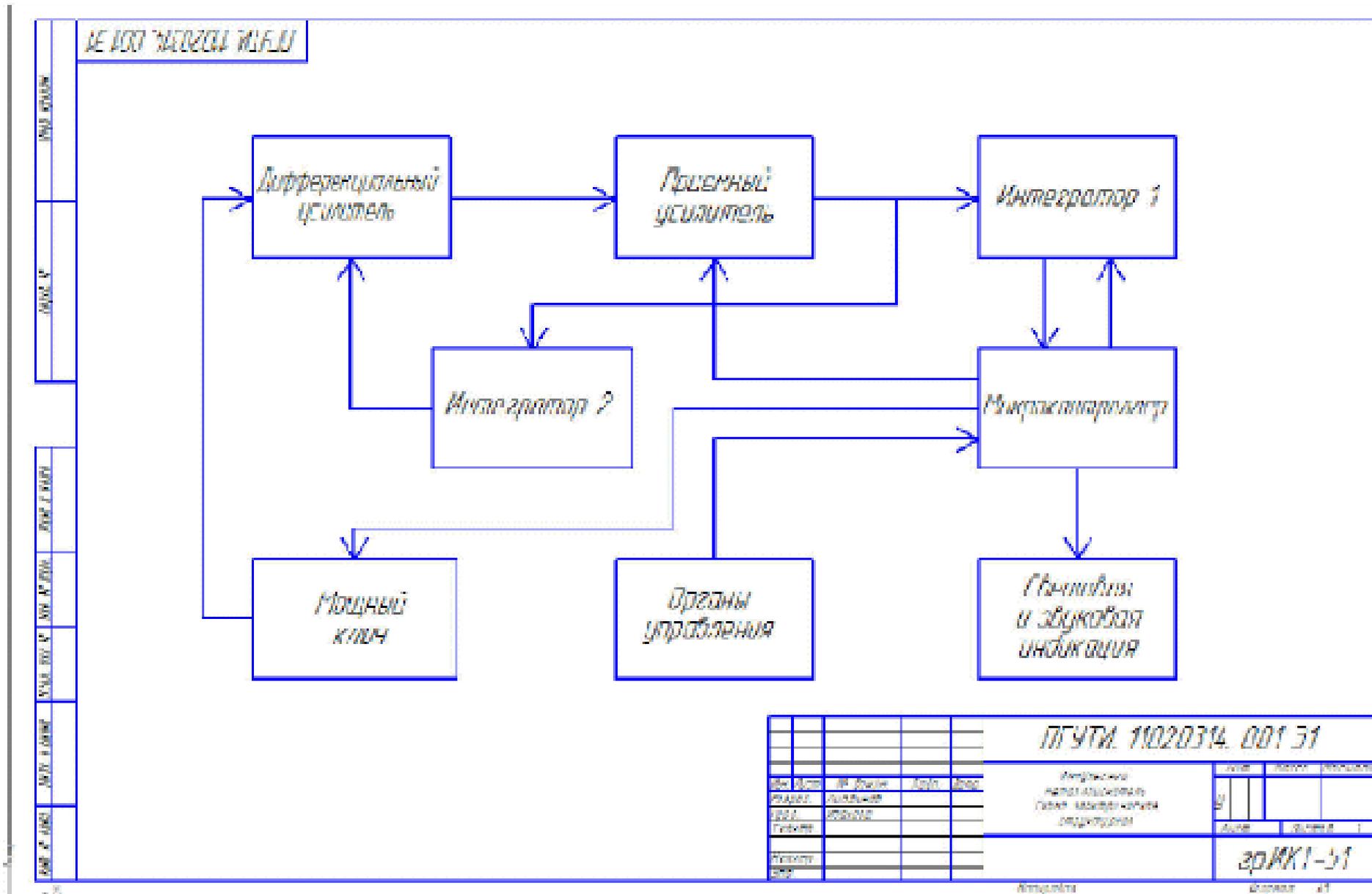


Рис.6 –Чертеж схемы электрической структурной

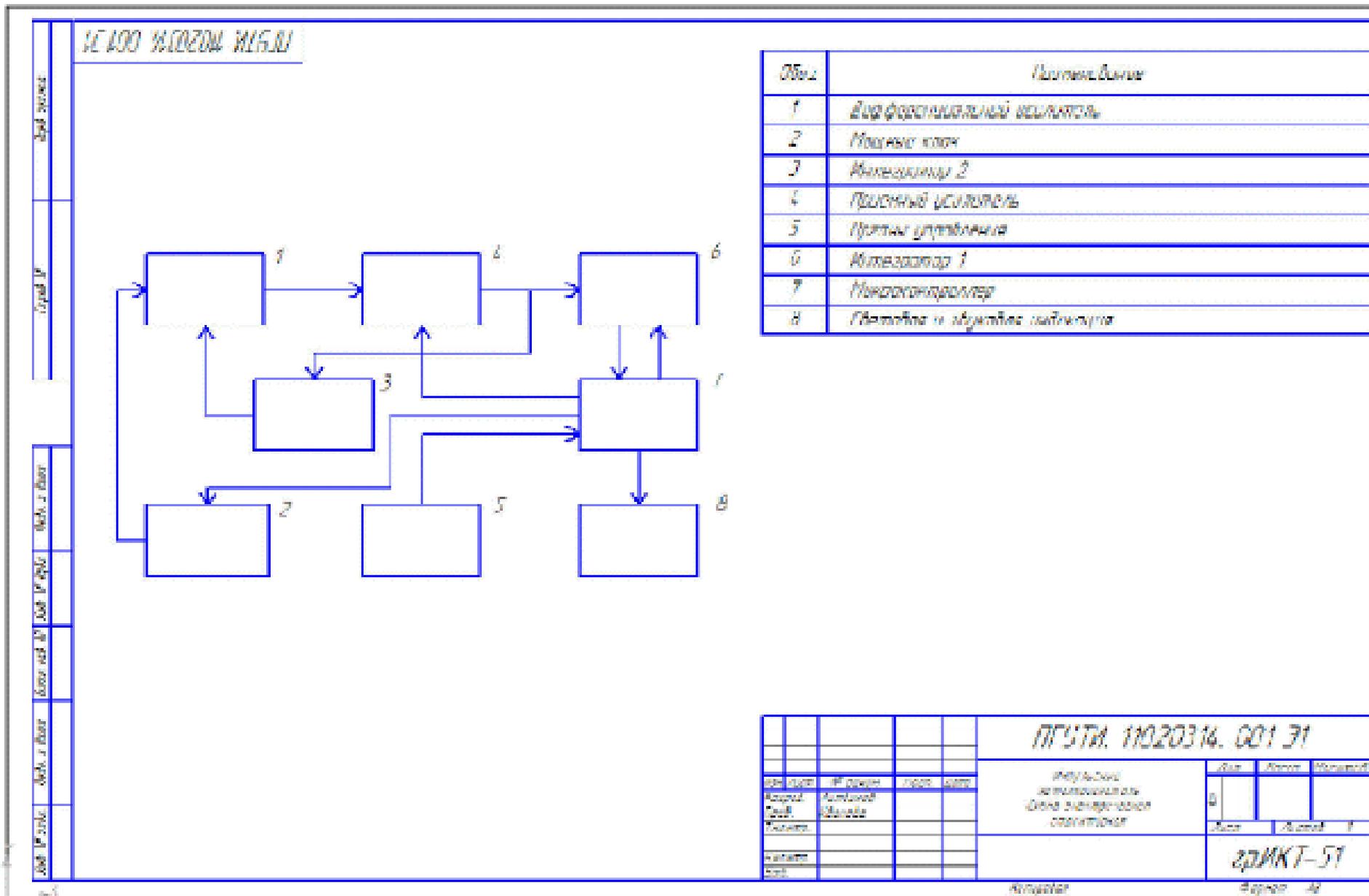


Рис.7 – Чертеж схемы электрической структурной

Контрольные задания

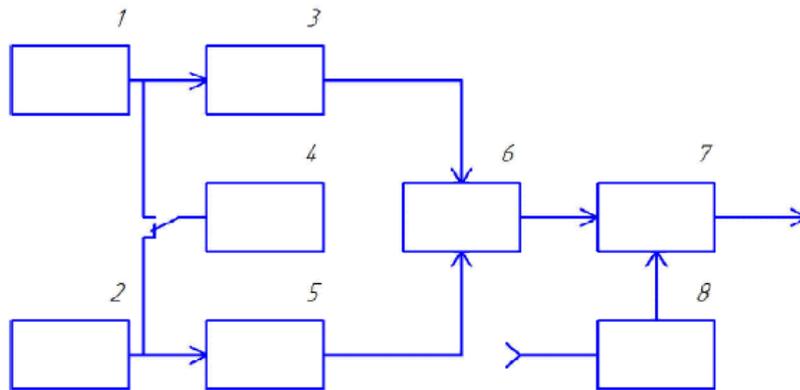
Задание 1 Ответить на контрольные вопросы (письменно в рабочей тетради)

1. Как изображаются функциональные части на схеме?

2. Какие способы используются при обозначении функциональных частей, запишите их

Задание 2. Выполнить чертеж схемы электрической структурной устройства Приставка фазометрическая (текст наименования функциональной группы записать внутри прямоугольника).

Выполнить чертеж схемы электрической структурной устройства Приставка фазометрическая



- 1 – входное устройство
- 2 – входное устройство
- 3 – формирователь импульсов
- 4 – формирователь импульсов
- 5 – калибратор
- 6 – управляемый триггер
- 7 – ключ
- 8 – умножитель частоты

Последовательность выполнения задания 2:

1. Определить сколько места займет изображение схемы, учитывая размеры прямоугольников (12x12 мм или 12x30 мм согласно ГОСТ 2.737-68) и расстояние между функциональными частями.

2. Начертить схему.

3. Заполнить схему чертежным шрифтом, текст наименования функциональной группы записать внутри прямоугольника.

Практическое занятие №63. Оптимизация логических выражений и составление схемы электрической функциональной логического устройства.

Цель работы: Научиться оптимизировать логические функции и составлять схемы электрические функциональные.

Теоретические сведения

В алгебре логики имеются четыре основных закона: *переместительный* (свойства коммутативности); *сочетательный* (свойства ассоциативности); *распределительный* (свойства дистрибутивности); *инверсии* (правило де Моргана).

Соотношения отображающие основные законы алгебры логики.

№	Законы	Логическое сложение	Логическое умножение
1	Переместительный	$X1 \vee X2 = X2 \vee X1$	$X1 X2 = X2 X1$
2	Сочетательный	$(X1 \vee X2) \vee X3 = X1 \vee (X2 \vee X3)$	$(X1 X2) X3 = X1 (X2 X3)$
3	Распределительный	$(X1 \vee X2) X3 = X1 X3 \vee X2 X3$	$X1 X2 \vee X3 = (X1 \vee X3)(X2 \vee X3)$
4	Инверсия	$\overline{\overline{X1 \vee X2}} = \overline{X1} \overline{X2}$	$\overline{\overline{X1 X2}} = \overline{X1} \vee \overline{X2}$

Дополнительные правила алгебры логики.

№	Правило	А	Б
1	Инверсия	$\overline{0} = 1$	$\overline{1} = 0$
2	Неизменности	$X \vee 0 = X$	$X \text{ g} 1 = X$
3	Универсального и нулевого множеств	$X \vee 1 = 1$	$X \text{ g} 0 = 0$
4	Повторения	$X \vee X = X$	$X \text{ g} X = X$
5	Дополнительность	$X \vee \overline{X} = 1$	$X \text{ g} \overline{X} = 0$
6	Склеивания	$X1 X2 \vee X1 \overline{X2} = X1$	$(X1 \vee X2)(X1 \vee \overline{X2}) = X1$
7	Двоинного отрицания	$\overline{(\overline{X})} = X$	

Пример оптимизации

$$f(X1, X2, X3) = (\overline{X1} \overline{X2} X3 \vee X1 \overline{X2}) (X1 \vee X3).$$

$$(\overline{X1} \overline{X2} X3 \vee X1 \overline{X2})(X1 \vee X3) =$$

$$\text{по закону 3: } \overline{X1} \overline{X2} X3 X1 \vee \overline{X1} \overline{X2} X3 X3 \vee X1 \overline{X2} X1 \vee X1 \overline{X2} X3 =$$

$$\text{по правилу 5б, 2а: } \overline{X1} \overline{X2} X3 X3 \vee X1 \overline{X2} X1 \vee X1 \overline{X2} X3 =$$

$$\text{по правилу 4б: } \overline{X1} \overline{X2} X3 \vee X1 \overline{X2} \vee X1 \overline{X2} X3 =$$

$$\text{по закону 3: } (X1 \vee \overline{X1}) \overline{X2} X3 \vee X1 X2 =$$

$$\text{по правилу 5а: } \overline{X2} X3 \vee X1 \overline{X2} = \overline{X2} (X3 \vee X1)$$

Полученная в результате преобразований функция значительно проще исходной. Процесс упрощения логического выражения, основанный на тождественных преобразованиях, носит название минимизации.

Задание: Минимизировать следующие функции:

$$f(X_1, X_2, X_3) = \overline{X_1} X_2 X_3 \vee X_1 \overline{X_2} X_3 \vee X_1 \overline{X_2} \overline{X_3} \vee \overline{X_1} X_2 \overline{X_3} \vee X_1 X_2 X_3$$

$$f(X_1, X_2, X_3) = \overline{X_1} \overline{X_2} \overline{X_3} \vee X_1 \overline{X_2} \overline{X_3} \vee \overline{X_1} X_2 \overline{X_3} \vee X_1 X_2 X_3$$

$$f(X_1, X_2, X_3) = (X_1 \vee X_2 \vee \overline{X_3}) \vee \overline{X_1} \overline{X_2}$$

Составление логической функции элемента, заданного таблицей истинности. (Таблица Карно (ТК))

Правила построения ТК следующие:

1. Количество клеток ТК равно количеству строк таблицы истинности.
2. Слева и сверху располагаются значения аргументов. Порядок размещения аргументов таков, что в двух соседних по горизонтали и вертикали клетках отличается значение только одного аргумента (поэтому соседними считаются и клетки, находящиеся на противоположных краях таблицы).
3. В клетки заносятся соответствующие значения логической функции.
4. Единичные клетки объединяются в прямоугольники (импликанты) по 2^n клеток.
5. Для каждого прямоугольника записывается произведение тех аргументов, которые в соседних клетках не изменяют своего значения.
6. Переменные входят в произведение в прямом виде, если их значение в соседних клетках равно 1, в противном случае в инверсном.
7. Полученные произведения складываются по ИЛИ в искомую логическую функцию. Ячейки, в которых функция не определена, отметить * и доопределить 1.

Рассмотрим примеры.

5. Для F1		X3 X4					Для F2		X3 X4			
X1 X2		00	01	11	10		X1 X2		00	01	11	10
	00	1	0	0	0			00	1	0	1	1
	01	1	1	0	1			01	0	1	1	1
	11	1	1	1	1			11	1	1	1	1
	10	1	1	1	1			10	1	1	1	1
$F1 = X1 \vee X2 \overline{X4} \vee X2 \overline{X3} \vee \overline{X3} \overline{X4}$						$F2 = X1 \vee X3 \vee X2 \overline{X4} \vee \overline{X2} \overline{X4}$						
7. Для F3		X3 X4					Для F4		X3 X4			
X1 X2		00	01	11	10		X1 X2		00	01	11	10
	00	1	1	1	1			00	1	1	1	0
	01	1	0	1	0			01	1	1	1	1
	11	1	1	1	1			11	1	1	1	1
	10	1	1	1	1			10	1	1	1	0
$F3 = X1 \vee \overline{X1} \overline{X2} \vee X3 \overline{X4} \vee \overline{X3} \overline{X4}$						$F4 = \overline{X3} \vee X4 \vee X2$						
Для F5		X3 X4					Для F6		X3 X4			
X1 X2		00	01	11	10		X1 X2		00	01	11	10
	00	1	0	1	1			00	1	0	0	1
	01	1	1	0	1			01	0	0	0	1
	11	1	1	1	1			11	0	0	0	1
	10	1	1	1	1			10	1	0	0	1
$F5 = X1 \vee \overline{X3} \vee X2 \overline{X3} \vee \overline{X2} X4$						$F6 = \overline{X2} \overline{X4} \vee X3 \overline{X4}$						
Для F7		X3 X4										
X1 X2		00	01	11	10							
	00	0	0	1	1							
	01	1	1	0	1							
	11	1	1	1	1							
	10	1	1	1	1							
$F7 = X1 \vee X2 \overline{X4} \vee \overline{X2} \overline{X3} \vee X2 \overline{X3}$												

Содержание отчета.

Содержание отчета.

1. Дата, номер, наименование работы.
2. Цель работы.
3. Решение индивидуального задания.

Контрольные вопросы.

1. Какие основные отличительные особенности логических переменных.
2. Каковы способы представления логических функций.
3. Назвать основные законы алгебры логики.

Индивидуальные задания к практической работе

Минимизировать логическую функцию, заданную таблицей истинности и построить функциональную схему устройства её реализующего. Порядковый номер функции является номером варианта задания.

X1	X2	X3	F 1	F 2	F 3	F 4	F 5	F 6	F 7	F 8	F 9	F 10	F 11	F 12	F 13	F 14	F 15
0	0	0	0	0	1	0	1	0	0	1	0	0	1	0	0	1	1
1	0	0	1	0	0	0	1	0	1	1	1	0	1	0	1	1	0
0	1	0	1	0	1	1	0	0	1	1	0	0	0	1	0	0	1
1	1	0	0	1	0	1	0	1	1	0	1	0	1	1	1	0	0
0	0	1	1	0	1	0	1	1	0	0	0	1	1	1	1	0	0
1	0	1	0	1	0	0	1	1	0	0	1	1	0	0	1	1	0
0	1	1	0	1	1	1	0	0	0	1	0	1	1	1	0	1	1
1	1	1	1	1	0	1	0	0	1	1	1	1	0	0	0	1	1

Практическое занятие №64. Схемы электрические принципиальные.

Цель работы: научиться составлять схему электрическую принципиальную.

Теоретические сведения

На принципиальной схеме изображают все электрические элементы или устройства, необходимые для осуществления и контроля в изделии заданных электрических процессов, все электрические связи между ними, а также электрические элементы (соединители, зажимы и т.п.), которыми заканчиваются входные и выходные цепи. Принципиальная схема, как правило, дает детальное представление о принципах работы изделия.

Принципиальные схемы служат основанием для разработки других конструкторских документов, например, схем соединений и чертежей; их используют для изучения принципов работы изделий, а также при их наладке, контроле, ремонте. Поэтому электрическая

принципиальная схема должна быть максимально наглядной, удобной для чтения, отображать развитие рабочего процесса в изделии. Схемы выполняют для изделий, находящихся в отключенном состоянии.

Элементы изделия на схеме вычерчивают в виде условных графических изображений, установленных в стандартах ЕСКД. Линии электрической связи на принципиальной схеме носят условный характер и не являются изображением реальных проводов. Это позволяет располагать условные графические изображения элементов в соответствии с развитием рабочего процесса, а не в соответствии с действительным расположением этих элементов в изделии, и соединять их выводы кратчайшим путем.

На принципиальной схеме должны быть однозначно определены все элементы, входящие в состав изделия и изображенные на схеме. Данные об элементах должны быть записаны в перечень элементов. При этом связь перечня с условными графическими обозначениями элементов должна осуществляться через позиционные обозначения. На схеме следует указывать обозначения выводов (контактов) элементов, нанесенные на изделие. Характеристики входных и выходных цепей изделия, а также адреса их внешних подключений рекомендуется записывать в таблицы, помещаемые взамен условных графических обозначений входных и выходных элементов — соединителей, плат и т.д. Каждой таблице присваивают позиционное обозначение того элемента, взамен условного графического обозначения которого она помещена. Над таблицей допускается показывать условное графическое обозначение контакта — гнезда или штыря. Таблицы допускается выполнять разнесенным способом. Допускается помещать таблицы с характеристиками цепей при наличии на схеме условных графических обозначений входных и выходных элементов.

Графическое оформление электрической принципиальной схемы

1. Общие сведения о задании.

Вычертить схему электрическую принципиальную, руководствуясь правилами оформления принципиальных схем, изложенными выше. Пример выполнения представлен на рис. 5. Исходным материалом служат варианты заданий. Размеры условных графических обозначений выдержать в соответствии со стандартами. Позиции, данные в задании, заменить буквенно-цифровым позиционным обозначением (см. раздел 2 и рис. 5). Составить перечень элементов, правила оформления и порядок заполнения которого выдержать по стандарту (см. раздел 5 и рис.5). Схема выполняется на листе формата А4 с основной надписью по форме 1 (рис. 3). В графе 1 под наименованием изделия (например — Триггер статический) указывается наименование документа (например — Схема электрическая принципиальная), которое записывается шрифтом, меньшим, чем шрифт на именовании изделия (см. рис. 3, 5). В графе 2 кроме принятого обозначения документа (например — РТ. 31. 01 ...) записывается код документа ЭЗ — для электрической принципиальной схемы (см. рис. 3, 4, 5).

Графа «Масштаб» не заполняется.

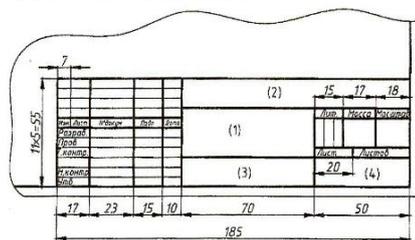
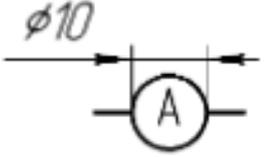
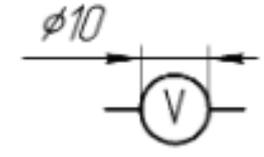
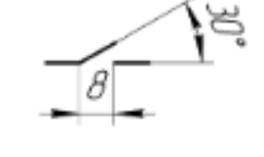
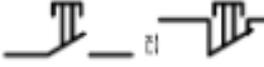
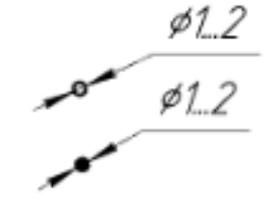
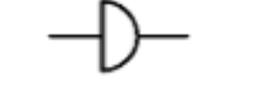


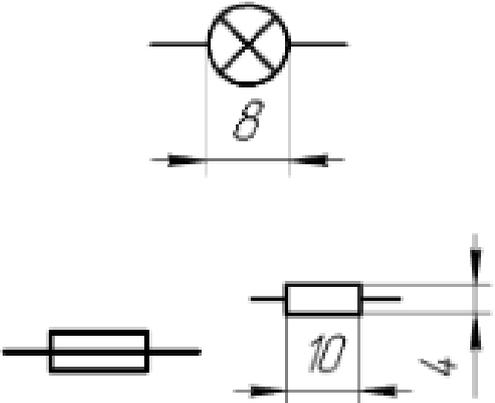
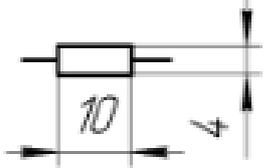
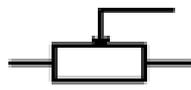
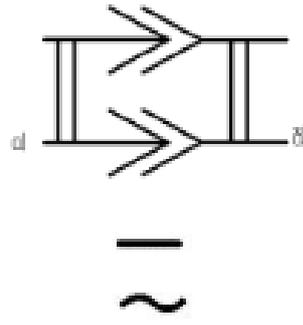
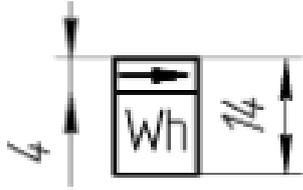
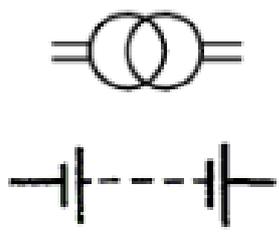
Рис. 3

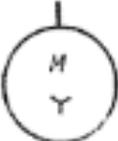
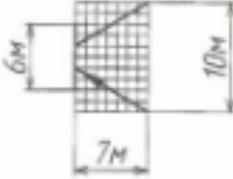
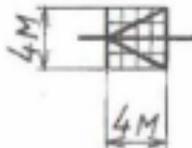
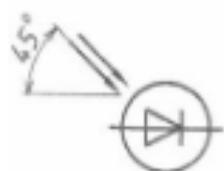


Рис. 4

Условные обозначения элементов электрических схем

Буквенное обозначение	Наименование	Обозначение
РА	Амперметр	
PV	Вольтметр	
SA	Выключатель однополюсной	
SB	Выключатель кнопочный с контактом замыкающим (а) и размыкающим (б)	
XT	Зажим	
S	Звонок	
C	Конденсатор	
EL	Лампа накаливания	

FU	<p>Предохранитель плавкий</p>	
R	<p>Резистор</p>	
RR	<p>Реостат</p>	
XS	<p>Вилка (а) и розетка(б)</p> <p>Постоянный ток</p> <p>Переменный ток</p>	
PR	<p>Счетчик</p>	
T	<p>Трансформатор</p> <p>Батарея из гальванических элементов или аккумуляторов</p>	

	<p>Двигатель(мотор) трехфазный</p>	
VT	<p>Транзистор типа <i>P-N-P</i></p>	
VT	<p>Транзистор полевой типа <i>N</i></p>	
VD	<p>Диод полупроводниковый</p>	
VD	<p>Стабилизатор</p>	
BL	<p>Фотодиод</p>	

Примеры решения задач

МЧ 02.03.04.33

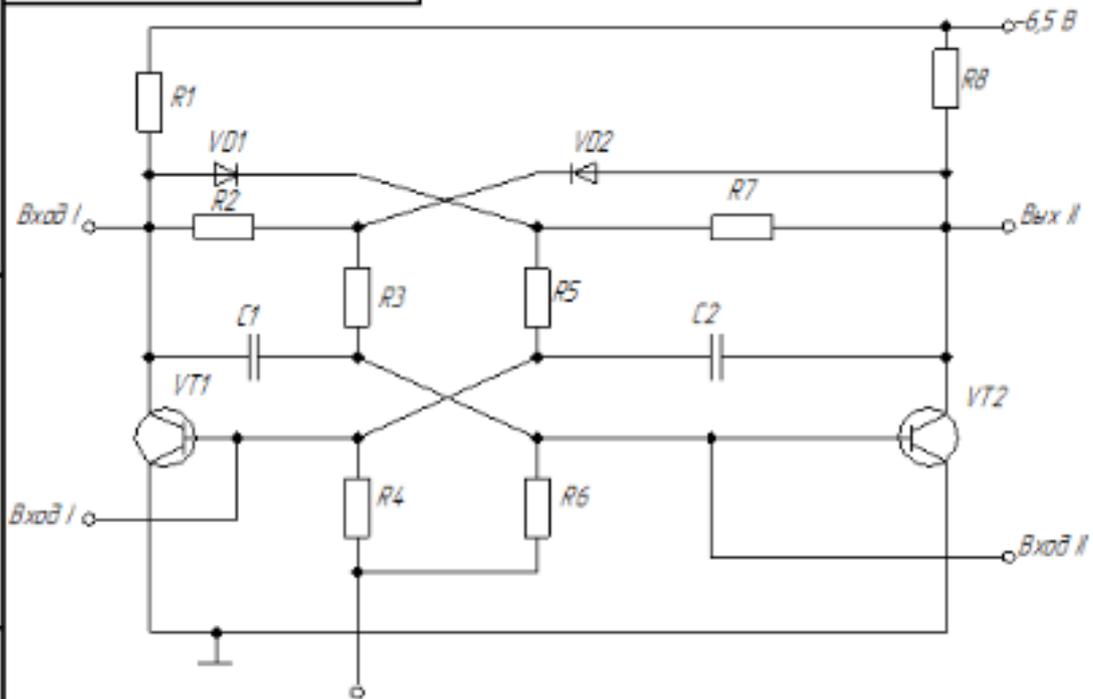
№	Обозначение	Наименование	Количество	Примечание
1	PR	Счетчик	1	
2	FU	Предохранитель плавкий	2	
3	SA	Выключатель однополюсный	3	
4	EL	Лампа накаливания	3	
5	SB	Выключатель кнопка	1	
6	XS	Розетка	1	
7	T	Трансформатор	1	
8	S	Звонок	1	
9	XT	Зажим	2	

МЧ 02.03.04.33

	Лист	Масса	Масштаб
Устройство электротехническое	11		
Схема электрическая	Лист 8	Листов 11	
УдГУ ФЭФ 54-11			

КОМПАС-3D LT №1 1909-2020 ЗАО АСКОН Россия. Все права защищены.
 № докум. № листа
 Разработ. Чирков К.В.
 Провер. Волынова О.А.
 Т.контр.
 И.контр.
 УдГУ

РТ. 03101 33



КОМПАС - 3D.1.1 к1 1989-2010 ЗАО АСКОН Россия. Все права защищены
 Контр. Чтб.

Поз. Обозн.	Наименование	Кол	Примечание
C1,2	Конденсатор ОЖО 460.043	2	Сменный
R1,8	Резистор МТ-0,125-620 Ом	2	
R2,7	Резистор МТ-125-5,1 кОм	2	
R3,5	Резистор МТ-0,125-750 Ом	2	
R4,6	Резистор МТ-0,125-15 кОм	2	
VD1,2	Диод германиевый Д18	2	
VT1,2	Транзистор 1Т 3086	2	

				РТ. 03101 33		
Изм.	Лист	№ док.	Подп.	Дата	Триггер статический	Лит.
Разраб.		Исполн.			Схема электрическая	Масса
Проб.		Волкочева О.А.			принципиальная	Масштаб
Контр.						1:1
Иконтр.						Лист
Чтб.						Листов 1
						УдГУ ИГЗ ЗЧС-11

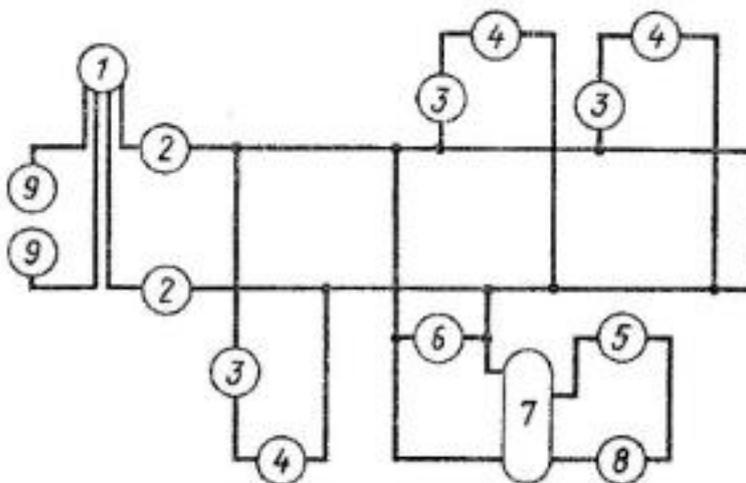
Листов 1
 Склад №

Индивидуальные задания по выполнению схем электрических принципиальных

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1 — счетчик,
- 2 — предохранитель плавкий,
- 3 — выключатель однополюсный,
- 4 — лампа накаливания,
- 5 — выключатель-кнопка,
- 6 — розетка,
- 7 — трансформатор,
- 8 — звонок,
- 9 — зажим.



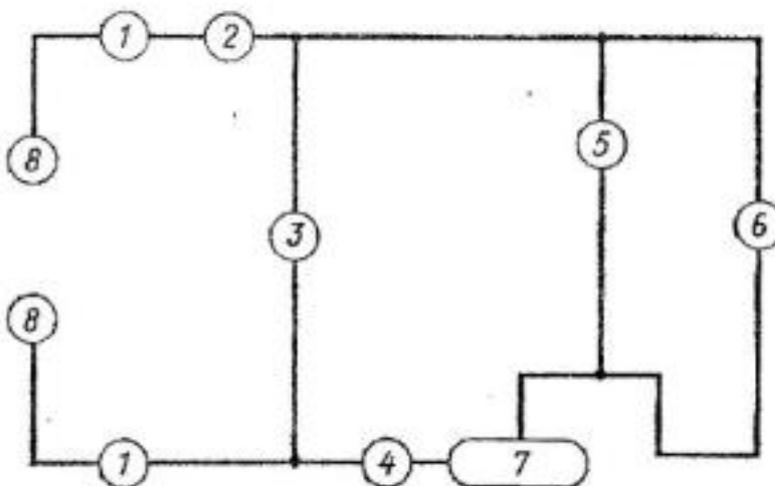
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

1 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсный выключатель?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1 — предохранитель плавкий,
- 2 — амперметр,
- 3 — розетка,
- 4 — выключатель однополюсный,
- 5 — вольтметр,
- 6 — лампа накаливания,
- 7 — переменный резистор,
- 8 — зажим.



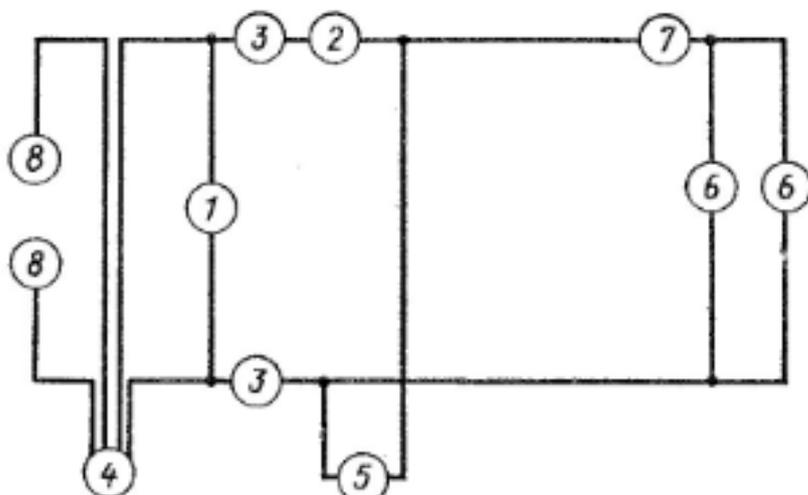
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

2 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы, входящие в цепь

- 1— вольтметр,
- 2— амперметр,
- 3— предохранитель,
- 4— счетчик,
- 5— розетка,
- 6— лампа накаливания,
- 7— выключатель однополюсный,
- 8— зажим.



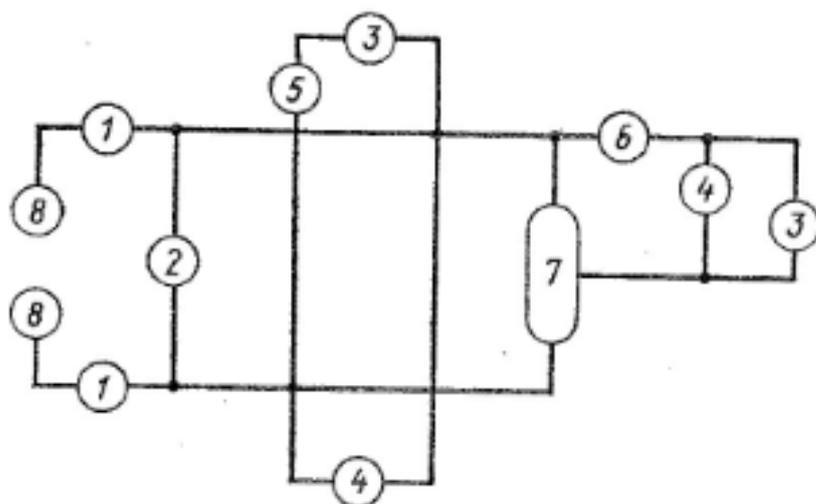
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Нахождение электроприборов указано на ней цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

3 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсный выключатель?
3. Какова роль условных обозначений на схемах?

Электроприборы, входящие в цепь

- 1— предохранитель,
- 2— вольтметр,
- 3— лампа накаливания,
- 4— розетка,
- 5— выключатель однополюсный,
- 6— амперметр,
- 7— переменный резистор,
- 8— зажим.



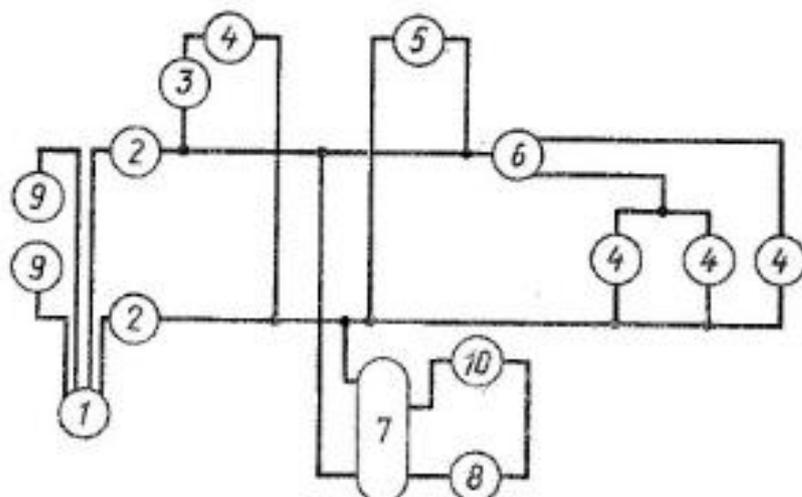
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов указано на ней цифрами в кружке. Начертите схему, заменив цифры условными обозначениями электроприборов.

4 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь лампы накаливания, розетка, однополюсный выключатель?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1—счетчик,
- 2—предохранитель,
- 3—выключатель однополюсный,
- 4—лампа накаливания,
- 5—розетка,
- 6—переключатель,
- 7—трансформатор,
- 8—звонок,
- 9—зажим,
- 10—выключатель-кнопка.



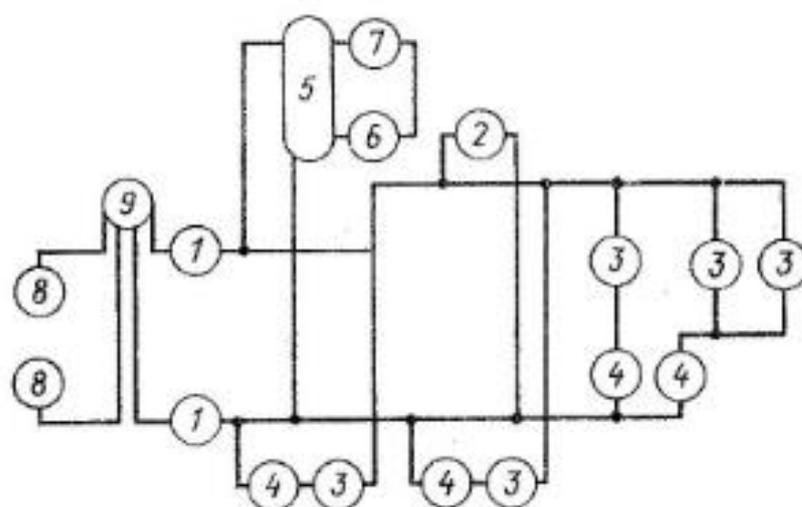
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

5 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь лампы накаливания, розетка, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1—предохранитель,
- 2—розетка,
- 3—лампа накаливания,
- 4—выключатель однополюсный,
- 5—трансформатор,
- 6—звонок,
- 7—выключатель-кнопка,
- 8—зажим,
- 9—счетчик.



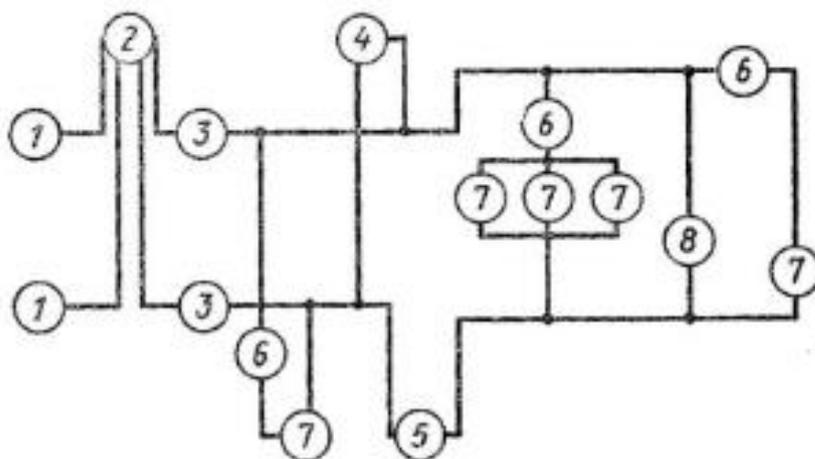
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

6 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы, входящие в цепь

- 1 — зажим,
- 2 — счетчик,
- 3 — предохранитель плавкий,
- 4 — вольтметр,
- 5 — амперметр,
- 6 — выключатель однополюсный,
- 7 — лампа накаливания,
- 8 — розетка.



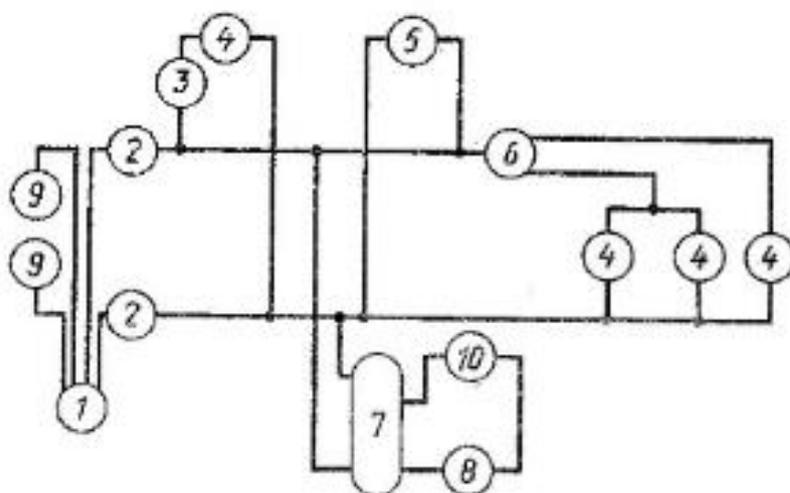
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

7 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь лампы накаливания, розетка, однополюсный выключатель?
3. Какова роль условных обозначений на схемах?

Электроприборы, входящие в цепь

- 1 — счетчик,
- 2 — предохранитель,
- 3 — выключатель однополюсный,
- 4 — лампа накаливания,
- 5 — розетка,
- 6 — переключатель,
- 7 — трансформатор,
- 8 — звонок,
- 9 — зажим,
- 10 — выключатель-кнопка.



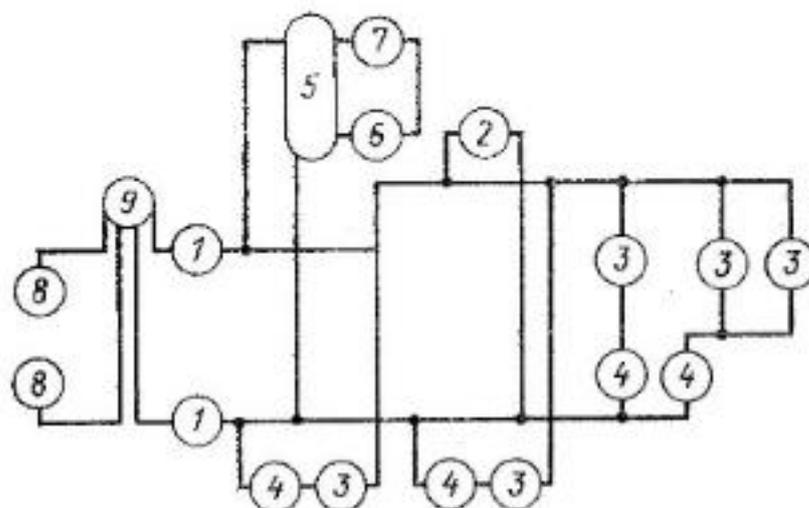
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

5 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь лампы накаливания, розетка, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1— предохранитель,
- 2— розетка,
- 3— лампа накаливания,
- 4— выключатель однополюсный,
- 5— трансформатор,
- 6— звонок,
- 7— выключатель-кнопка,
- 8— зажим,
- 9— счетчик.



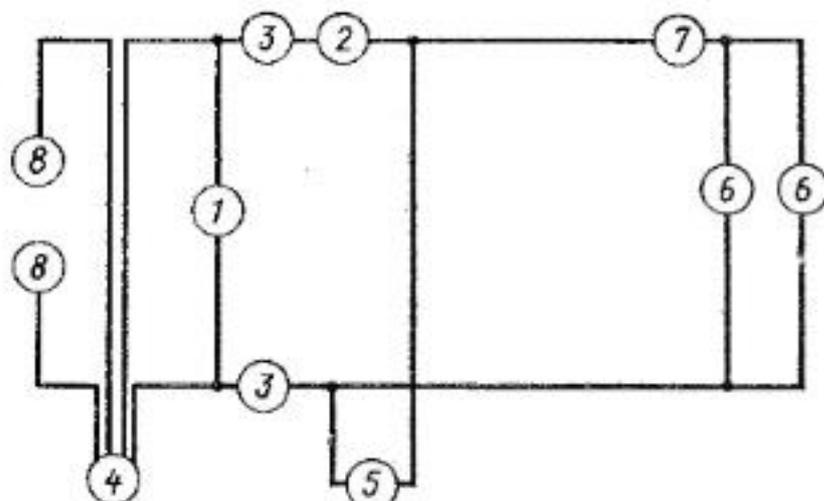
1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Местонахождение электроприборов на ней указано цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

6 Вариант

1. Что представляют собой электрические схемы?
2. Как включены в электроцепь розетка, лампы накаливания, однополюсные выключатели?
3. Какова роль условных обозначений на схемах?

Электроприборы,
входящие в цепь

- 1— вольтметр,
- 2— амперметр,
- 3— предохранитель,
- 4— счетчик,
- 5— розетка,
- 6— лампа накаливания,
- 7— выключатель однополюсный,
- 8— зажим.



1. Ответьте на вопросы.
2. На чертеже дана принципиальная схема электрической цепи. Нахождение электроприборов указано на ней цифрами в кружках. Начертите схему, заменив цифры условными обозначениями электроприборов.

3 Вариант

Практическое занятие №65. Правила выполнения электрических принципиальных схем.

Цель работы: ознакомиться с правилами оформления схемы электрической принципиальной, закрепить полученные

Общие сведения.

Схема электрическая принципиальная – конструкторский документ, на котором в виде условных графических изображений или обозначений показаны все электрические элементы или устройства, необходимые для осуществления и контроля в изделии заданных электрических процессов, все электрические связи между ними, а также электрические элементы (разъемы, зажимы и т. п.), которыми заканчиваются входные и выходные цепи.

Условные графические изображения некоторых электрических и радиоэлементов приведены в приложении 1.

Принципиальная схема отражает полный состав частей изделия и все связи между ними, поэтому она дает детальное представление о принципе работы изделия. Принципиальная схема – самая важная среди всех типов схем. Являясь результатом теоретической и исследовательской разработки изделия, она служит заданием для его конструирования, а также используется при изготовлении изделия, его наладке, контроле и ремонте.

Выполнение принципиальной схемы.

При выполнении электрических принципиальных схем следует, прежде всего, руководствоваться общими требованиями к выполнению схем, некоторые из них изложены выше. Здесь приводятся дополнительные правила и рекомендации для выполнения электрических принципиальных схем. Принципиальные схемы выполняют для изделий, находящихся в отключенном положении. В технически обоснованных случаях допускается отдельные элементы схемы изображать в выбранном рабочем положении с указанием на поле схемы режима, для которого изображены эти элементы. Элементы и устройства изображают на схемах совмещенным или разнесенным способом.

При совмещенном способе составные части элементов или устройств изображают на схеме в непосредственной близости друг к другу. На рис. 1 изображен совмещенным способом электрический элемент «реле», включающий в себя катушку и контакты.

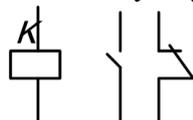


Рис. 1. Совмещенный способ изображения электрического элемента

При разнесенном способе составные части элементов и устройств изображают на схеме в разных местах таким образом, чтобы отдельные цепи изделия были изображены наиболее наглядно (рис. 2).

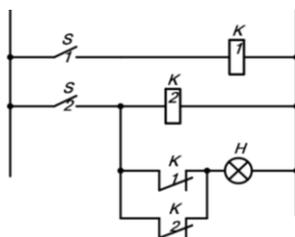


Рис. 2. Разнесенный способ изображения электрических элементов

Разнесенным способом допускается изображать все и отдельные элементы или устройства. Позиционные обозначения элементов.

Каждый элемент или устройство, входящие в изделие и изображенные на схеме, должны иметь позиционное обозначение в соответствии с требованиями ГОСТ 2.710-81. Позиционные обозначения элементам (устройствам) следует присваивать в пределах изделия (установки). Позиционное обозначение элемента (устройства) состоит из одной или двух букв, присвоенных группе элементов (устройств) изделия, и порядкового номера, присваиваемого каждому элементу (устройству) в пределах группы, например С1, С2 и т.д.; КМ1, КМ2 и т. д., начиная с единицы. Буквенные коды элементов устанавливает ГОСТ 2.710-81. Коды некоторых элементов приведены в приложении 1. Порядковые номера элементов присваивают в соответствии с последовательностью их расположения на схеме сверху вниз в направлении слева направо (рис. 3). Если в изделии имеется только один элемент с данным кодом, то его порядковый номер в позиционное обозначение этого элемента не включают. В случае, когда изделие содержит только один вид элемента, принадлежащего к некоторой группе, для его обозначения используют только первую (обязательную) букву кода, присвоенного данной группе элементов. Позиционные обозначения проставляют на схеме рядом с условными графическими обозначениями элементов (устройств) с правой стороны или над ними.

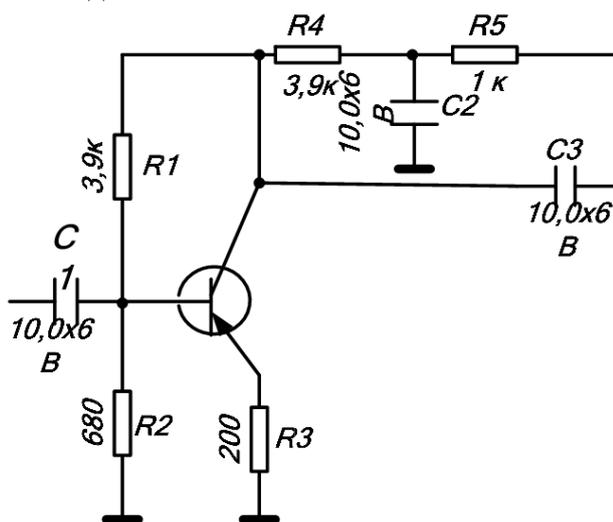


Рис. 3. Фрагмент электрической принципиальной схемы

Нельзя отделять позиционное обозначение от условного графического обозначения элемента линиями взаимосвязи.

Характеристики элементов схемы. В некоторых случаях (например, в принципиальных схемах на полупроводниковую интегральную микросхему) около условных графических и позиционных обозначений указывают номиналы резисторов и конденсаторов. При этом допускается применять упрощенный способ обозначения единиц измерений (рис. 4): для резисторов от 0 до 999 Ом – без указания единиц измерения (3,6; 10; 180 и т.д.); от $1 \cdot 10^3$ до $999 \cdot 10^3$ Ом в килоомах с обозначением единицы измерения строчной буквой к (12 к; 180 к и т.д.); от $1 \cdot 10^6$ до $999 \cdot 10^6$ Ом в мегаомах с обозначением единицы измерения прописной буквой М (2,7 М; 100 М и т.д.); свыше $1 \cdot 10^9$ Ом – в гигаомах с обозначением единицы измерения прописной буквой Г (1 Г; 2,7 Г и т.д.); для конденсаторов от 0 до $9999 \cdot 10^{-12}$ Ф – в пикофарадах без указания единиц измерения; от $1 \cdot 10^{-8}$ до $9999 \cdot 10^{-6}$ Ф – в микрофарадах без указания единиц измерения. При этом емкость записывают либо в виде десятичной дроби (0,05; 0,15; 0,5 и т.д.), либо в виде целого числа с нулем через запятую (1,0; 10,0; 500,0 и т.д.).

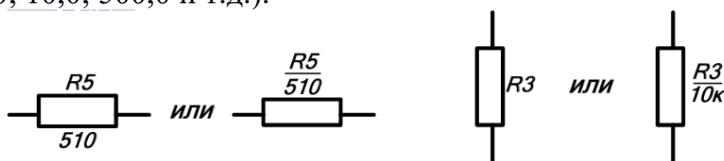


Рис. 4. Упрощенный способ обозначения единиц измерений около условных графических обозначений

Важным параметром резистора является номинальная рассеиваемая мощность, т.е. мощность, которая рассеивается на резисторе длительное время без вреда для его работоспособности.

Номинальную рассеиваемую мощность указывают на схемах условными знаками внутри символа резистора. Например, мощность 62 мВт обозначают тремя наклонными чертами; 0,125 Вт – двумя; 0,25 Вт – одной; 0,5 Вт – чертой, параллельной большим сторонам прямоугольника; а мощности 1, 2,5 Вт и более – соответствующими римскими цифрами (рис. 5).

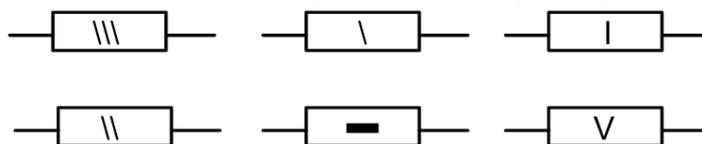


Рис. 5. Условное обозначение мощности рассеивания резисторов

Для электролитических и оксидно-полупроводниковых конденсаторов, кроме номинального значения емкости, указывают также допустимое напряжение в вольтах (рис. 3). Значение напряжения проставляется после значения емкости через знак « \times » (умножения) с указанием единицы измерения, например 10,0 \times 6В – конденсатор емкостью 10 микрофарад с допустимым напряжением 6 вольт. Полные данные об элементах приводят в перечне элементов, связь которого со схемой обеспечивается с помощью позиционных обозначений элементов.

Таблица входных (выходных) данных. Характеристики входных и выходных цепей изделия (частоту, напряжение, силутокаидр) рекомендуется записывать в таблицы, помещаемые взамен условных графических обозначений входных и выходных элементов – разъемов, плат и т.д. На рис. 6,а приведены размеры таблицы Входных (выходных) данных и пример заполнения. В графе «Конт» указываются номера контактов разъема, в графе «Цепь» записываются характеристики электрических цепей изделий.

Для удобства изображения схемы таблицу можно выполнять зеркально повернутой, как это показано на рис. 6,б. Каждой таблице присваивают позиционное обозначение элемента, взамен условного графического обозначения которого она помещена. Над таблицей допускается указывать условное графическое обозначение контакта – гнезда или штыря.

Условности и упрощения выполнения схем. При наличии в изделии нескольких одинаковых (по наименованию типу и номиналу) элементов, соединенных параллельно, рекомендуется вместо изображения всех элементов параллельного соединения (рис. 7,а) изображать только одну ветвь, указав количество ветвей при помощи обозначения ответвления (рис. 7,б,в). Около графических обозначений элементов, изображенных условно в одной ветви, проставляют их позиционные обозначения, при этом должны быть учтены все элементы, входящие в это параллельное соединение. При наличии в изделии трех и более одинаковых (по наименованию, типу и номиналу) элементов, соединенных последовательно, рекомендуется вместо изображения всех последовательно соединенных элементов (рис. 8,а) изображать только первый и последний элементы, показывая электрические связи между ними штриховыми линиями. При присвоении элементам позиционных обозначений должны быть учтены элементы, не изображенные на схеме.

15	40		
Конт	Цепь	10	
1	+150 В	8	
2	6,3 В; 1,7 А		
3	-75В		
4	6,3В; 1,7А		

Цепь	Конт
+150 В	1
6,3 В; 1,7 А	2
-75В	3
6,3В; 1,7А	4

а

Рис. 6. Таблица входных (выходных) данных: а – пример заполнения таблицы; б – вариант зеркально отраженной таблицы

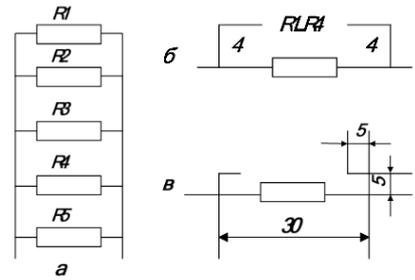


Рис. 7. Изображение нескольких одинаковых элементов, соединенных параллельно: а) действительное; б) условное; в) размеры условного обозначения

Над штриховой линией при этом указывают общее количество одинаковых элементов. Например, пять одинаковых резисторов, соединенных последовательно, изобразятся так, как показано на рис. 8,б.

Перечень элементов. Все сведения об элементах, входящих в состав изделия изображенных на схеме, записывают в перечень элементов, который помещают на первом листе схемы или выполняют в виде самостоятельного документа.

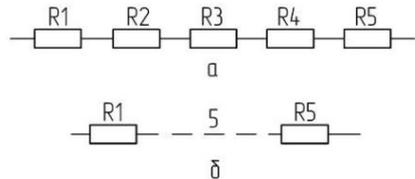


Рис. 8. Изображение нескольких одинаковых элементов, соединенных последовательно: а – действительное, б -условное

Продолжение перечня элементов помещают слева от основной надписи, повторяя головку таблицы.

При выпуске перечня элементов в виде самостоятельного документа его шифр должен состоять из буквы П (перечень) и шифра схемы, к которой выпускают перечень. Например, шифр перечня элементов к электрической принципиальной схеме будет ПЭЗ. Перечень элементов в этом случае выполняют на формате А4 с основной надписью по ГОСТ 2.104-68 (форма 2 и 2а).

15	Поз. обозначение	Наименование	Кол.	Примечание	8 min
	20	110	10		
	185				

Рис. 9. Форма таблицы перечня элементов

В графах перечня указывают следующие данные: в графе «Поз. обозначение» – позиционное обозначение элемента, устройства или обозначение функциональной группы; в графе «Наименование» – наименование элемента (устройства) в соответствии с документом, на основании которого этот элемент (устройство) применен, и обозначение этого документа (основной конструкторский документ, государственный стандарт, технические условия), например, резистор МЛТ-0,5-300 кОм ±5% ГОСТ 7113-76; в графе «Примечание» – технические данные, не содержащиеся в его наименовании (при необходимости).

Перечень элементов заполняется сверху вниз группам и в алфавитном порядке буквенных позиционных обозначений. Если на схеме применяют позиционные обозначения, составленные из букв латинского и русского алфавитов, то в перечень вначале записывают элементы с позиционными обозначениями, составленными из букв латинского алфавита, а затем из русского алфавита. В пределах каждой группы, имеющей одинаковые позиционные обозначения, элементы располагают по возрастанию порядковых номеров. Элементы одного типа, имеющие одинаковые электрические параметры, записывают в перечень одной строкой, если они имеют последовательные порядковые номера. Если таких элементов два, то в графу «Поз. обозначение» записывают позиционные обозначения этих элементов. Если таких элементов больше двух, то записывают только позиционные обозначения с наименьшим и наибольшим порядковыми номерами, разделяя их многоточием, например R1, R2; C1...C5. В графе «Кол.» указывают при этом общее количество элементов.

Если в группу входит несколько элементов с одинаковым наименованием, то его не записывают на каждой строке, а выносят в виде заголовка. Заголовок записывают в графу «Наименование» и подчеркивают. Между заголовком и началом перечисления оставляют одну свободную строку, между группами элементов – одну-две строки (рис. 10).

Поз. обозначение	Наименование	Кол.	Примечание
	<u>Резисторы ОМЛТ ГОСТ 7113-76</u>		
R1	МЛТ-0,5-300 кОм ±5% ГОСТ 7113-76	1	
R2	ІСП-I-A 560Ом ±5%-ОС-312 ГОСТ 5574-73	1	
R3	ПЭВ-10-3 кОм ±10% ГОСТ 6513-66	1	

Рис. 10. Пример оформления группы элементов в перечне элементов

В заголовок может быть внесено обозначение документа, если на его основании применены все перечисляемые элементы (рис. 11). Пример заполнения перечня элементов показан на рис. 12.

Поз. обозначение	Наименование	Кол.	Примечание
	<u>Резисторы ОМЛТ ГОСТ 7113-76</u>		
R4	ОМЛТ-0,5-200 Ом ±10%	1	
R5...R8	ОМЛТ-2-630 Ом ±5%	4	
R9,R10	ОМЛТ-0,5-910 кОм ±10%	2	

Рис. 11. Пример оформления заголовка группы элементов

Поз. обозначение	Наименование	Кол.	Примечание
L1	Катушка индуктивности АБВГ. XXXXXX. XXX	1	
	<u>Резисторы</u>		
R1	МЛТ-0,5-300 кОм ±5% ГОСТ 7113-76	1	
R2	ИСП-I-A 560Ом ±5%-ОС-312 ГОСТ 5574-73	1	
R3	ПЭВ-10-3 кОм ±10% ГОСТ 6513-66	1	
	Резисторы МЛТ ГОСТ 7113-66		
R4	МЛТ-0,5150 кОм ±10%	1	
R5, R6	МЛТ-0,5100 кОм ±10%	2	
R7...R10	МЛТ-0,25-200 кОм ±10%	4	
Ф1	Фильтр АБВГ. XXXXXX. XXX		

Рис. 12. Фрагмент перечня элементов

Задание.

В качестве задания студент получает схему электрическую принципиальную изделия, которая правильно отражает составные части изделия, электрические процессы, протекающие в нем, но требует оформления в соответствии с ГОСТ ЕСКД (приложения 2, 3). Вычерчивание схемы по предложенному заданию рекомендуется выполнять в такой последовательности:

1. Компоновка листа. На формате А3 чертежной бумаги, расположенном горизонтально, провести рамку, выделить место для основной надписи и перечня элементов. На оставшемся поле формата расположить схему так, чтобы расстояния от ее границ до рамки формата были одинаковыми. Условные графические изображения элементов должны быть равномерно распределены в пределах схемы.

2. Вычертить схему с наименьшим количеством изломов и пересечений линий электрической связи.

3. Вычертить последовательно или параллельно соединенные одинаковые элементы.

4. Присвоить элементам буквенно-цифровые обозначения.

5. Выполнить таблицу входных и выходных цепей.

6. Выполнить таблицу перечня элементов.

7. Заполнить основную надпись.

8. Схему, выполненную в тонких линиях, представить преподавателю для проверки. При правильном выполнении схемы преподаватель дает разрешение на оформление схемы, ставит подпись в графе «Провер.».

9. Оформление схемы. Исправить ошибки и обвести схему. После этого представить схему преподавателю для окончательной проверки.

Контрольные вопросы

1. Классификация схем согласно ГОСТ 2.701-84.
2. Классификация схем по видам. 3. Классификация схем по типам.
4. Обозначение /шифр/ схемы. Как присваивается?
5. Определение схемы.
6. Что такое схема принципиальная?
7. Чем отличаются схемы принципиальная и функциональная?
8. Как учитывается масштаб при выполнении различных схем?

9. Как изображаются электрические элементы на принципиальной схеме?
10. Основные принципы построения схем.
11. В каком положении находятся элементы, изображенные на схеме?
12. Особенности изображения и обозначения реле.
13. Способы выполнения схем /совмещенный, разнесенный.
14. Как располагаются условные графические обозначения элементов при вычерчивании схемы?
15. Порядок присвоения буквенно-цифровых обозначений.
16. Как записать характеристики входных и выходных цепей?
17. Как изобразить несколько одинаковых по наименованию, типу и номиналу элементов, соединенных последовательно?
18. Как изобразить несколько одинаковых по наименованию, типу и номиналу элементов, соединенных параллельно?
19. Назначение перечня элементов.
20. Как оформляется перечень элементов?
21. Какие данные указывают в графах перечня элементов?
22. В каком порядке производится запись элементов в перечень?
23. Какие элементы можно объединить в группу при заполнении перечня?
24. Как записывается в перечень элементов реле?
25. Где записывают шифр схемы?

Практическая работа №66. Составление эксплуатационной документации

Цель работы: ознакомление с процедурой составления пользовательской (эксплуатационной) документации к программному продукту.

Основные теоретические сведения

Эксплуатационная документация должна обеспечивать отчуждаемость ПС от их первичных разработчиков, адекватно отражать требуемое внешнее качество и качество в использовании, а также возможность освоения и эффективного применения ПС достаточно квалифицированными специалистами. Она применяется непосредственными пользователями в соответствии с функциональным назначением ПС, а также заказчиками, покупателями и поставщиками программных продуктов. Состав этой документации формируется с использованием части технологических документов с учетом требований заказчиков или потенциальных пользователей ПС. Содержание эксплуатационных документов должно предотвращать или исключать возможность некорректного использования комплекса программ пользователями за пределами условий эксплуатации, при которых поставщиком гарантируются требуемые и утвержденные характеристики качества функционирования ПС. При формировании эксплуатационных документов ПС, кроме базовых стандартов жизненного цикла могут использоваться ряд ведомственных нормативных документов и фирменных руководств.

Эксплуатационная документация включает в себя:

- Документация администрирования при применении ПС;
- Документация операторов-пользователей при применении программного средства;
- Документация обучения специалистов применению ПС.

Документация администрирования при эксплуатации информационной системы должна обеспечивать поддержку первичной инсталляции, штатного функционирования и восстановления программ и данных после сбоев и отказов. Управляющая деятельность администратора состоит в манипулировании управляемыми объектами и должна описываться,

анализироваться и регламентироваться совокупностью требований и документов. Для этого необходима полная документация о компонентах информационной системы (компьютерах, сетевых устройствах), которые имеют свои особенности в управлении с помощью специальных программных компонентов, поддерживающих администрирование и управление системой. К основным функциям системы администрирования, документы для которых подлежат разработке и оцениванию, относятся:

- планирование использования памяти и производительности вычислительной системы в рабочем режиме применения ПС, оперативное управление и распределение ресурсов информационной системы;
- инсталляция и генерация рабочих версий ПС для оперативных пользователей;
- управление и учет внешней среды при выполнении адаптации и реконфигурации конкретного ПС;
- выявление, регистрация и накопление данных о сбоях и дефектах функционирования программ и данных;
- управление средствами защиты информации и санкционированного доступа пользователей, анализ попыток взлома системы защиты, восстановление программ и информации баз данных при искажениях;
- сбор и обобщение статистики о качестве функционирования ПС в составе системы обработки информации.

Документация операторов-пользователей должна обеспечивать корректную и квалифицированную эксплуатацию комплекса программ во всем диапазоне его характеристик, предписанных требованиями заказчика и зафиксированных метриками в использовании. Объектами разработки и оценивания являются документы на процедуры и компоненты интерфейса с внешней средой и с пользователями, определяющие инициализацию соответствующих операций, их ход и результаты, а также комфортность их выполнения. Должно быть предусмотрено достаточное качество идентификации ошибочных действий и ситуаций, а также стандартизированной формы сообщений об ошибках пользователей.

Приобретение, поставка, разработка, функционирование и сопровождение программных средств в значительной степени зависит от квалификации специалистов. Поэтому эксплуатационной документацией обязательно должно поддерживаться эффективное обучение персонала с целью его подготовки к приобретению, поставке, применению и сопровождению программного средства. Процесс обучения специалистов, контроль и учет результатов обучения с оцениванием достигнутой ими квалификации должен гарантировать, что соответствующие категории обученного персонала готовы для выполнения запланированных действий и решения задач с определенным программным средством. Результатом выполнения данной работы является пользовательская документация к разработанному ПП.

Задания к практической части

1. Руководство оператора должно состоять из следующих частей:

- Титульной;
- Информационной;
- Основной.

Титульная часть оформляется согласно ГОСТ19.104-78 ЕСПД. Основные надписи. Информационная часть должна состоять из аннотации и содержания. В аннотации приводят сведения о назначении документа и краткое изложение основной части. Содержание включает перечень записей о структурных элементах основной части документа. Основная часть руководства оператора должна содержать следующие разделы: (ГОСТ19.505-79 ЕСПД. Руководство оператора. Требования к содержанию и оформлению)

- Назначение программы содержит сведения о назначении программы и информацию, достаточную для понимания функций программы.

- Условия выполнения программы должны содержать минимальный и максимальный состав аппаратных и программных средств.

- Выполнение программы представляет собой последовательность действий оператора, обеспечивающих загрузку, выполнение и завершение программы, возможные варианты команд, которыми оператор может управлять выполнением программы, а также ответы программы на эти команды.

- Сообщения оператору содержат тексты сообщений, выдаваемых в ходе выполнения программы и соответствующие действия оператора, его действия в случае сбоя, повторного запуска программы.

2. Составить руководство оператора в соответствии с ГОСТ 19.505-79 ЕСПД. Руководство оператора. Требования к содержанию и оформлению.

3. Скомпоновать Руководство оператора в виде брошюры, в выбранной вами программе.

Требования к отчёту

Отчёт должен содержать титульный лист, содержание и основную часть, оформленную в соответствии с ГОСТ 19.505-79 ЕСПД. Руководство оператора. Требования к содержанию и оформлению.

Контрольные вопросы

1. Какая документация называется эксплуатационной?
2. Что относится к эксплуатационной документации?
3. Что относится к основным функциям системы администрирования?
4. Что должна обеспечивать документация операторов-пользователей?

Варианты для задания

- 1) Архиватор
- 2) Текстовый редактор
- 3) Файловый менеджер
- 4) Антивирусная программа
- 5) Аудио проигрыватель
- 6) Графический редактор
- 7) Браузер
- 8) Видео редактор
- 9) Почтовый клиент
- 10) Программа записи дисков

Практическая работа №67. Использование программы MS Visio для создания конструкторской документации.

Цель работы: подготовить необходимые электронные рамки для оформления чертежей при проектировании цифровых устройств.

Теоретическое введение

Оформление рамок чертежа: 1 – поле чертежа; 2 – основная надпись чертежа по ГОСТ 2.104-68* по форме 1; 3 – рамка с обозначением документа, повернутым на 180° Основная надпись выполняется по форме 1 (ГОСТ 2.104-68). Каждый чертеж оформляют на листах стандартного формата А3 (420x297). Допускается выполнять чертеж на нескольких листах А4 (210x297).

Размеры форматов листов чертежей определены ГОСТ 2.104 —68 чертеж имеет штамп чертежа в соответствии с рисунком 1. Левое поле чертежа используется для брошюровки в альбом. Первый лист чертежа сопровождается штампом чертежа в соответствии с рисунком 2 (ГОСТ 2.104 —68 форма 1). Если чертеж выполнен на двух листах, то второй лист чертежа сопровождается штампом в соответствии с рисунком 3 (ГОСТ 2.104 —68 форма 2а). Для выполнения спецификации применяют штамп в соответствии с рисунком 4 (ГОСТ 2.104 —68 форма 2). Штамп чертежа располагают в правом нижнем углу формата. На листе формата А4 основную штамп чертежа располагают только вдоль короткой стороны формата. При выполнении чертежей, если в задании не указан масштаб, выбирать самостоятельно, согласно ГОСТ 2.302 — 68.

Задание

1. Создать рамки для чертежей по приведенным ГОСТам (Рис.2, Рис.3, Рис.4). Сохранить полученные заготовки для оформления чертежей.

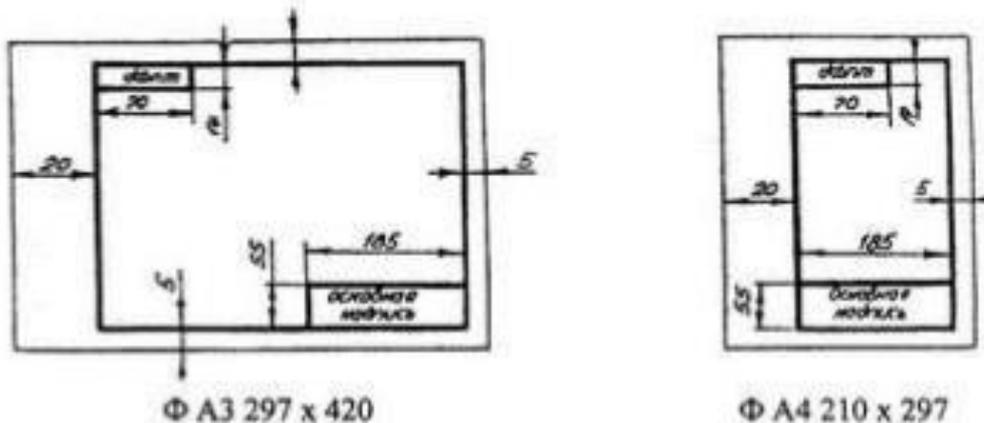


Рисунок 1



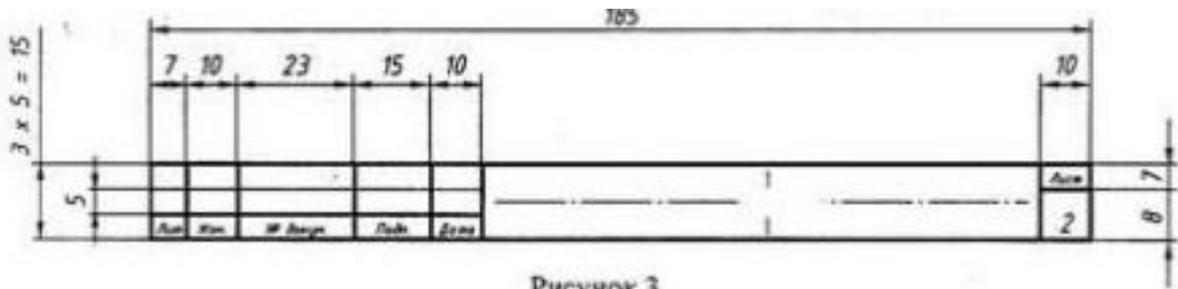


Рисунок 3

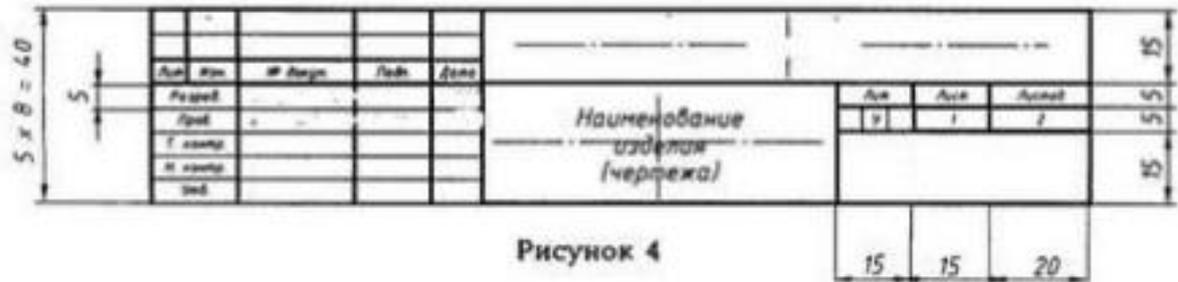


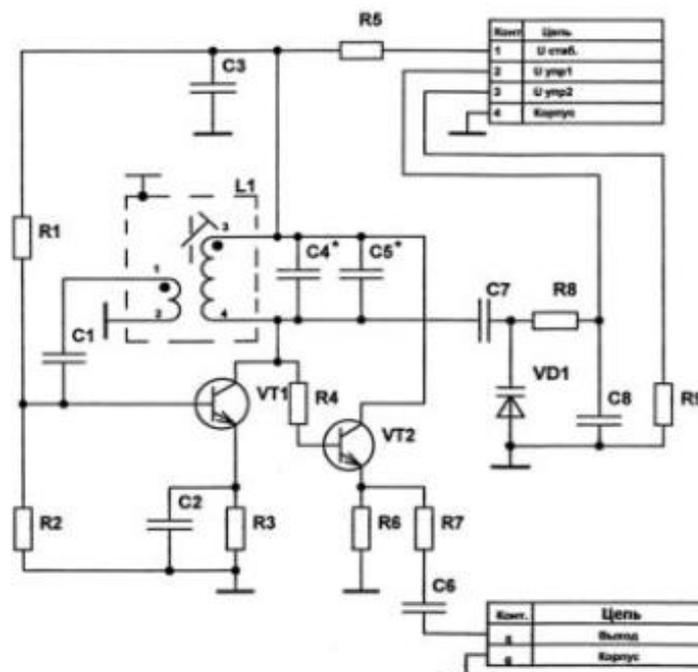
Рисунок 4

Практическая работа №68. Использование программы MSVisio для создания чертежей электрических схем.

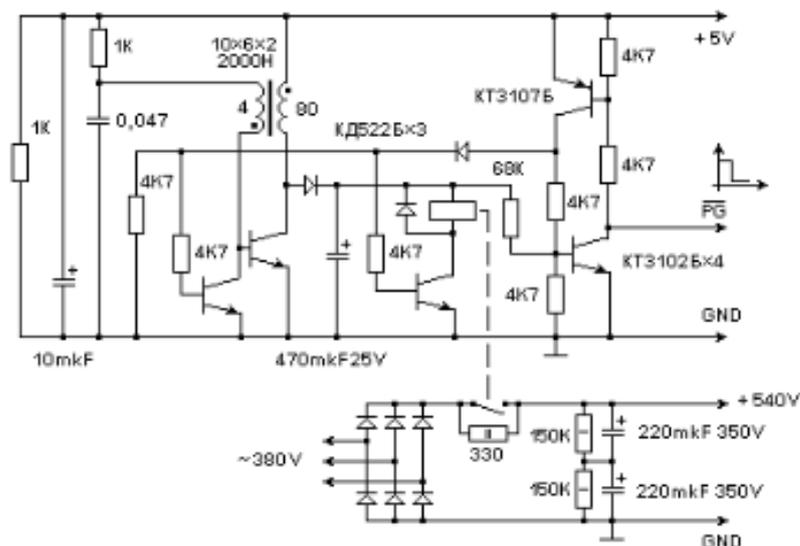
Цель работы: изучить набор шаблонов для создания принципиальных и структурных схем, научиться собирать из стандартных фигур принципиальные и структурные схемы электронных устройств.

План работы

Задание 1. С помощью пакета Visio выполнить построение чертежа электрической схемы листе формата А4 со штампом соответствующим ГОСТ 2.104 — 68.



Задание 2. С помощью пакета Visio выполнить построение чертежа электрической схемы листе формата А4 со штампом соответствующим ГОСТ 2.104 — 68.



Задание 3. Распечатать все схемы на чертежах, оформленных согласно ГОСТ- 2.301-68.

Практическая работа №69. Использование программы MS Visio для создания общих схем

Цель работы:

Задание 1. С помощью пакета Visio выполнить построение чертежа плана компьютерного класса на листе формата А4 со штампом соответствующим ГОСТ 2.104 —68.

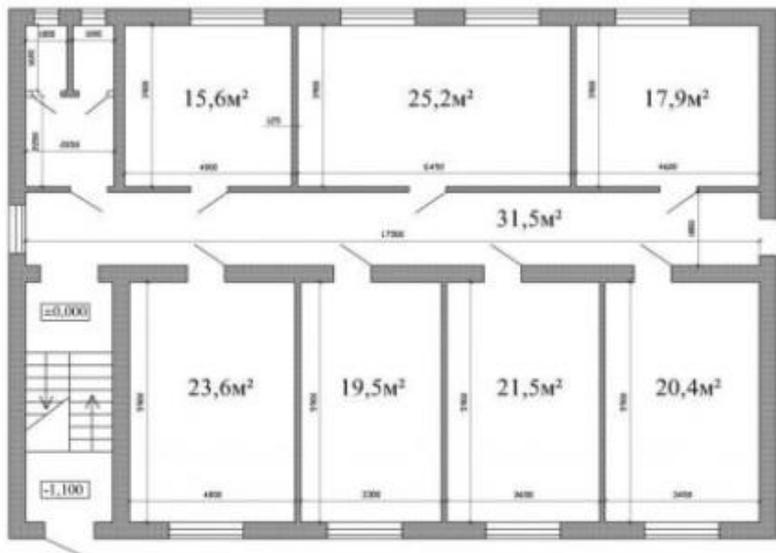
Требование к схеме:

1. Правильный выбор масштаба чертежа.
2. Правильное расположение окон, дверей, мебели.
3. Указание на схеме дополнительных элементов: доски, шкафов и др.
4. Правильное расположение компьютерного оборудования: персональные компьютеры, принтеры.



Задание 2. С помощью пакета Visio выполнить построение чертежа плана помещения листе формата А4 со штампом соответствующим ГОСТ 2.104 — 68.

План 1 этажа



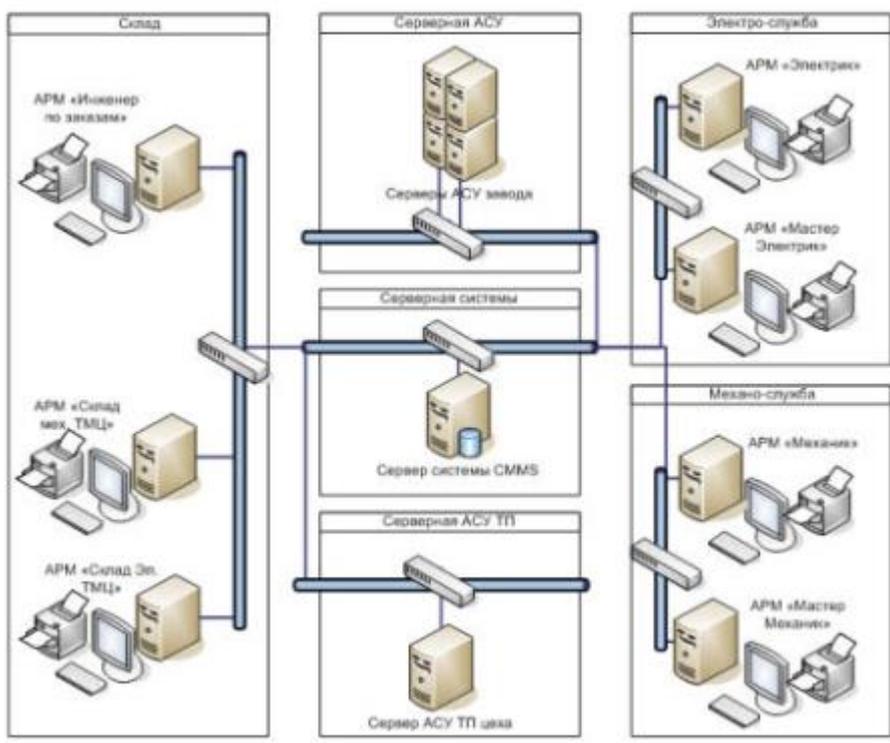
Распечатать все схемы на чертежах, оформленных согласно ГОСТ- 2.301-68.

Практическая работа №70. Использование программы MS Visio для создания схемы локальной сети предприятия

Задание 1. С помощью пакета Visio выполнить построение чертежа схемы локальной сети предприятия на листе формата А4 со штампом соответствующим ГОСТ 2.104 — 68.



Задание 4. С помощью пакета Visio выполнить построение чертежа схемы локальной сети предприятия на листе формата А4 со штампом соответствующим ГОСТ 2.104 — 68.



Распечатать все схемы на чертежах, оформленных согласно ГОСТ- 2.301-68.

Практическая работа №71. Использование программы MS Visio для создания структурных схем цифровых устройств с изображениями функциональных частей

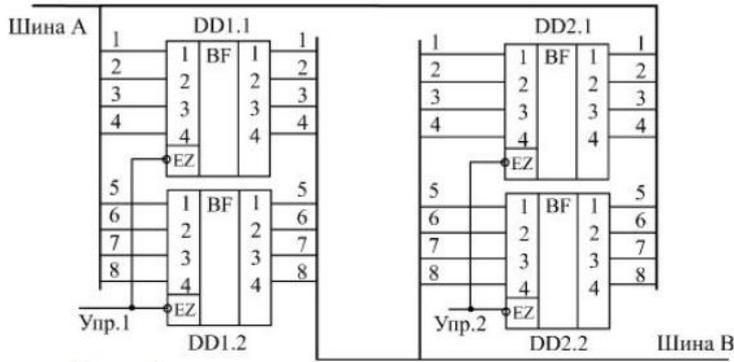
Цель работы: научиться использовать основные фигуры Visio для создания шаблонов микросхем, научиться группировать объекты, копировать, использовать динамические соединительные линии.

План выполнения работы

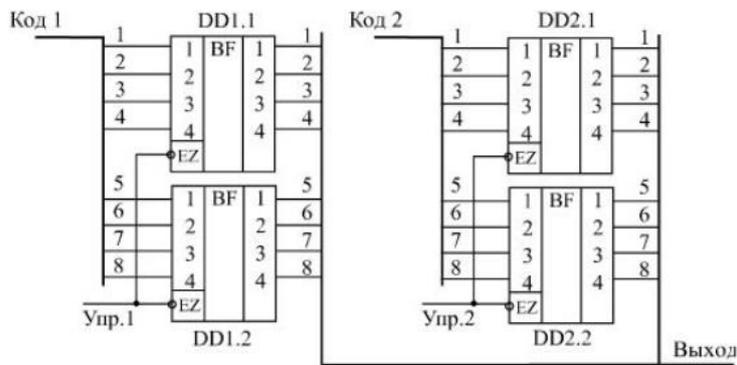
1. Запустить программу MS Visio
2. Открыть шаблон простых блок-схем

Задание 1. Построить заданную схему в масштабе 1:1 (по вариантам)

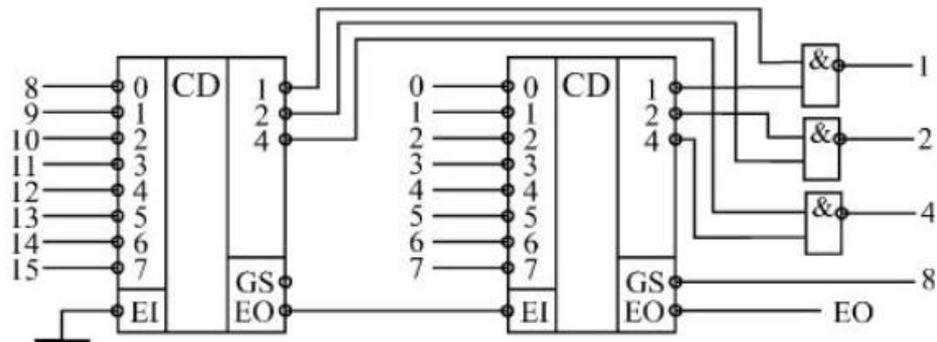
Вариант 1.



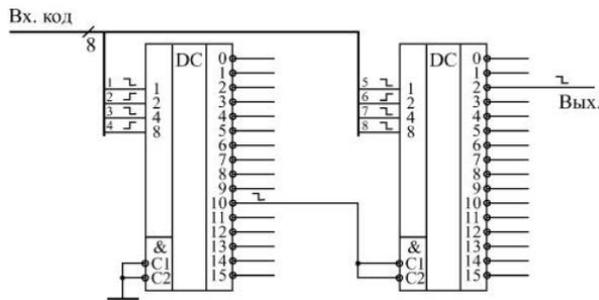
Вариант 2.



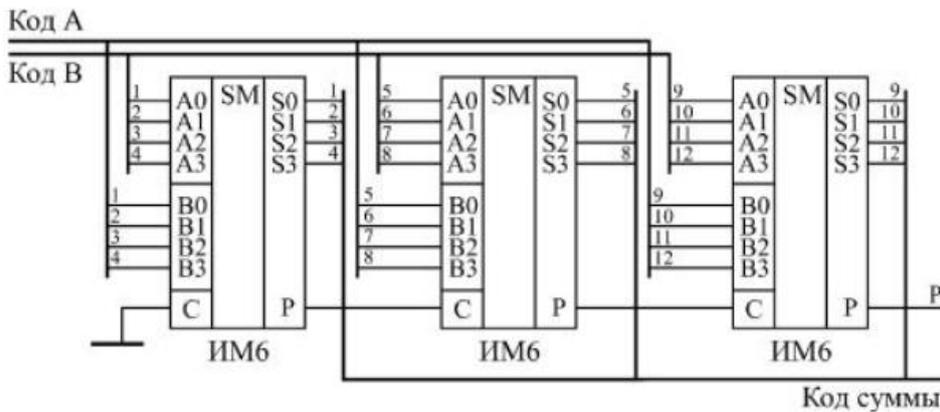
Вариант 3.



Вариант 4.



Вариант 5.



Распечатать все схемы на чертежах, оформленных согласно ГОСТ- 2.301-68.

Практическая работа №72. Расчет надежности электронных изделий

Цель работы: произвести расчет показателей надежности прибора.

Теоретическая часть

Расчет надежности заключается в определении показателей надежности изделия по известным характеристикам надежности составляющих компонентов и условиям эксплуатации. Для расчета надежности необходимо иметь логическую модель безотказной работы системы. При ее составлении предполагается, что отказы элементов независимы, и считается последовательно соединенным на логической схеме надежности. Элементы и система могут находиться в одном из двух состояний: работоспособном или неработоспособном. Элемент, при отказе которого отказывает вся система, считается последовательно соединенным на логической схеме надежности. Элемент, отказ которого не приводит к отказу системы, считается включенным параллельно.

Расчет надежности РЭА по внезапным отказам. Из анализа логической схемы надежности определяется способ резервирования, используемый в изделии. Если схема состоит только из последовательно включенных элементов, то система является резервированной. Определяются интенсивности отказов элементов с учетом условий эксплуатации изделия:

$$\lambda_i = \lambda_{oi} K_1 K_2 K_3 K_4 a_i(T, K_n), \quad (1)$$

где λ_{oi} — номинальная интенсивность отказов;

K_1 и K_2 - поправочные коэффициенты в зависимости от воздействия механических факторов;

K_3 - поправочный коэффициент в зависимости от воздействия влажности и температуры;

K_4 - поправочный коэффициент в зависимости от давления воздуха

(T, K_n) - поправочный коэффициент в зависимости от температуры поверхности элемента T и коэффициента нагрузки K_n .

Значения номинальных интенсивностей отказов элементов даны в таблице 1. В таблицах приведены поправочные коэффициенты $K_1 \dots K_4$. Рассчитывается вероятность безотказной работы в течение заданной наработки $(0, t_p)$. Для нерезервированных систем:

$$P(t_p) = \exp\left(-\sum_{i=1}^n \lambda_i t_p\right), \quad (2)$$

где n - число элементов.

При этом интенсивность отказов системы:

$$\lambda = \sum_{i=1}^n \lambda_i$$

а среднее время наработки до отказа:

$$T = \frac{1}{\lambda}.$$

Таблица 1 - Номинальные интенсивности отказов ЭРЭ

Наименование элемента	$\lambda_n \cdot 10^4, \frac{1}{ч}$
1	2
Микросхемы со средней степенью интеграции	0,013
Большие интегральные схемы	0,01
Транзисторы германиевые: до 2 мВт	0,4
до 20 мВт	0,7
до 200 мВт	0,6
свыше 200 мВт	1,91
Транзисторы кремниевые: до 150 мВт	0,84
до 1 Вт	0,5
до 4 Вт	0,74
Диоды германиевые	0,157
Диоды кремниевые	0,2
Конденсаторы бумажные	0,05
керамические	0,15
слоистые	0,075
электролитические	0,035
воздушные переменные	0,034
Резисторы композиционные	0,043
пленочные	0,03
проволочные	0,087
угольные	0,045
Трансформаторы входные	1,09
выходные	0,09
звуковой частоты	0,02
высокочастотные	0,045
Трансформаторы силовые	0,025
Дроссели	0,34
Кагушки индуктивности	0,02
Реле	0,25 • n
Соединители	0,06n
Переключатель кнопочный	0,07n
Гнезда	0,01
Клеммы, зажимы	0,0005
Провода соединительные	0,01513
Кабели	0,475
Изоляторы	0,051
Аккумуляторы	7,2
Батареи заряжаемые	1,4
Электродвигатели асинхронные	8,6
синхронные	0,359
вентиляторные	2,25

Антенны	0,36
Волноводы жесткие	1,1
Волноводы гибкие	2,6
Предохранители	0,5
Выводы высокочастотные	2,63
Плата печатной схемы	0,7
Пайка печатного монтажа	0,01
Пайка навесного монтажа	0,03
Микрофоны динамические	20
Громкоговорители динамические	4
Датчики оптические	4,7

Примечание: n - число контактов

Таблица 2 - Коэффициенты влияния механических воздействий

Условия эксплуатации аппаратуры	Вибрация K_1	Ударные нагрузки K_2	Суммарные воздействия K
Лабораторные	1,0	1,0	1,0
Стационарные	1,04	1,03	1,07
(полевые)	1,3	1,05	1,37
Корабельные	1,35	1,08	1,46
Автофургонные	1,4	1,1	1,54
Железнодорожные	1,46	1,13	1,65
Самолетные			

Таблица 3 - Коэффициенты влияния влажности

Влажность, %	Температура, °C	Поправочный коэффициент K_3
60.-70	20.-40	1,0
90.-98	20.-25	2,0
90.-98	30.-40	2,5

Таблица 4 - Коэффициенты влияния атмосферного давления

Давление, кПа	Поправочный коэфф. K_4	Давление, кПа	Поправочный коэфф. K_4
0,1.-1,3	1,45	32,0.-42,0	1,2
1,3.-2,4	1,4	42,0.-50,0	1,16
2,4.-4,4	1,36	50,0.-65,0	1,14
4,4.-12,0	1,35	65,0.-80,0	1,1
12,0.-24,0	1,3	80,0.-100,0	1,0
24,0.-32,0	1,25		

Для пассивного общего резервирования

$$P(t_p) = 1 - \prod_{i=1}^{k+1} \left[1 - \exp\left(-\sum_{i=1}^m \lambda_i \cdot t_p\right) \right], \quad (3)$$

где k - кратность резервирования.

Для пассивного раздельного резервирования

$$P(t_p) = \prod_{i=1}^m \left[1 - (1 - e^{-\lambda_i t_p})^{k+1} \right]. \quad (4)$$

При общем резервировании с дробной кратностью (рис.1.1,б)

$$P(t_p) = \sum_{v=0}^{k+1-h} C_{k+1}^v \exp(-(k+1-v)\lambda t_p) \sum_{j=0}^v (-1)^j C_v^j e^{-j\lambda t_p}, \quad (5)$$

где C_{k+1}^v - число сочетаний из $k+1$ по v .

Для активного резервирования с учетом надежности переключателей

$$P(t_p) = 1 - (1 - e^{-\lambda t_p} e^{-\lambda t_p})^{k+1}, \quad (6)$$

где λ - интенсивность отказов переключателей.

Для скользящего резервирования (рисунок 1.1, г)

$$P(t_p) = \left[1 + m \frac{\lambda \mu}{\lambda n} (1 - e^{-\lambda t_p}) \right] e^{-m \lambda t_p}. \quad (7)$$

Для ремонтируемой РЭА определяется коэффициент готовности, равный вероятности нахождения системы в состоянии работоспособности при длительной нагрузке, для резервированной системы, состоящей из равно-надежных элементов, одного основного и ненагруженных резервных элементов,

$$K_2 = 1 - \sum_{j=0}^{k+1} \frac{1}{j!} \left(\frac{\mu}{\lambda} \right)^j;$$

для той же резервированной системы с нагруженным резервом

$$K_2 = 1 - \sum_{j=0}^{k+1} \frac{1}{j!} \left(\frac{\mu}{\lambda} \right)^j, \quad (8)$$

где μ - интенсивность восстановления.

На этом расчет надежности по внезапным отказам заканчивается.

Расчет надежности РЭА по постепенным отказам. При расчете надежности РЭА по постепенным отказам определяется вероятность попадания выходного определяющего параметра

РЭА Y в пределы допуска. Для этого прежде всего необходимо знание уравнения связи, определяющего вид зависимости основного параметра Y от параметров элементов и конструкции РЭА:

$$Y = f(X_1, X_2, \dots, X_n) \quad (9)$$

Исходными данными для расчета надежности по постепенным отказам являются:

- характер постоянного изменения математического ожидания каждого параметра конструкции m_{xi} , например от температуры $m_{xi}(T)$ или времени эксплуатации $m_{xi}(t)$;
- среднее квадратическое отклонение параметров конструкции, вызванное дестабилизирующими случайными факторами технологического процесса, условий эксплуатации, времени x_i ;
- допуск на определяющий параметр $[Y_1, Y_2]$.

Предполагается, что функция распределения случайных величин параметров конструкции является Гауссовской, т.е.

$$p(X_i) = \frac{1}{\sqrt{2\pi}\sigma_{xi}} \exp\left[-\frac{(X_i - m_{xi})^2}{2\sigma_{xi}^2}\right], \quad (10)$$

причем в нормальных условиях эксплуатации математическое ожидание совпадает с номинальным значением.

Из выражения(6.9) получают уравнение абсолютной погрешности определяющего параметра

$$Y - Y_0 = \sum_{i=1}^n A_i (X_i - X_{oi}), \quad (11)$$

где индекс "0" означает, что в выражение для A подставляются номинальные значения параметров конструкции.

Определяются математическое ожидание M_y и среднее квадратическое отклонение σ_y определяющего параметра при заданных температуре или сроке эксплуатации:

$$M_y = Y_0 + \sum_{i=1}^n A_i (m_{xi} - X_{oi}),$$

$$\sigma_y = \left[\sum_{i=1}^n A_i^2 \sigma_{xi}^2 + 2 \sum_{i,j=1}^n A_i A_j \sigma_{xi} \sigma_{xj} r_{ij} \right]^{1/2}, \quad (12)$$

где r_{ij} -коэффициент корреляции случайных величин A_i и A_j .

Определяется вероятность работоспособности устройства в предположении, что функция распределения плотности вероятности случайной величины определяющего параметра является Гауссовской.

Расчет параметров изделия

При выполнении проекта производится расчет статических и динамических параметров разрабатываемого изделия. К ним относятся:

- 1) потребляемая мощность;
- 2) быстродействие;
- 3) надежность.

Расчет потребляемой мощности.

Мощность и ток, потребляемый логическим элементом (ЛЭ) от источника питания зависит от его логического состояния. Статическая мощность потребляется ЛЭ, который не переключается. Такой элемент может находиться в состоянии лог. "0" или лог. "1", поэтому существует два значения статической мощности P_0 и P_1 . Для схемы из множества ЛЭ нулевое и единичное состояние принимают равновероятными и пользуются средним значением статической мощности:

$$P_{cp} = \frac{P^0 + P^1}{2}$$

Средняя мощность, потребляемая ЛЭ в статическом режиме может быть определена по формуле:

$$P_{cp} = I_{n\text{cp}} U_{\text{ин}}$$

Потребляемая мощность изделия:

$$P_{\text{потр}} = \sum P_{\text{потр.ср}i}$$

где $I_{n\text{cp}}$ - среднее значение тока, потребляемого ЛЭ;

$U_{\text{ин}}$ - напряжение питания ЛЭ.

Схема потребляет I_i^0 при $U_{\text{вхл}}=U^0$ и I_i^1 при $U_{\text{вхл}}=U^1$. Тогда средний потребляемый ток одного ЛЭ определяется по формуле:

По справочным $I_{n\text{cp}} = \frac{I_i^0 + I_i^1}{2}$ данным составляется таблица значений потребляемого тока всеми ЛЭ в состоянии лог. "0" и "1".

Тип ИМС	I_i^1 , мА	I_i^0 , мА	$I_{n\text{cp}}$, мА

Потребляемая мощность изделия:

$$P_{\text{потр}} = \sum P_{\text{потр.ср}i}$$

В процессе переключения ряда типов ЛЭ ток в цепи питания существенно увеличивается. Вследствие этого элементы потребляют дополнительную динамическую мощность $P_{\text{дин}}$, значение которой пропорционально частоте переключений f_n . В результате общая мощность ($P_{\text{общ}} = P_{\text{ст}} + P_{\text{дин}}$), потребляемая в режиме переключения, оказывается больше мощности $P_{\text{ст}}$. Для ЛЭ на КМДП-транзисторах $P_{\text{но}} \approx P$ и основная часть энергии источника питания расходуется на перезаряд $C_{\text{параз}}$. Общая мощность:

$$P_{\text{общ}} \approx P_{\text{дин}} \approx C_{\text{параз}} * U_{\text{ин}} * f_n$$

Расчет быстродействия.

Быстродействие ЛЭ определяется временем их перехода из состояния лог. "0" в состояние лог "1" и обратно t_{01} и t_{10} .

$$t_{зсп} = \frac{t_з^{01} + t_з^{10}}{2},$$

Одним из важнейших параметров является средняя задержка, которая определяет среднее время выполнения логических операций. При расчетах быстродействия пользуются этим параметром. По справочным данным значениям времени задержки составляется таблица.

Тип ИМС	t_{ζ}^{01} , нс	t_{ζ}^{10} , нс	$t_{\zeta\eta\delta}$, нс

Быстродействие изделия в целом определяется средним временем задержки передачи сигнала,

$$T = \sum_{i=1}^N t_{зсп}$$

где N-количество ЛЭ в цепи прохождения сигнала.

Максимальная рабочая частота определяется по формуле:

$$F = \frac{1}{T}$$

Расчет надежности.

Надежность - свойство объекта выполнять заданные функции, сохраняя во времени значения эксплуатационных параметров в допустимых пределах в соответствии с установленными нормами его эксплуатации, ремонта, технического обслуживания и транспортировки. Расчет параметров надежности ведется в два этапа:

- 1) предварительный расчет надежности.
- 2) окончательный расчет надежности.

Предварительный расчет надежности проводят на этапе эскизного проектирования. В результате предварительного расчета определяются следующие показатели:

1. Интенсивность отказов изделия,

$$\lambda_{общ} = \sum_{i=1}^N \lambda_{i0} * n_i,$$

где N-число групп "компонентов надежности", имеющих разные интенсивности отказов;

λ -интенсивность отказов элемента i-ой группы;

n_i -количество элементов в i-ой группе.

- 2) Время наработки на отказ.

$$T = \frac{1}{\lambda_{общ}}$$

- 3) Вероятность безотказной работы.

$$P(t) = e^{-\lambda_{обш}t}$$

подсчитать для: $t = 100, 1000, 10000$ часов. Результаты предварительного расчета показателей надежности заносятся в таблицу:

Группа элементов	Интенсивность отказов $\lambda_{i0}, 1/ч$	Количество элементов n	$\lambda_{i0} * n$

При этом в таблицу вносятся все компоненты ненадежности, входящие в изделие (ИМС, ЭРЭ, основание ПП, пайка).

Окончательный расчет надежности ведется на этапе технического проектирования. Формулы для расчета показателей надежности те же, но при расчете интенсивности отказов следует учитывать электрический режим работы ЭРЭ и условия эксплуатации (температура, влажность, вибрация и т.д.).

В рамках практической работы для учета влияния режима работы рассчитывается коэффициент нагрузки K_n , а температурный коэффициент берется равным 1:

$$\lambda_i = \lambda_{i0} * K_n * K_t = \lambda_{i0} * K_n$$

$$K_n = \frac{H_{раб.}}{H_{ном.}}$$

где $H_{раб.}$ - нагрузка на элемент в рабочем режиме;

$H_{ном.}$ - нагрузка в номинальном (допустимом) режиме (по справочнику).

Коэффициент K_n для ИМС определяется по нагрузочной способности (через коэффициент разветвления):

$$K_{имс} = \frac{K_{разв.раб.}}{K_{разв.ном.}}$$

для конденсаторов через напряжение:

$$K_{нс} = \frac{U_{раб.}}{U_{ном.}}$$

для резисторов через мощность:

$$K_{nr} = \frac{P_{раб.}}{P_{ном.}}$$

для транзисторов через напряжение $U_{раб.}$, если мощность, или ток I_k :

$$K_{hvt} = \frac{P_{раб.}}{P_{ном.}} \left(\text{или} \frac{U_{раб.}}{U_{ном.}} \right) \left(\text{или} \frac{I_{краб.}}{I_{кдоп}} \right);$$

для диодов через прямой ток или обратное напряжение:

$$K_{\text{нвд}} = \frac{I_{\text{нрраб.}}}{I_{\text{нрдоп}}} \left(\text{или} \frac{U_{\text{обр.раб.}}}{U_{\text{обр.доп.}}} \right);$$

Результаты расчетов сводятся в таблицу:

элемент	Интенсивность отказов $\lambda_{10}, 1/\text{ч}$	Коэффициент нагрузки K_n	$\lambda_{10} * \bar{E}_i$

По расчетам вероятности безотказной работы строится график $P(t)$. По оси времени рекомендуется взять логарифмический масштаб.