

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Шебзухова Татьяна Александровна

Должность: Директор Пятигорского института (филиал) Северо-Кавказского

федерального университета

Дата подписания: 23.09.2023

Уникальный программный код:  
d74ce93cd40e39275c3ba2f58486412a1c8ef96f

Министерство науки и высшего образования Российской Федерации

Федеральное государственное автономное образовательное учреждение

высшего образования

«СЕВЕРО-КАВКАЗСКИЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Институт сервиса, туризма и дизайна (филиал) СКФУ в г. Пятигорске

Колледж института сервиса, туризма и дизайна (филиал) СКФУ в г. Пятигорске

## **МДК.01.02 ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ**

### **МЕТОДИЧЕСКИЕ УКАЗАНИЯ ДЛЯ ПРАКТИЧЕСКИХ ЗАНЯТИЙ**

09.02.01 Компьютерные системы и комплексы

Квалификация техник по компьютерным системам

Пятигорск 2020

Методические указания для практических занятий по МДК.01.02 Проектирование цифровых устройств составлены в соответствии с требованиями ФГОС СПО. Предназначены для студентов, обучающихся по специальности 09.02.01 Компьютерные системы и комплексы.

Рассмотрены на заседании ПЦК ИСТид (филиал) СКФУ в г. Пятигорске.

Протокол №\_8\_от \_12.03\_\_\_2020 г.

Составитель  
Директор



В.В. Кондратенко  
З.А. Михалина

## ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Программа МДК.01.02 Проектирование цифровых устройств предусматривает изучение и классификацию основных видов микросхем.

При изучении предмета следует соблюдать единство терминологии и обозначения в соответствии с действующими стандартами, Международной системой единицы (СИ).

В результате изучения МДК.01.02 Проектирование цифровых устройств студенты *должны*

### Уметь:

- выполнять требования технического задания на проектирование цифровых устройств; проектировать топологию печатных плат, конструктивно-технологические модули первого уровня с применением пакетов прикладных программ;
- разрабатывать комплект конструкторской документации с использованием системы автоматизированного проектирования;
- определять показатели надежности и давать оценку качества средств вычислительной техники (далее - СВТ);
- выполнять требования нормативно-технической документации;

### Знать:

- принципы построения цифровых устройств;
- основы микропроцессорной техники; основные задачи и этапы проектирования цифровых устройств;
- конструкторскую документацию, используемую при проектировании;
- особенности применения систем автоматизированного проектирования, пакеты прикладных программ;

В результате изучения МДК.01.02 Проектирование цифровых устройств студенты *должны* овладеть общими компетенциями, включающими в себя способность:

ОК 1. Понимать сущность и социальную значимость своей будущей профессии, проявлять к ней устойчивый интерес.

ОК 2. Организовывать собственную деятельность, определять методы и способы выполнения профессиональных задач, оценивать их эффективность и качество.

ОК3. Решать проблемы, оценивать риски и принимать решения в нестандартных ситуациях.

ОК 4. Осуществлять поиск, анализ и оценку информации, необходимой для постановки и решения профессиональных задач, профессионального и личностного развития.

ОК 5. Использовать информационно-коммуникационные технологии для совершенствования профессиональной деятельности.

ОК 6. Работать в коллективе и команде, обеспечивать ее сплочение, эффективно общаться с коллегами, руководством, потребителями.

ОК 7. Ставить цели, мотивировать деятельность подчиненных, организовывать и контролировать их работу с принятием на себя ответственности за результат выполнения заданий.

ОК 8. Самостоятельно определять задачи профессионального и личностного развития, заниматься самообразованием, осознанно планировать повышение квалификации.

ОК 9. Быть готовым к смене технологий в профессиональной деятельности.

*Профессиональными компетенциями:*

ПК 1.2. Выполнять требования технического задания на проектирование цифровых устройств.

ПК 1.3. Использовать средства и методы автоматизированного проектирования при разработке цифровых устройств.

## **ОБЩИЕ МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ВЫПОЛНЕНИЮ ПРАКТИЧЕСКИХ РАБОТ**

По МДК.01.02 Проектирование цифровых устройств практические работы содержат задачи и теоретические вопросы. Варианты для каждого обучающегося – индивидуальные.

Задачи и ответы на вопросы, выполненные не по своему варианту, не засчитываются.

Практическая работа выполняется в отдельной тетради. Условия задачи и формулировки вопросов переписываются полностью. Формулы, расчеты, ответы на вопросы пишутся ручкой, а чертежи, схемы и рисунки выполняются карандашом, на графиках и диаграммах указывается масштаб. Вначале задача решается в общем виде, затем делаются расчёты по условию задания. Решение задач обязательно ведется в Международной системе единиц (СИ).

При выполнении практической работы необходимо следовать методическим указаниям: повторить краткое содержание теории, запомнить основные формулы и законы, проанализировать пример выполнения аналогичного задания, затем приступить непосредственно к решению задачи. К зачету допускаются студенты, получившие положительные оценки по всем практическим работам.

### **Правила выполнения практических работ.**

1. Студент должен прийти на практическое занятие подготовленным к выполнению практической работы.
2. Каждый студент после проведения работы должен представить отчет о проделанной работе с анализом полученных результатов и выводом по работе.
3. Таблицы и рисунки следует выполнять с помощью чертежных инструментов (линейки, циркуля, и т.д.) карандашом с соблюдением ЕСКД.
4. Расчет следует проводить с точностью до двух значащих цифр.
5. Исправления проводить на обратной стороне листа. При мелких исправлениях неправильное слово (буква, число и т.п.) аккуратно зачеркивается и над ним пишут правильное пропущенное слово (букву, число и т.п.).
6. Вспомогательные расчеты можно выполнять на отдельных листах, а при необходимости на листах отчета.
7. Если студент не выполнит практическую работу или часть работы, то он выполнит ее во внеурочное время, согласованное с преподавателем.
8. Оценку по практической работе студент получает с учетом срока выполнения работы, если;
  - расчеты выполнены правильно и в полном объеме;
  - сделан анализ проделанной работы и вывод по результатам работы;
  - студент может пояснить выполнение любого этапа работы;
  - отчет выполнен в соответствии с требованиями к выполнению работы.

## Практическое занятие №1

**Тема:** Что такое цифровые микросхемы. Виды цифровых микросхем.

**Цель:** изучить цифровые микросхемы и их виды

Вся современная схемотехника разделяется на две большие области: аналоговую и цифровую. Аналоговая схемотехника характеризуется максимальным быстродействием, малым потреблением энергии и малой стабильностью параметров. Цифровая схемотехника обладает прекрасной повторяемостью параметров. Это привело к её развитию в последние годы. В результате в ряде устройств потребление цифровых микросхем оказалось сравнимым и даже меньше потребления аналоговых схем, реализующих те же функции. Основные направления развития цифровых микросхем в настоящее время приведены на рисунке 1.

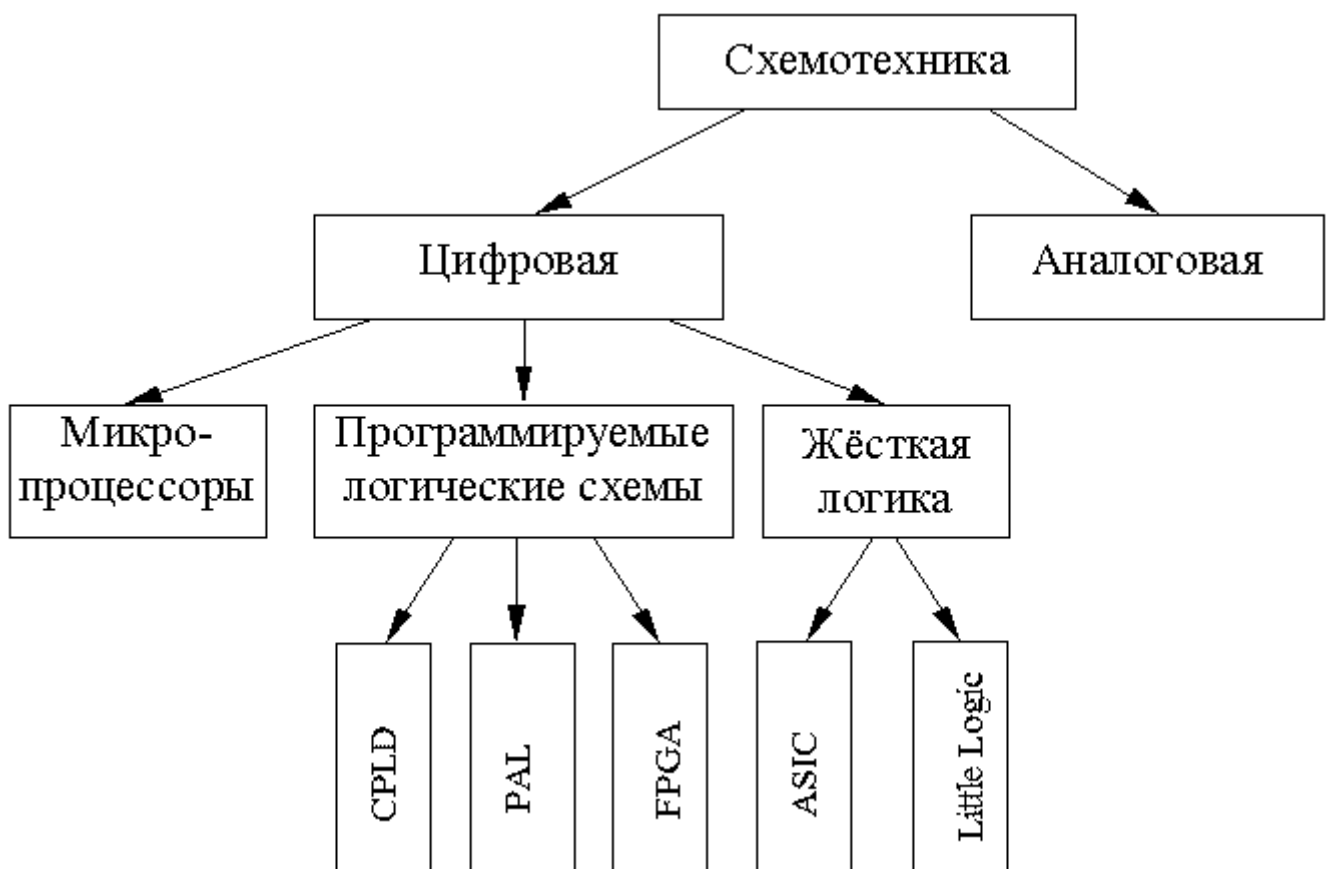


Рисунок 1. Классификация видов цифровых микросхем

Для того, чтобы лучше понимать особенности работы цифровых микросхем в данном курсе мы кратко повторим особенности основных технологий производства цифровых микросхем, применяемых в настоящее время: ТТЛ, и КМОП,

По мере развития цифровых микросхем их быстродействие достигло впечатляющих результатов. Наиболее быстрые из цифровых микросхем обладают скоростью переключения порядка 3..5 нс. (серия микросхем 74ALS), а внутри кристалла микросхемы, где нет больших ёмкостей нагрузки время переключения измеряется пикосекундами. Таким быстродействием обладают программируемые логические схемы и заказные БИС. В этих микросхемах алгоритм решаемой задачи заключён в их принципиальной схеме.

Часто для решаемой задачи не требуется такого быстродействия, каким обладают современные цифровые микросхемы. Однако за быстродействие приходится платить:

1. Быстродействующие микросхемы потребляют значительный ток.
2. Для решения задачи приходится использовать много микросхем, это выливается в стоимость и габариты устройства.

Первую задачу решает применение технологии КМОП цифровых микросхем (например микросхемы серий 1564, 74НС, 74АНС). Потребляемый ими ток зависит от скорости переключения логических вентилях. Именно поэтому в настоящее время подавляющее большинство микросхем выпускается именно по этой технологии.

Вторую задачу решают несколькими способами. Для жёсткой логики это разработка **специализированных БИС (ASIC)**. Использование специализированных БИС позволяет уменьшить габариты устройства, но стоимость его снижается только при крупносерийном производстве. В качестве примера можно назвать микросхемы, выпускаемые для сотовых телефонов, стиральных машин, телевизоров и т.п. Для среднего и малого объёмов производства такое решение неприемлемо.

Ещё одним решением уменьшения габаритов и стоимости устройства является применение программируемых логических схем (**ПЛИС**). Это направление активно развивается в настоящее время. На рисунке 1 приведены основные направления развития ПЛИС. Это следующие виды цифровых микросхем:

1. программируемые логические матрицы (ПЛИМ);
2. программируемые логические устройства, ПЛУ (PLD);
3. сложные программируемые логические устройства (CPLD);
4. постоянные запоминающие устройства (ПЗУ);
5. программируемые пользователем вентильные матрицы (FPGA);

## **Контрольные вопросы**

1. Что такое цифровые микросхемы?
2. Какие типы цифровых микросхем вы знаете?

## **Практическое занятие №2**

**Тема:** Области применения и типы цифровых устройств

**Цель:** изучить области применения и типы цифровых устройств

Цифровые микросхемы первоначально разрабатывались для построения электронно-вычислительных машин, получивших в дальнейшем название компьютеры. То есть первое их предназначение было заменить человека при выполнении рутинной работы. Сейчас, наверное, никто и не вспомнит, что слово калькулятор ещё каких-нибудь шестьдесят лет назад обозначало не маленький карманный прибор, а профессию большого числа людей, которые занимались расчётами по конкретным математическим формулам.

Однако вскоре после начала массового производства цифровых микросхем выяснилось, что они оказались очень удобны для управления какими либо объектами. При этом управляемая схема может обычно находиться в двух состояниях. Например: схема может быть либо включена, либо выключена, светодиод может либо гореть, либо не гореть, соединение в телефонной станции может быть или не быть, радиостанция может находиться в режиме передачи или в режиме приёма. В результате цифровые микросхемы практически полностью вытеснили применявшиеся ещё с девятнадцатого века для управления приборами электромагнитные реле и перфокарты.

При выполнении задачи управления для описания состояния объекта достаточно двух значений: напряжение высокое или низкое (положительное или отрицательное) ток протекает или не протекает. Это позволило избавиться от многих неприятных моментов аналоговых схем. Например, ошибка при прохождении через схему не увеличивается (в отличие от шумов), а в ряде случаев даже может быть скомпенсирована. Сами цифровые схемы при правильном использовании не вносят ошибок. Эти свойства цифровых микросхем привели к бурному развитию цифровой техники.

Приведённые преимущества привели к тому, что в дальнейшем цифровая техника стала использоваться и для решения других задач. Например для формирования высокостабильных колебаний для радиотехнических изделий или для использования в качестве эталонных интервалов времени в часах. Здесь тоже нет необходимости формировать различные уровни напряжения генерируемого сигнала. Достаточно только, чтобы частота генерируемого колебания была стабильной.

Затем стали разрабатываться методы и теория применения цифровых микросхем для формирования аналоговых сигналов. И здесь тоже основным фактором была возможность заранее прогнозировать уровень шумов. При этом уровень шума зависит только от сложности схемы, и не зависит (ну, или почти не зависит) от количества схем, через которые проходит сигнал. Это приводит к возможности передавать сигнал на любое расстояние (или производить любое количество копий сигнала).

## **Особенности цифровых устройств**

Изучение цифровой техники начнем с самых элементарных вопросов: из каких элементов строятся цифровые схемы и как они устроены? Затем научимся реализовывать на основе этих простейших элементов цифровые устройства любой сложности. Для этого нам потребуется изучить основы алгебры логики и методы запоминания цифровых сигналов. Мы научимся отображать цифровую информацию и вводить ее в цифровые микросхемы.

Прежде всего отметим, что уровни логических сигналов не уменьшаются при распространении по цифровой схеме. Это означает, что цифровые микросхемы принципиально должны обладать усилением.

В то же самое время логические уровни на выходе цифрового устройства точно такие же как и на входе, то есть они не возрастают при прохождении через логический элемент. Это обеспечивается тем, что на выходе цифровой микросхемы происходит ограничение сигнала.

То есть цифровые микросхемы работают в ключевом режиме: транзистор может быть только открыт или закрыт. В результате на идеальном транзисторе рассеивания энергии не происходит и это означает, что в цифровых микросхемах можно достичь к.п.д. близкого к 100%.

### **Виды цифровых микросхем.**

В настоящее время используется несколько видов логических элементов:

- диодно-транзисторная логика (ДТЛ)
- транзисторно-транзисторная логика (ТТЛ, TTL)
- логика на основе комплементарных МОП транзисторов (КМОП, CMOS)
- логика на основе сочетания комплементарных МОП и биполярных транзисторов (BiCMOS)

Первоначально получили распространение цифровые микросхемы, построенные на основе ТТЛ технологии. Поэтому до сих пор существует огромное количество микросхем, построенных по этой технологии или совместимые с этими микросхемами по напряжению питания, логическим уровням и цоколёвке.

### **Контрольные вопросы**

- 1. Назовите области применения цифровых устройств?**
- 2. Назовите типы цифровых микросхем?**

## Практическое занятие №3

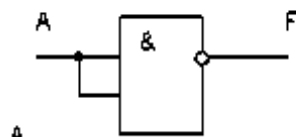
### Исследование работы логических элементов

1. **Цель работы:** рассмотреть работу логических элементов

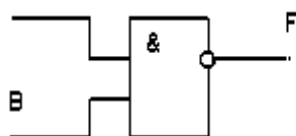
2. **Выполнение работы:**

Задание 1: построить таблицы функционирования логических элементов и схем

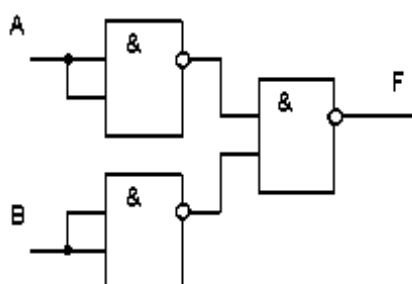
Задание 2: объяснить изменение данных в полученных таблицах.



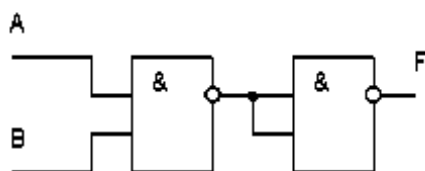
| A | F |
|---|---|
| 0 |   |
| 1 |   |



| A | B | F |
|---|---|---|
| 0 | 0 |   |
| 0 | 1 |   |
| 1 | 0 |   |
| 1 | 1 |   |



| A | B | F |
|---|---|---|
| 0 | 0 |   |
| 0 | 1 |   |
| 1 | 0 |   |
| 1 | 1 |   |



| A | B | F |
|---|---|---|
| 0 | 0 |   |
| 0 | 1 |   |
| 1 | 0 |   |
| 1 | 1 |   |

### Контрольные вопросы:

1. Что называется логическим элементом?
2. Что называется базисом?
3. Какой базис называется избыточным?
4. Какой базис используется в лабораторной работе?
5. Изобразите элемент **3И-2ИЛИ-НЕ**.
6. Запишите в аналитической форме функцию, реализующую элемент **2И-3ИЛИ-НЕ**.
7. Где применяются логические элементы?

**Логические элементы** — устройства, предназначенные для обработки информации в цифровой форме (последовательности сигналов высокого — «1» и низкого — «0» уровней в двоичной логике, последовательность «0», «1» и «2» в троичной логике, последовательностями «0», «1», «2», «3», «4», «5», «6», «7», «8» и «9» в десятичной логике). Физически логические элементы могут быть выполнены

механическими, электромеханическими (на электромагнитных реле), электронными (на диодах и транзисторах), пневматическими, гидравлическими, оптическими и др.

Синтезом логической схемы называется процедура получения логической схемы реализующую заданную логическую функцию. При синтезе логических схем используют логические элементы. Набор логических функций, с помощью которого можно представить любую переключательную функцию называют функционально полной системой или базисом.

Функционально полными системами являются базисы 1) И, ИЛИ, НЕ, 2) И, НЕ, 3) ИЛИ, НЕ, 4) И-ИЛИ-НЕ, 5) И-НЕ, 6) ИЛИ-НЕ.

Основным является базис И, ИЛИ, НЕ так как с помощью него можно записать любую сложную функцию в виде СДНФ и СКНФ. Базис называется избыточным, если какую либо функцию из нее можно исключить. Например в И, ИЛИ, НЕ можно исключить функцию И или ИЛИ.

Логические элементы входят в состав микросхем, например ТТЛ элементы — в состав микросхем К155 (SN74), К133; ТТЛШ — 530, 533, К555, ЭСЛ — 100, К500 и т. д.

#### Практическое занятие №4

**Тема:** Диодно-транзисторная логика (ДТЛ микросхемы).

**Цель:** изучить ДТЛ микросхемы

Наиболее простой логический элемент получается при помощи диодов. Схема базового логического элемента диодной логики приведена на рисунке 1.

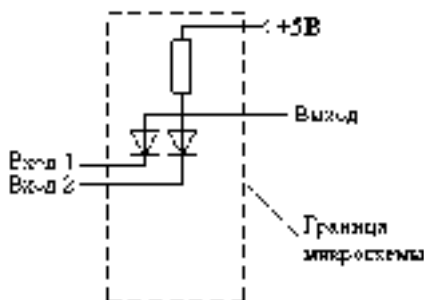


Рисунок 1. Принципиальная схема базового логического элемента "И", выполненного на диодах

В схеме базового логического элемента на диодах при подаче нулевого потенциала на любой из входов (или на оба сразу) через резистор R1 будет протекать ток, и на его сопротивлении возникнет падение напряжения. В результате на выходе схемы базового логического элемента будет присутствовать единичный потенциал только если подать единичный потенциал сразу на оба входа микросхемы. То есть приведенная схема базового логического элемента реализует функцию "2И".

Количество входов логического элемента "И" зависит от количества диодов. Если использовать два диода, то получится логический элемент "2И", если три диода — то логический элемент "3И", если четыре диода, то логический элемент "4И", и так далее. В микросхемах средней интеграции выпускается максимальный логический элемент "8И".

Приведенная схема логического элемента "И" обладает таким недостатком, как смещение логических уровней на ее выходе. Напряжение нуля и напряжение единицы на выходе схемы выше входных уровней на 0.7 В. Это вызвано падением напряжения на входных диодах. Скомпенсировать это смещение уровней можно диодом, включенном на выходе схемы диодного логического элемента, как это показано на рисунке 2.

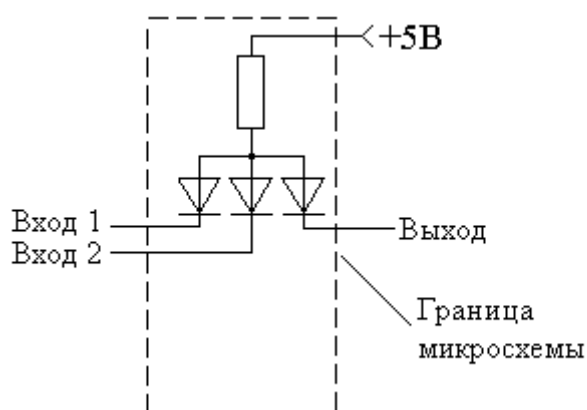


Рисунок 2. Принципиальная схема усовершенствованного логического элемента "2И", выполненного на диодах

В этой схеме логического элемента логические уровни на входе и выходе схемы одинаковы. Более того, схема логического элемента, приведенная на рисунке 2, будет нечувствительна не только к входным напряжениям, большим напряжения питания схемы, но и к отрицательным входным напряжениям. Диоды выдерживают напряжение до сотен вольт. Поэтому **такая схема до сих пор используется для защиты цифровых устройств от перегрузок по напряжению**, возникающих, например, в цепях, выходящих за пределы устройства. Естественно, что для защиты одного входа достаточно одного диода на входе элемента. В результате получается только схема защиты без логической функции "И".

К сожалению приведенные схемы логических элементов не могут каскадироваться, так как мощность сигнала при распространении по схеме уменьшается. Поэтому к схеме диодного логического элемента "И" обычно

подключается двухтактный усилитель на биполярных транзисторах. Схема такого логического элемента приведена на рисунке 3.

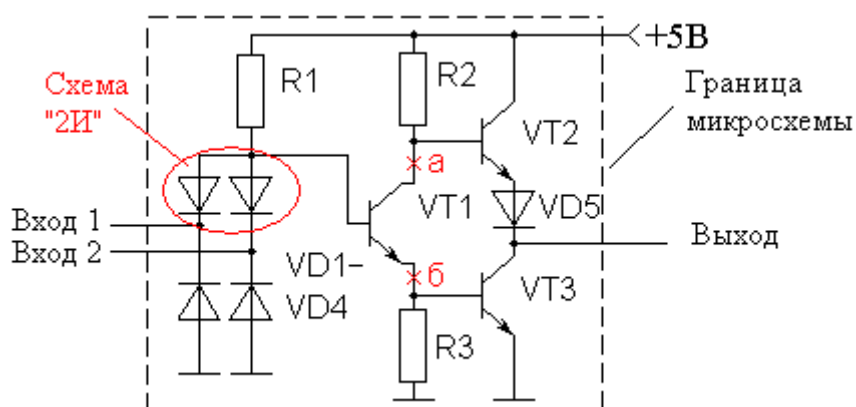


Рисунок 3. Принципиальная схема базового логического элемента ДТЛ микросхемы

Усилитель, использованный в схеме на рисунке 3, позволяет вырабатывать как втекающий, так и вытекающий выходной ток. Тем не менее следует помнить, что это источник напряжения, и если не ограничить выходной ток микросхемы, то можно вывести ее из строя.

Приведенный на рисунке 3 логический элемент используется в таких современных сериях микросхем как 555, 533, 1531, 1533. Да, да! Не следует удивляться тем, кто привык считать эти микросхемы ТТЛ микросхемами. Микросхемы приведенных серий ведут себя как ТТЛ микросхемы (обладают входными и выходными токами, совместимыми с ТТЛ микросхемами и воспринимают не ДТЛ, а ТТЛ логические уровни), но при этом внутри они реализованы по схеме ДТЛ логических элементов. В приведенных сериях цифровых микросхем для повышения быстродействия применяются транзисторы и диоды Шоттки.

Обратите внимание, что транзистор VT1 инвертирует сигнал на выходе элемента "И". В результате вместо логической 1 на выходе присутствует логический 0. И наоборот, вместо логического нуля на выходе присутствует логическая единица, а схема в целом реализует логическую функцию "2И-НЕ":

$$F = \overline{x1 \wedge x2}$$

Условно-графическое изображение ДТЛ логического элемента "2И-НЕ" показано на рисунке 4, а таблица истинности приведена в таблице 1

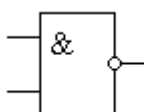


Рисунок 4. Условно-графическое изображение логического элемента "2И-НЕ" Таблица 1. Таблица истинности схемы, реализующей логическую функцию "2И-НЕ"

| x1 | x2 | F |
|----|----|---|
| 0  | 0  | 1 |
| 0  | 1  | 1 |
| 1  | 0  | 1 |
| 1  | 1  | 0 |

На основе базового элемента ДТЛ строится и инвертор. В этом случае на входе используется только один диод. Схема ДТЛ инвертора приведена на рисунке 5.

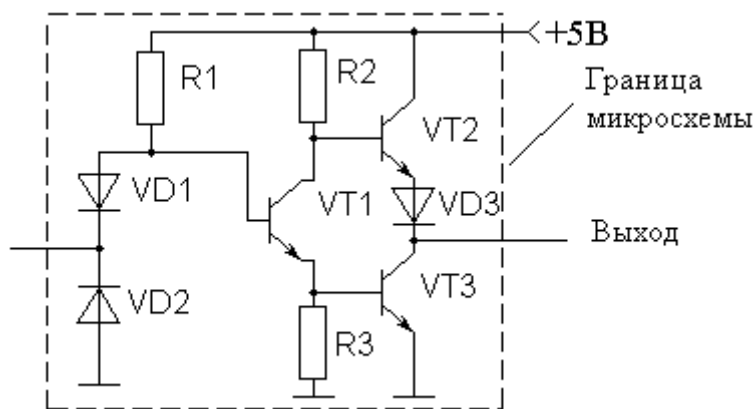


Рисунок 5. Принципиальная схема инвертора ДТЛ микросхемы

В состав современных серий микросхем кроме логических элементов "И" входят логические элементы "ИЛИ". В схеме логического элемента "ИЛИ" транзисторы VT2 соединяются параллельно в точках "а" и "б", показанных на рисунке 3, а выходной каскад используется один. Схема логического элемента "2ИЛИ-НЕ" приведена на рисунке 6.

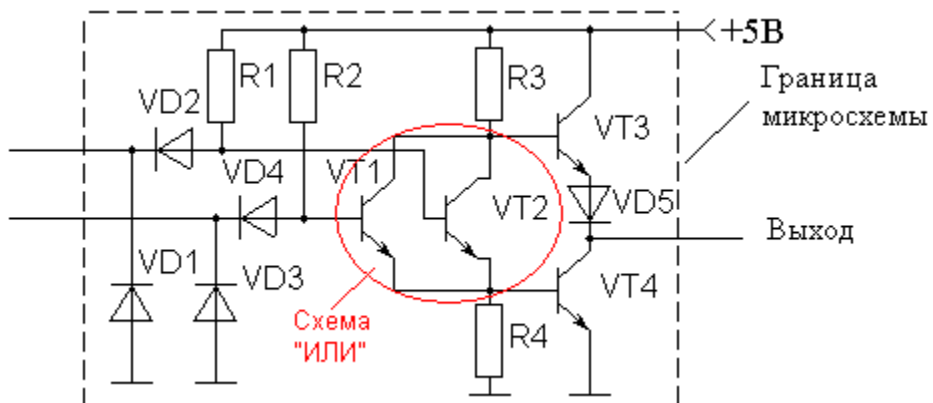


Рисунок 6. Принципиальная схема логического элемента "2ИЛИ-НЕ" ДТЛ микросхемы

Схемы "ИЛИ-НЕ" в этих сериях микросхем имеет обозначение ЛЕ. Например схема К555ЛЕ1 содержит в одном корпусе четыре элемента "2ИЛИ-НЕ". Таблица истинности, реализуемая этой схемой, приведена в таблице 2, а условно-графическое изображение логического элемента показано на рисунке 7.

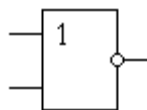


Рисунок 7. Условно-графическое изображение элемента "2ИЛИ-НЕ".

Таблица 2. Таблица истинности схемы, выполняющей логическую функцию "2ИЛИ-НЕ"

| x1 | x2 | F |
|----|----|---|
| 0  | 0  | 1 |
| 0  | 1  | 0 |
| 1  | 0  | 0 |
| 1  | 1  | 0 |

### Контрольные вопросы

1. Схема базового логического элемента диодной логики?
2. Таблицы истинности схемы "2И-НЕ"?
3. Таблицы истинности схемы "2ИЛИ-НЕ"?

### Практическое занятие №5

**Тема:** Транзисторно-транзисторная логика (ТТЛ микросхемы)

**Цель:** изучить ТТЛ микросхемы

В ТТЛ схемах для реализации логического элемента "2И" вместо параллельного соединения диодов используется многоэмиттерный транзистор. Физика работы этого логического элемента не отличается от работы диодного логического элемента "2И". Высокий потенциал на выходе многоэмиттерного транзистора получается только в том случае, когда на обоих входах логического элемента (эмиттерах транзистора) присутствует высокий потенциал (то есть нет эмиттерного тока). Принципиальная схема базового логического элемента ТТЛ микросхемы приведена на рисунке 1.

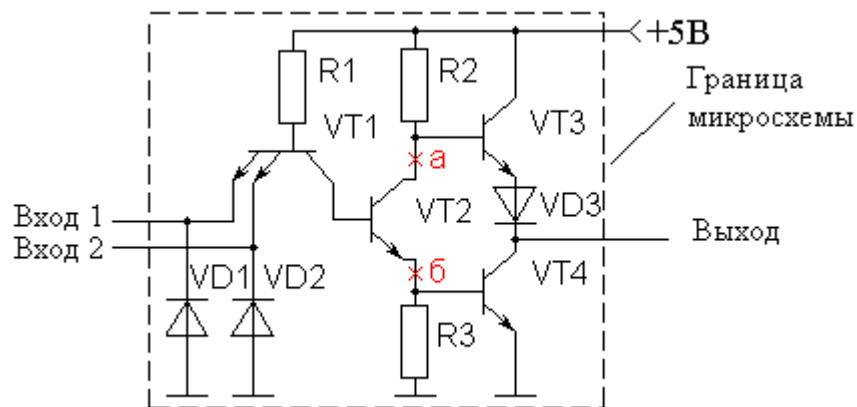


Рисунок 1. Принципиальная схема базового логического элемента ТТЛ микросхемы

Умощняющий усилитель, как и в диодно-транзисторном элементе, инвертирует сигнал на выходе схемы логического элемента. По такой схеме выполнены базовые логические элементы ТТЛ микросхем серий 155, 131, 155 и 531. Схемы "И-НЕ" в этих сериях микросхем обычно имеет обозначение ЛА. Например, схема К531ЛА3 содержит в одном корпусе четыре логических элемента "2И-НЕ". Таблица истинности, реализуемая этой схемой, приведена в таблице 1, а условно-графическое обозначение этих логических элементов приведено на рисунке 2.

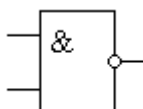


Рисунок 2. Условно-графическое обозначение логического элемента "2И-НЕ"

Таблица 1. Таблица истинности схемы, выполняющей логическую функцию "2И-НЕ"

| x1 | x2 | F |
|----|----|---|
| 0  | 0  | 1 |
| 0  | 1  | 1 |
| 1  | 0  | 1 |
| 1  | 1  | 0 |

На основе базового логического элемента строится и инвертор. В этом случае на входе схемы используется только один диод. Схема ТТЛ инвертора приведена на рисунке 3.

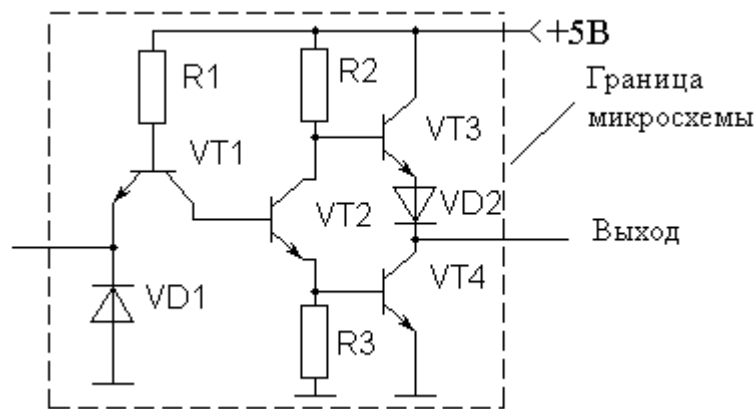


Рисунок 3. Принципиальная схема инвертора ТТЛ микросхемы

При необходимости объединения нескольких логических элементов "И" по схеме "ИЛИ" (или при реализации логических элементов "ИЛИ") транзисторы VT2 соединяются параллельно в точках "а" и "б", показанных на рисунке 8, а выходной каскад используется один. В результате быстродействие такого, достаточно сложного элемента, получается точно таким же, как и у одиночного логического элемента "2И-НЕ". Принципиальная схема логического элемента "2И-2ИЛИ-НЕ" приведена на рисунке 4.

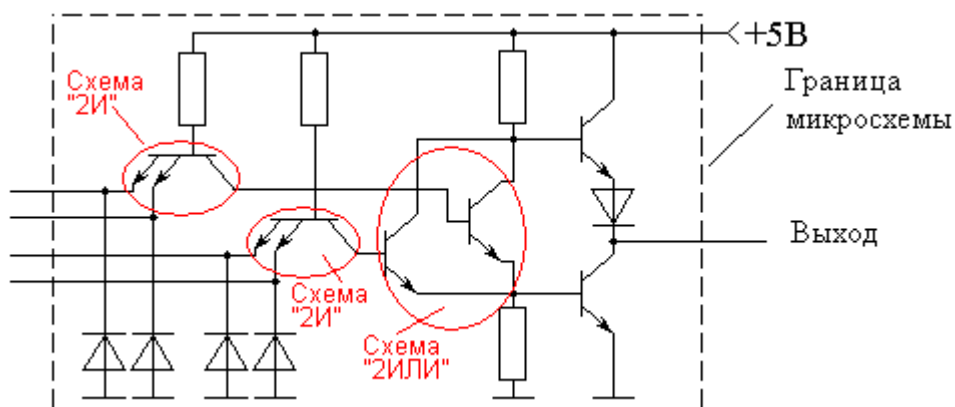


Рисунок 4. Принципиальная схема ТТЛ микросхемы "2И-2ИЛИ-НЕ"

Такие соединения логических элементов широко применяется при реализации цифровых микросхем по произвольной таблице истинности методом СДНФ, а условно-графическое обозначение элемента "2И-2ИЛИ-НЕ" приведено на рисунке 5. Такие логические элементы содержатся в отечественных цифровых микросхемах с обозначением ЛР.

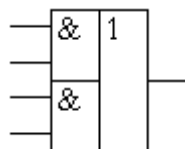


Рисунок 5. Условно-графическое обозначение логического элемента "2И-2ИЛИ-НЕ" ТТЛ микросхем

Схемы "ИЛИ-НЕ" в отечественных ТТЛ сериях микросхем средней интеграции имеет обозначение ЛЕ. Например микросхема К1531ЛЕ5 содержит в одном корпусе четыре элемента "2ИЛИ-НЕ". Следует отметить, что в современных микросхемах

малой логики стараются в одном корпусе разместить один, в крайнем случае два логических элемента.

Так как в современных схемах ТТЛ и в схемах ДТЛ используется одинаковый выходной усилитель, то и уровни логических сигналов в этих схемах одинаковы. Поэтому часто говорят, что это ТТЛ микросхемы, не уточняя по какой схеме выполнен входной каскад этих микросхем. Тем самым подчеркивается отличие этих микросхем от старых ДТЛ серий микросхем с повышенным напряжением питания. Более того! Появились КМОП микросхемы, совместимые с ТТЛ микросхемами по логическим уровням, например К1564 (иностранный аналог SN74НСТ) или К1594 (иностранный аналог SN74АСТ).

### *Логические уровни ТТЛ микросхем*

В настоящее время применяются два вида ТТЛ микросхем — с пяти и с трёхвольтовым питанием, но, независимо от напряжения питания микросхем, логические уровни нуля и единицы на выходе этих микросхем совпадают. Поэтому дополнительного согласования между ТТЛ микросхемами обычно не требуется. Допустимый уровень напряжения на выходе цифровой ТТЛ микросхемы показан на рисунке 6.

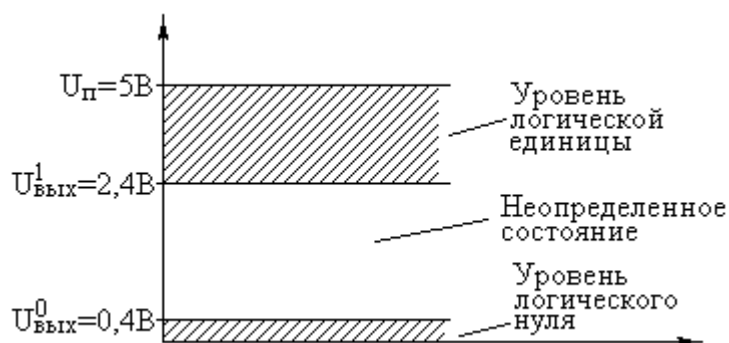


Рисунок 6. Уровни логических сигналов на выходе цифровых ТТЛ микросхем

Как уже говорилось ранее, напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Границы уровней логического нуля и единицы для ТТЛ микросхем приведены на рисунке 7.

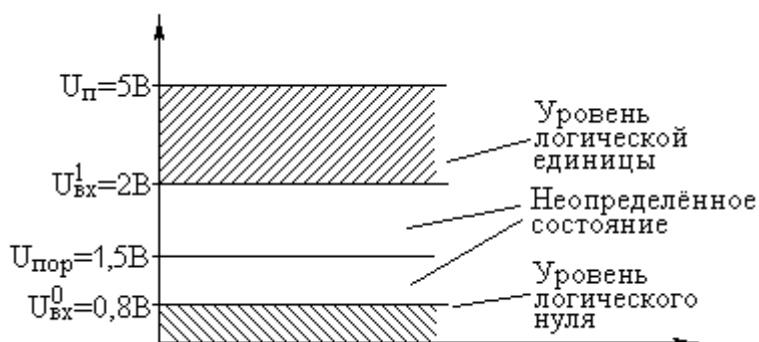


Рисунок 7. Уровни логических сигналов на входе цифровых ТТЛ микросхем

## **Семейства ТТЛ микросхем**

Первые ТТЛ микросхемы оказались на редкость удачным решением, поэтому их можно встретить в аппаратуре, работающей до сих пор. Это семейство микросхем серии К155. Стандартные ТТЛ микросхемы — это микросхемы, питающиеся от источника напряжения +5 В. Зарубежные ТТЛ микросхемы получили название SN74. Конкретные микросхемы этой серии обозначаются цифровым номером микросхемы, следующим за названием серии. Например, в микросхеме SN74S00 содержится четыре логических элемента "2И-НЕ". Аналогичные микросхемы с расширенным температурным диапазоном получили название SN54 (отечественный вариант — серия микросхем К133).

Отечественные микросхемы, совместимые с SN74 выпускались в составе серий К134 (низкое быстродействие низкое потребление — SN74L), К155 (среднее быстродействие среднее потребление — SN74) и К131 (высокое быстродействие и большое потребление). Затем были выпущены микросхемы повышенного быстродействия с диодами Шоттки. В названии зарубежных микросхем в обозначении серии появилась буква S. Отечественные серии микросхем сменили цифру 1 на цифру 5. Выпускаются микросхемы серий К555 (низкое быстродействие низкое потребление — SN74LS) и К531 (высокое быстродействие и большое потребление — SN74S).

В настоящее время отечественная промышленность производит микросхемы серий К1533 (низкое быстродействие низкое потребление — SN74ALS) и К1531 (высокое быстродействие и большое потребление — SN74F).

### **Контрольные вопросы**

1. Принципиальная схема базового логического элемента ТТЛ микросхемы?
2. Логические уровни ТТЛ-микросхем?
3. Семейства ТТЛ-микросхем?

### **Практическое занятие №6**

**Тема:** Цифровые логические микросхемы, выполненные на комплементарных МОП транзисторах

**Цель:** изучить КМОП микросхемы

Первой и основной особенностью КМОП микросхем является большое входное сопротивление этих микросхем. В результате на вход КМОП микросхемы может наводиться любое напряжение, в том числе и равное половине напряжения питания, и храниться на нём достаточно долго. При подаче на вход КМОП микросхемы половины питания открываются транзисторы как в верхнем, так и в нижнем плече выходного каскада микросхемы, в результате КМОП микросхема начинает потреблять недопустимо большой ток и может выйти из строя [3]. Вывод: **входы цифровых КМОП микросхем ни в коем случае нельзя оставлять неподключенными!**

Второй особенностью КМОП микросхем является то, что они могут работать при отключенном питании. Однако работают они чаще всего неправильно. Эта

особенность связана с конструкцией входного каскада КМОП микросхем. Полная принципиальная схема КМОП инвертора приведена на рисунке 4.7.

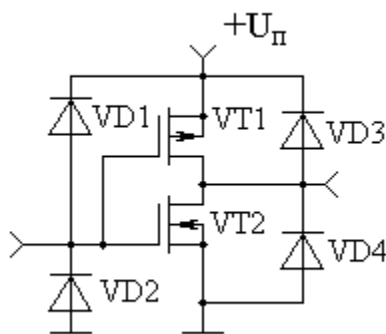


Рисунок 4.7. Полная принципиальная схема

КМОП инвертора

Диоды VD1 и VD2 были введены для защиты входного каскада от пробоя статическим электричеством. В то же самое время при подаче на вход КМОП микросхемы высокого потенциала он через диод VD1 попадёт на шину питания микросхемы, и так как она потребляет достаточно малый ток, то КМОП микросхема начнёт работать. Однако в ряде случаев этого тока может не хватить для питания микросхем. В результате КМОП микросхема может работать неправильно. Вывод: **при неправильной работе КМОП микросхемы тщательно проверьте питание микросхемы**, особенно выводы корпуса. При плохо пропаянном выводе отрицательного питания его потенциал будет отличаться от потенциала общего провода схемы.

Третья особенность КМОП микросхем связана с паразитными диодами VD3 и VD4, которые могут быть пробиты при неправильно подключенном источнике питания (микросхемы ТТЛ выдерживают кратковременную переполюсовку питания). Для защиты КМОП микросхем от переполюсовки питания следует в цепи питания предусмотреть защитный диод.

Четвёртая особенность КМОП микросхем — это протекание импульсного тока по цепи питания при ее переключении из нулевого состояния в единичное и наоборот. В результате при переходе с ТТЛ микросхем на КМОП микросхемы-аналоги резко увеличивается уровень помех. В ряде случаев это важно, и приходится отказываться от применения КМОП микросхем в пользу ТТЛ или BICMOS микросхем.

Логические уровни кмоп микросхем

Логические уровни КМОП микросхем существенно отличаются от логических уровней ТТЛ микросхем. При отсутствии тока нагрузки напряжение на выходе КМОП микросхемы совпадает с напряжением питания (логический уровень единицы) или с потенциалом общего провода (логический уровень нуля). При увеличении тока нагрузки напряжение логической единицы может уменьшаться до 2,8В ( $U_{\Pi}=15\text{В}$ ) от напряжения питания. Допустимый уровень напряжения на выходе цифровой КМОП микросхемы (серия микросхем К561) при пятивольтовом питании показан на рисунке 4.8.

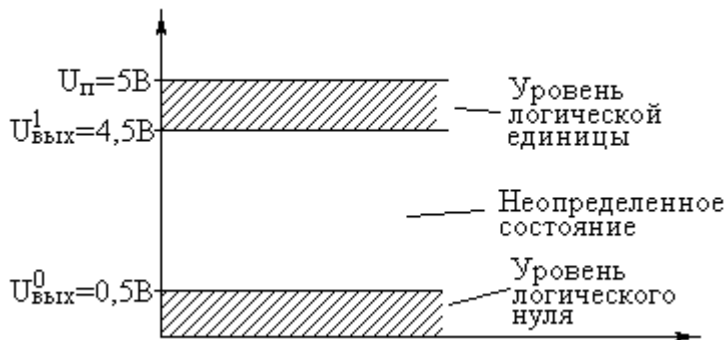


Рисунок 4.8. Уровни логических

сигналов на выходе цифровых КМОП микросхем

Как уже говорилось ранее, напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Для КМОП микросхем договорились о 30% запасе. Границы уровней логического нуля и единицы для КМОП микросхем при пятивольтовом питании приведены на рисунке 4.9.

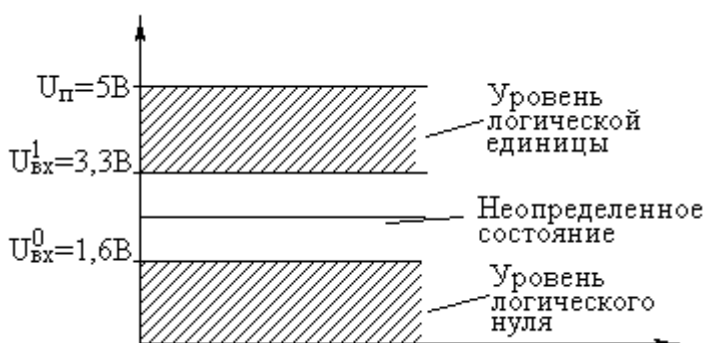


Рисунок 4.9. Уровни логических

сигналов на входе цифровых КМОП микросхем

При уменьшении напряжения питания границы логического нуля и логической единицы можно определить точно так же (разделить напряжение питания на 3).

## Контрольные вопросы

1. Принципиальная схема базового логического элемента КМОП микросхемы?
2. Логические уровни КМОП-микросхем?
3. Семейства КМОП-микросхем?

## Практическое занятие №7

**Тема:** Согласование цифровых микросхем различных серий между собой

**Цель:** изучить, каким образом согласуются цифровые микросхемы между собой.

При составлении цифровых схем стараются использовать микросхемы одной серии. Однако это не всегда удаётся. Применять микросхемы других серий приходится:

1. когда требуются микросхемы, отсутствующие в данной серии микросхем;
2. когда отдельные узлы схемы должны работать на повышенной частоте;
3. при работе на внешние устройства могут потребоваться микросхемы с повышенной нагрузочной способностью.

Первый пункт не требует комментариев. Обычно малым количеством микросхем характеризуются серии с повышенным быстродействием или с повышенной нагрузочной способностью. Серии микросхем с малым количеством микросхем также обычно характеризуются высокой стоимостью. Так что первый пункт жёстко связан с оставшимися двумя пунктами.

Что касается второго пункта, то выбор микросхем из различных серий может быть обусловлен двумя причинами.

Первая причина — это стоимость цифрового устройства в целом. Микросхемы с повышенным быстродействием стоят дороже микросхем со средним быстродействием. Микросхемы в цифровых устройствах обычно работают на разных частотах. При этом на повышенной частоте работает не более одного процента от общего количества микросхем. В результате применение микросхем с различным быстродействием может существенно снизить стоимость цифрового устройства.

Вторая причина — это ток потребления микросхем. В ТТЛ, р-МОП и n-МОП сериях микросхем ток их потребления определяется быстродействием. Чем ниже быстродействие микросхемы (в пределах одной технологии), тем меньше её ток потребления. Это не относится к КМОП сериям микросхем. В микросхемах, выполненных по КМОП технологии, ток потребления зависит от частоты, на которой работает в данный момент микросхема. Чем выше частота переключения логических элементов КМОП микросхемы, тем выше ток потребления этой микросхемы. То есть ток потребления в этих микросхемах регулируется автоматически, и причиной выбора конкретной серии микросхем остается только их стоимость.

Микросхемы с повышенной нагрузочной способностью обычно входят в состав любой серии микросхем, однако иногда требуются ещё большие токи. В этом случае можно использовать микросхемы из серий с повышенным быстродействием, например K1531. При необходимости формирования на выходе микросхемы потенциалов, превышающих напряжение питания цифровой микросхемы, можно применить микросхемы с открытым коллектором. В крайнем случае для согласования микросхемы по току или напряжению можно применить транзисторный ключ.

Согласование микросхем из различных серий между собой

Рассмотрим сначала микросхемы, совместимые с ТТЛ микросхемами по питанию. Выбор ТТЛ микросхем связан с тем, что ТТЛ логические уровни стали стандартом для современной техники. Даже если микросхемы внутри выполнены по КМОП технологии, они обычно формируют на выходе логические уровни, совместимые с ТТЛ уровнями.

Стандартные ТТЛ микросхемы — это микросхемы, питающиеся от источника напряжения +5В. Зарубежные ТТЛ микросхемы получили название SN74. Конкретные микросхемы этой серии обозначаются цифровым номером микросхемы, следующим за названием серии. Например, в микросхеме SN74S00 содержится четыре логических элемента "2И-НЕ". Аналогичные микросхемы с расширенным температурным диапазоном получили название SN54.

Отечественные микросхемы, совместимые с SN74 выпускались в составе серий K134 (низкое быстродействие низкое потребление - SN74L), K155 (среднее быстродействие среднее потребление - SN74) и K131 (высокое быстродействие и большое потребление). Затем были выпущены микросхемы повышенного быстродействия с диодами Шоттки. В названии зарубежных микросхем в обозначении серии появилась буква S. Отечественные серии микросхем сменили

цифру 1 на цифру 5. Выпускаются микросхемы серий K555 (низкое быстродействие низкое потребление - SN74LS) и K531 (высокое быстродействие и большое потребление - SN74S).

В настоящее время отечественная промышленность производит микросхемы серий K1533 (низкое быстродействие низкое потребление - SN74ALS) и K1531 (высокое быстродействие и большое потребление - SN74F).

## Практическое занятие №8

**Тема:** Законы алгебры логики. Закон одинарных элементов, Законы отрицания.

**Цель:** изучить законы алгебры логики. Закон одинарных элементов, Законы отрицания

### 1. Закон одинарных элементов

$$1 * X = X$$

$$0 * X = 0$$

$$1 + X = 1$$

$$0 + X = X$$

Этот закон алгебры логики непосредственно следует из приведённых выше выражений аксиом алгебры логики.

Верхние два выражения могут быть полезны при построении коммутаторов, ведь подавая на один из входов элемента “2И” логический ноль или единицу можно либо пропускать сигнал на выход, либо формировать на выходе нулевой потенциал.

Второй вариант использования этих выражений заключается в возможности избирательного обнуления определённых разрядов многоразрядного числа. При поразрядном применении операции "И" можно либо оставлять прежнее значение разряда, либо обнулять его, подавая на соответствующие разряды единичный или нулевой потенциал. Например, требуется обнулить 6, 3 и 1 разряды. Тогда:

$$\begin{array}{r} 11010111 \\ \wedge 10110101 \\ \hline 10010101 \end{array}$$

В приведённом примере использования законов алгебры логики отчётливо видно, что для обнуления необходимых разрядов в маске (нижнее число) на месте соответствующих разрядов записаны нули, в остальных разрядах записаны единицы. В исходном числе (верхнее число) на месте 6 и 1 разрядов находятся единицы. После выполнения операции "И" на этих местах появляются нули. На месте третьего разряда в исходном числе находится ноль. В результирующем числе на этом месте тоже присутствует ноль. Остальные разряды, как и требовалось по условию задачи, не изменены.

Точно так же при помощи закона одинарных элементов, одного из основных законов алгебры логики, можно записывать единицы в нужные нам разряды. В этом случае необходимо воспользоваться нижними двумя выражениями закона одинарных

элементов. При поразрядном применении операции "ИЛИ" можно либо оставлять прежнее значение разряда, либо обнулять его, подавая на соответствующие разряды нулевой или единичный потенциал. Пусть требуется записать единицы в 7 и 6 биты числа. Тогда:

$$\begin{array}{r} 01010111 \\ \vee 11000000 \\ \hline 11010111 \end{array}$$

Здесь в маску (нижнее число) мы записали единицы в седьмой и шестой биты. Остальные биты содержат нули, и, следовательно, не могут изменить первоначальное состояние исходного числа, что мы и видим в результирующем числе под чертой.

Первое и последнее выражения закона одинарных элементов позволяют использовать логические элементы с большим количеством входов в качестве логических элементов с меньшим количеством входов. Для этого неиспользуемые входы в схеме "И" должны быть подключены к источнику питания, как это показано на рисунке 1:

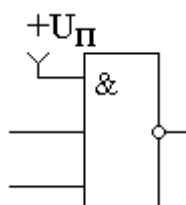


Рисунок 1. Схема "2И-НЕ", реализованная на логическом элементе "3И-НЕ"

В то же самое время неиспользуемые входы в схеме "ИЛИ" в соответствии с законом одинарных элементов должны быть подключены к общему проводу схемы, как это показано на рисунке 2.

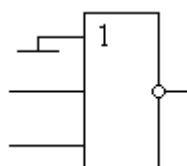


Рисунок 2. Схема "ИЛИ", реализованная на элементе "3ИЛИ"

Следующими законами алгебры логики, вытекающими из аксиом алгебры логики являются законы отрицания.

## 2. Законы отрицания

### а. Закон дополнительных элементов

$$x + \bar{x} = 1 \quad x \cdot \bar{x} = 0$$

Выражения этого закона алгебры логики широко используется для минимизации логических схем. Если удаётся выделить из общего выражения логической функции такие подвыражения, то можно сократить необходимое количество входов элементов цифровой схемы, а иногда и вообще свести всё выражение к логической константе.

Еще одним широко используемым законом алгебры логики является закон двойного отрицания.

### **в. Двойное отрицание**

$$\overline{\overline{1}} = 1 \quad \overline{\overline{0}} = 0 \quad \overline{\overline{1}} = 1 \quad \overline{\overline{x}} = x$$

Закон двойного отрицания используется как для упрощения логических выражений (и как следствие упрощения и удешевления цифровых комбинаторных схем), так и для устранения инверсии сигналов после таких логических элементов как "2И-НЕ" и "2ИЛИ-НЕ". В этом случае законы алгебры логики позволяют реализовывать заданные цифровые схемы при помощи ограниченного набора логических элементов.

### **с. Закон отрицательной логики**

$$\overline{\overline{a} + \overline{b} + \overline{c}} = a \cdot b \cdot c$$

$$\overline{\overline{a} \cdot \overline{b} \cdot \overline{c}} = a + b + c$$

Закон отрицательной логики справедлив для любого числа переменных. Этот закон алгебры логики позволяет реализовывать логическую функцию "И" при помощи логических элементов "ИЛИ" и наоборот: реализовывать логическую функцию "ИЛИ" при помощи логических элементов "И". Это особенно полезно в ТТЛ схемотехнике, так как там легко реализовать логические элементы "И", но при этом достаточно сложно логические элементы "ИЛИ". Благодаря закону отрицательной логики можно реализовывать элементы "ИЛИ" на логических элементах "И". На рисунке 3 показана реализация логического элемента "2ИЛИ" на элементе "2И-НЕ" и двух инверторах.

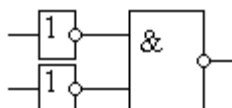


Рисунок 3. Логический элемент "2ИЛИ", реализованный на элементе "2И-НЕ" и двух инверторах

То же самое можно сказать и о схеме монтажного "ИЛИ". В случае необходимости его можно превратить в монтажное "И", применив инверторы на входе и выходе этой схемы.

### **Контрольные вопросы**

1. Закон одинарных элементов?
2. Закон дополнительных элементов?
3. Двойное отрицание?
4. Закон отрицательной логики?

### **Практическое занятие №9**

**Тема:** Комбинационные законы, Правила поглощения и склеивания.

**Цель:** изучить комбинационные законы, Правила поглощения и склеивания

## Комбинационные законы

Комбинационные законы алгебры логики во многом соответствуют комбинационным законам обычной алгебры, но есть и отличия.

### **а. закон тавтологии (многократное повторение)**

$$X + X + X + X = X$$

$$X * X * X * X = X$$

Этот закон алгебры логики позволяет использовать логические элементы с большим количеством входов в качестве логических элементов с меньшим количеством входов. Например, можно реализовать двухвходовую схему "2И" на логическом элементе "3И", как это показано на рисунке 4:

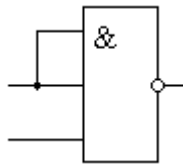


Рисунок 4. Схема "2И-НЕ", реализованная на логическом элементе "3И-НЕ"

или использовать схему "2И-НЕ" в качестве обычного инвертора, как это показано на рисунке 5:

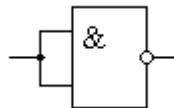


Рисунок 5. Схема "НЕ", реализованная на логическом элементе "2И-НЕ"

Однако следует предупредить, что объединение нескольких входов увеличивает входные токи логического элемента и его ёмкость, что увеличивает ток потребления предыдущих элементов и отрицательно сказывается на быстродействии цифровой схемы в целом.

Для уменьшения числа входов в логическом элементе лучше воспользоваться другим законом алгебры логики — законом одинарных элементов, как это было показано выше.

Продолжим рассмотрение законов алгебры логики:

### **б. закон переместительности**

$$A + B + C + D = A + C + B + D$$

### **в. закон сочетательности**

$$A + B + C + D = A + (B + C) + D = A + B + (C + D)$$

**d. закон распределительности**

$X1(X2 + X3) = X1X2 + X1X3$   $X1 + X2X3 = (X1 + X2)(X1 + X3) =$  /докажем это путём раскрытия скобок/ =

$$= X1X1 + X1X3 + X1X2 + X2X3 = X1(1 + X3 + X2) + X2X3 = X1 + X2X3$$

**Правило поглощения (одна переменная поглощает другие)**

$$X1 + X1X2X3 = X1(1 + X2X3) = X1$$

**Правило склеивания (выполняется только по одной переменной)**

$$A\bar{B}C + ABC = AC(\underbrace{\bar{B} + B}_1) = AC$$

Также как в обычной математике в алгебре логики имеется старшинство операций. При этом первым выполняется:

1. Действие в скобках
2. Операция с одним операндом (одноместная операция) — "НЕ"
3. Конъюнкция — "И"
4. Дизъюнкция — "ИЛИ"
5. Сумма по модулю два.

Операции одного ранга выполняются слева направо в порядке написания логического выражения. Алгебра логики линейна и для неё справедлив принцип суперпозиции.

**Контрольные вопросы**

1. Закон тавтологии?
2. Закон переместительности?
3. Закон сочетательности?
4. Закон распределительности?
5. Правило поглощения?
6. Правило склеивания?

**Практическое занятие №10**

**Тема:** Синтез цифровых комбинационных схем по произвольной таблице истинности

**Цель:** синтезировать цифровую комбинационную схему по произвольной таблице истинности

Любая цифровая комбинационная схема (логическая схема без памяти) полностью описывается таблицей истинности. При этом не обязательно чтобы все комбинации входных цифровых сигналов были полезными. Возможна ситуация, когда только часть комбинаций входных логических сигналов является полезной. В этом случае выходные сигналы цифрового устройства для оставшихся комбинаций входных логических сигналов могут быть доопределены произвольно. Обычно при

этом стараются выбирать цифровые значения выходных сигналов таким образом, чтобы схема цифрового устройства получилась простейшей.

Для реализации цифровых логических схем с произвольной таблицей истинности используется сочетание простейших логических элементов "И" "ИЛИ" "НЕ". Существует два способа синтеза цифровых схем, реализующих произвольную таблицу истинности. Это СКНФ (логическое произведение суммы входных сигналов) и СДНФ (сумма логических произведений входных сигналов).

При синтезе цифровой схемы, реализующей произвольную таблицу истинности, **каждый выход анализируется (и строится схема) отдельно и независимо**. В настоящее время наиболее распространены цифровые микросхемы, совместимые с ТТЛ технологией, а в этой технологии производства микросхем проще всего получить логические элементы "И". Поэтому первым рассмотрим способ реализации произвольной таблицы истинности основанный на СДНФ.

### **Совершенная дизъюнктивная нормальная форма (СДНФ)**

Для реализации таблицы истинности при помощи логических элементов "И" (СДНФ) достаточно рассмотреть только те строки таблицы истинности, которые содержат логические "1" в выходном сигнале. Строки, содержащие в выходном сигнале логический 0 в построении цифровой схемы не участвуют. Каждая строка, содержащая в выходном сигнале логическую "1", реализуется схемой логического элемента "И" с количеством входов, совпадающим с количеством входных сигналов в таблице истинности.

Входные сигналы, описанные в таблице истинности логической единицей, подаются на вход этого логического элемента непосредственно, а входные сигналы, описанные в таблице истинности логическим нулем, подаются на вход этого же логического элемента "И" через инверторы. Объединение сигналов с выходов логических элементов "И", реализующих отдельные строки таблицы истинности, производится при помощи логического элемента "ИЛИ". Количество входов в логическом элементе "ИЛИ" определяется количеством строк в таблице истинности, в которых в выходном сигнале присутствует логическая единица.

Рассмотрим конкретный пример. Пусть необходимо реализовать таблицу истинности, приведенную на рисунке 1:

| Входы |     |     |     | Выходы |      |
|-------|-----|-----|-----|--------|------|
| In0   | In1 | In2 | In3 | Out0   | Out1 |
| 0     | 0   | 0   | 0   | 0      | 0    |
| 0     | 0   | 0   | 1   | 1      | 0    |
| 0     | 0   | 1   | 0   | 0      | 0    |
| 0     | 0   | 1   | 1   | 0      | 0    |
| 0     | 1   | 0   | 0   | 0      | 0    |
| 0     | 1   | 0   | 1   | 0      | 1    |
| 0     | 1   | 1   | 0   | 1      | 0    |
| 0     | 1   | 1   | 1   | 0      | 0    |
| 1     | 0   | 0   | 0   | 0      | 0    |
| 1     | 0   | 0   | 1   | 0      | 1    |
| 1     | 0   | 1   | 0   | 0      | 0    |
| 1     | 0   | 1   | 1   | 0      | 0    |
| 1     | 1   | 0   | 0   | 1      | 0    |
| 1     | 1   | 0   | 1   | 0      | 0    |
| 1     | 1   | 1   | 0   | 0      | 0    |
| 1     | 1   | 1   | 1   | 0      | 1    |

Рисунок 1. Произвольная таблица истинности.

Для синтеза цифровой схемы, реализующей сигнал Out0, достаточно рассмотреть строки, выделенные красным цветом. В таблице истинности три строки, содержащие единицу в выходном сигнале Out0, поэтому в формуле СДНФ будет содержаться три произведения входных сигналов — **термов**, а точнее минтермов:

$$Out0 = \overline{In0} \cdot \overline{In1} \cdot \overline{In2} \cdot In3 + \overline{In0} \cdot In1 \cdot \overline{In2} \cdot \overline{In3} + \overline{In0} \cdot In1 \cdot In2 \cdot \overline{In3}$$

Так как количество переменных в каждом терме (ранг терма) данного логического выражения равно, то такое логическое выражение называется совершенным. (Совершенная Дизъюнктивная Нормальная Форма — СДНФ)

Полученное логическое выражение реализуются микросхемой D2 в схеме, приведенной на рисунке 2. Как и в формуле, каждая строка (терм) реализуется своим логическим элементом "И", затем выходы этих логических элементов объединяются при помощи логического элемента "ИЛИ". Количество входов логического элемента "И" (дизъюнкция) в СДНФ однозначно определяется количеством входных сигналов в таблице истинности. Количество этих элементов, а значит и количество входов в логическом элементе "ИЛИ" определяется количеством строк с единичным сигналом на реализуемом выходе цифровой схемы.

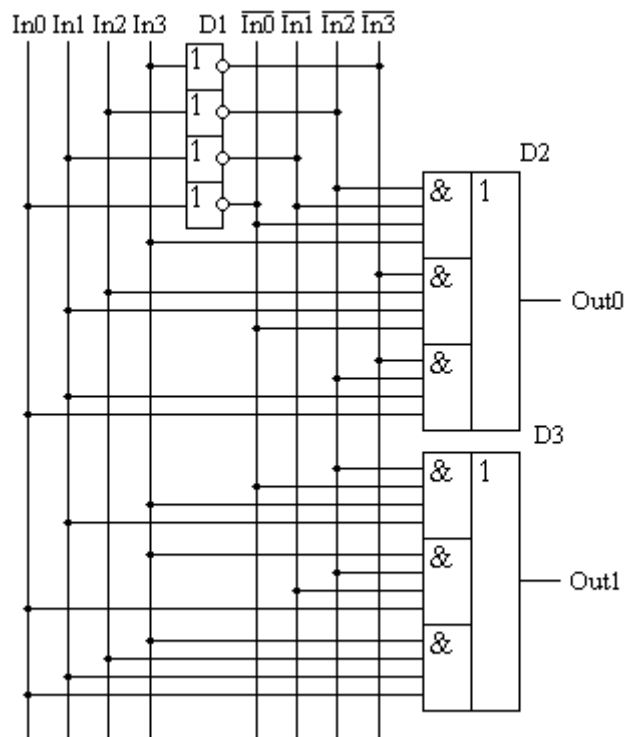


Рисунок 2. Принципиальная схема, реализующая таблицу истинности, приведенную на рисунке 1

Для построения схемы, реализующей сигнал Out1, достаточно рассмотреть строки, выделенные зеленым цветом. Эти строки реализуются микросхемой D3. Принцип построения этой схемы не отличается от примера, рассмотренного выше. В таблице истинности присутствуют всего три строки, содержащие единицу в выходном сигнале Out1, поэтому в формуле СДНФ выхода Out1 будет содержаться три произведения входных сигналов:

$$Out1 = \overline{In0} \cdot In1 \cdot \overline{In2} \cdot In3 + In0 \cdot \overline{In1} \cdot \overline{In2} \cdot In3 + In0 \cdot In1 \cdot In2 \cdot In3$$

Обычно при построении цифровых схем после реализации таблицы истинности производится минимизация схемы, но для упрощения понимания материала сейчас минимизация производиться не будет. Это оправдано еще и с той точки зрения, что неминимизированные схемы обычно обладают максимальным быстродействием. При реализации схемы на ТТЛ микросхемах быстродействие всего узла будет равно быстродействию одиночного инвертора (см. описание ТТЛ микросхем).

По СДНФ форме логического выражения обычно строятся современные микросхемы большой интеграции — программируемые логические интегральные схемы (ПЛИС), такие как программируемые логические матрицы (ПЛИМ), программируемые матрицы логики ПМЛ или CPLD.

### Совершенная конъюнктивная нормальная форма (СКНФ)

Еще одним способом реализации цифровых комбинационных схем является запись логического выражения в совершенной конъюнктивной нормальной форме (СКНФ). Применение СКНФ оправдано при большом количестве логических единиц

в выходном сигнале проектируемой цифровой схемы, как это показано в качестве примера в таблице истинности 2, или в ЭСЛ-микросхемах.

**Таблица 2** Пример таблицы истинности 2

| № комбинации | Входы |   |   |   | Выходы |   |
|--------------|-------|---|---|---|--------|---|
|              | 8     | 4 | 2 | 1 | a      | b |
| 0            | 0     | 0 | 0 | 0 | 1      | 1 |
| 1            | 0     | 0 | 0 | 1 | 0      | 1 |
| 2            | 0     | 0 | 1 | 0 | 1      | 1 |
| 3            | 0     | 0 | 1 | 1 | 1      | 1 |
| 4            | 0     | 1 | 0 | 0 | 0      | 1 |
| 5            | 0     | 1 | 0 | 1 | 1      | 0 |
| 6            | 0     | 1 | 1 | 0 | 1      | 0 |
| 7            | 0     | 1 | 1 | 1 | 1      | 1 |
| 8            | 1     | 0 | 0 | 0 | 1      | 1 |
| 9            | 1     | 0 | 0 | 1 | 1      | 1 |

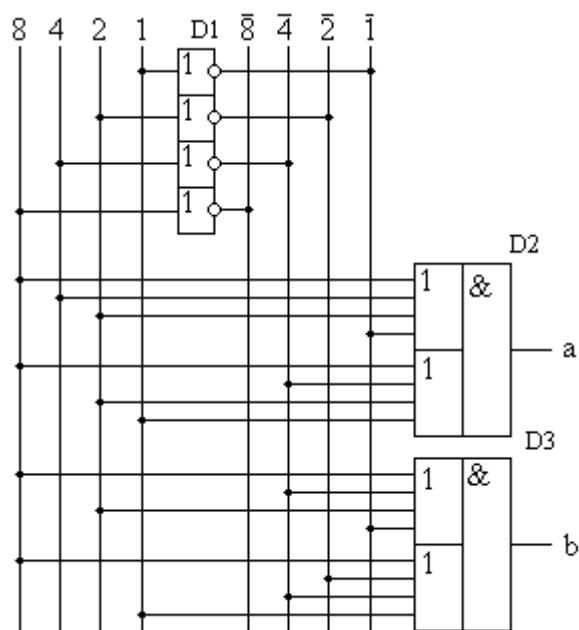
Для реализации цифрового комбинационного устройства по таблице истинности при помощи логических элементов "ИЛИ" (СКНФ) достаточно рассмотреть только те строки таблицы истинности, которые содержат логические "0" в выходном сигнале. Строки, содержащие в выходном сигнале логическую "1" в построении логического выражения, а, следовательно, и принципиальной схемы цифрового устройства не участвуют. Каждая строка, содержащая в выходном сигнале логический "0", реализуется схемой логического элемента "ИЛИ" с количеством входов, совпадающим с количеством входных сигналов в таблице истинности.

Для построения схемы, реализующей сигнал Out0, достаточно рассмотреть строки, выделенные курсивом. В рассматриваемой таблице истинности имеются всего две строки, содержащие логический ноль в выходном сигнале a, поэтому в формуле СКНФ будет содержаться две суммы входных сигналов:

$$a = (8 + 4 + 2 + \bar{1}) \cdot (8 + \bar{4} + 2 + 1)$$

Входные сигналы, описанные в таблице истинности логическим нулём, подаются на вход этой схемы непосредственно, а входные сигналы, описанные в таблице истинности логической единицей, подаются на логического элемента "ИЛИ" через инверторы. Объединение сигналов с выходов схем "ИЛИ", реализующих отдельные строки таблицы истинности, производится при помощи схемы логического элемента "И". Количество входов в схеме "И" определяется количеством строк в таблице истинности, в которых в выходном сигнале присутствует логическая единица.

Полученная формула в схеме на рисунке 9 реализуются микросхемой D2.



Для построения схемы, реализующей сигнал  $b$ , достаточно рассмотреть строки, выделенные жирным шрифтом. Эти строки в схеме на рисунке 9 реализуются микросхемой D3. Принцип построения этой схемы не отличается от примера, рассмотренного выше. В таблице истинности присутствуют всего две строки, содержащие ноль в выходном сигнале  $b$ , поэтому в формуле СКНФ выхода  $b$  будет содержаться две суммы входных сигналов:

$$a = (8 + \bar{4} + 2 + \bar{1}) \cdot (8 + \bar{4} + \bar{2} + 1)$$

### Контрольные вопросы

1. Совершенная дизъюнктивная нормальная форма (СДНФ)?
2. Совершенная конъюнктивная нормальная форма (СКНФ)?

### Практическое занятие №11

**Тема:** Дешифраторы (декодеры) Десятичный дешифратор, Семисигментный дешифратор

**Цель:** изучить работу Дешифратора (декодера) Десятичного дешифратора, Семисигментного дешифратора

## Дешифраторы (декодеры)

Декодеры (дешифраторы) позволяют преобразовывать одни виды бинарных кодов в другие. Например, преобразовывать позиционный двоичный код в линейный восьмеричный или шестнадцатеричный. Преобразование производится по правилам, описанным в таблицах истинности, поэтому построение дешифраторов не представляет трудностей. Для построения дешифратора можно воспользоваться правилами синтеза логической схемы для произвольной таблицы истинности.

## Десятичный дешифратор (декодер)

Рассмотрим пример построения дешифратора (декодера) из двоичного кода в десятичный. Десятичный код обычно отображается одним битом на одну десятичную цифру. Это классический пример, иллюстрирующий, что нулями и единицами описываются не только двоичные коды. В десятичном коде десять цифр, поэтому для отображения одного десятичного разряда требуется десять выходов дешифратора. Около каждого разряда десятичного кода подписана десятичная цифра, которую отображает логическая единица в этом разряде. Сигнал с этих выводов дешифратора можно подать на десятичный индикатор. В простейшем случае над светодиодом можно просто подписать индицируемую цифру. На входе дешифратора двоичный код записывается в соответствии с правилами двоичной системы счисления. Таблица истинности десятичного декодера приведена в таблице 1.

**Таблица 1.** Таблица истинности десятичного декодера.

| Входы |   |   |   | Выходы |   |   |   |   |   |   |   |   |   |  |  |  |  |  |  |
|-------|---|---|---|--------|---|---|---|---|---|---|---|---|---|--|--|--|--|--|--|
| 8     | 4 | 2 | 1 | 0      | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |  |  |  |  |  |  |
| 0     | 0 | 0 | 0 | 1      | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 0 | 0 | 1 | 0      | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 0 | 1 | 0 | 0      | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 0 | 1 | 1 | 0      | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 1 | 0 | 0 | 0      | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 1 | 0 | 1 | 0      | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |  |  |  |  |  |  |
| 0     | 1 | 1 | 0 | 0      | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |  |  |  |  |  |  |

|   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

В соответствии с принципами построения схемы по произвольной таблице истинности получим схему декодера, реализующего таблицу истинности, приведённую в таблице 1. Эта схема приведена на рисунке 1.

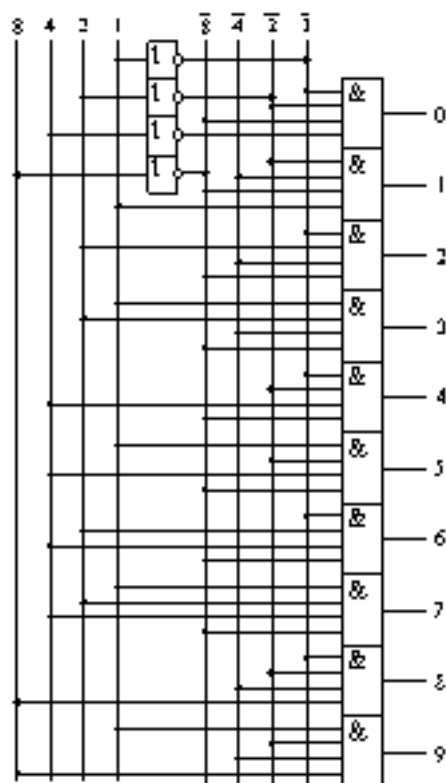


Рисунок 1. Принципиальная схема двоично-десятичного дешифратора (декодера)

Как видно на этой схеме для реализации каждой строки таблицы истинности потребовалась схема "ИИ". Схема "ИЛИ" не потребовалась, так как в таблице истинности на каждом выходе присутствует только одна единица.

Дешифраторы выпускаются в виде отдельных микросхем или используются в составе других микросхем. В настоящее время десятичные или восьмеричные дешифраторы используются в основном как составная часть других микросхем, таких как мультиплексоры, демультиплексоры, ПЗУ или ОЗУ.

Условно-графическое обозначение микросхемы дешифратора на принципиальных схемах приведено на рисунке 2. На этом рисунке приведено обозначение двоично-десятичного дешифратора, полная внутренняя принципиальная схема которого изображена на рисунке 1.

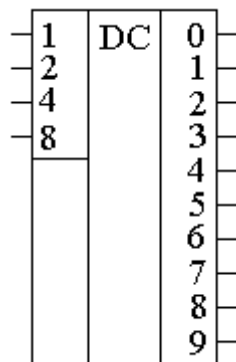


Рисунок 2. Условно-графическое обозначение двоично-десятичного дешифратора

Точно таким же образом можно получить принципиальную схему и для любого другого декодера (дешифратора). Наиболее распространены схемы восьмеричных и шестнадцатеричных дешифраторов. Для индикации такие дешифраторы в настоящее время практически не используются. В основном такие дешифраторы используются как составная часть более сложных цифровых модулей.

### Семисегментный дешифратор

Для отображения десятичных и шестнадцатеричных цифр часто используется семисегментный индикатор. Изображение семисегментного индикатора и название его сегментов приведено на рисунке 3.

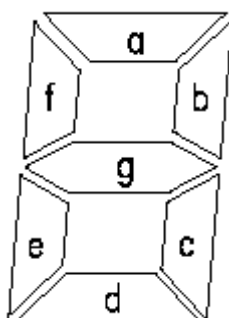


Рисунок 3. Изображение семисегментного индикатора и название его сегментов

Для изображения на таком индикаторе цифры 0 достаточно зажечь сегменты a, b, c, d, e, f. Для изображения цифры '1' зажигают сегменты b и c. Точно таким же образом можно получить изображения всех остальных десятичных или шестнадцатеричных цифр. Все комбинации таких изображений получили название семисегментного кода.

Составим таблицу истинности дешифратора, который позволит преобразовывать двоичный код в семисегментный. Пусть сегменты зажигаются нулевым потенциалом. Тогда таблица истинности семисегментного дешифратора примет вид, приведенный в таблице 2. Конкретное значение сигналов на выходе дешифратора зависит от схемы подключения сегментов индикатора к выходу микросхемы. Эти схемы мы рассмотрим позднее, в главе, посвящённой отображению различных видов информации.

Таблица 2. Таблица истинности семисегментного декодера.

| Входы |   |   |   | Выходы |   |   |   |   |   |   |
|-------|---|---|---|--------|---|---|---|---|---|---|
| 8     | 4 | 2 | 1 | a      | b | c | d | e | f | g |
| 0     | 0 | 0 | 0 | 0      | 0 | 0 | 0 | 0 | 0 | 1 |
| 0     | 0 | 0 | 1 | 1      | 0 | 0 | 1 | 1 | 1 | 1 |
| 0     | 0 | 1 | 0 | 0      | 0 | 1 | 0 | 0 | 1 | 0 |
| 0     | 0 | 1 | 1 | 0      | 0 | 0 | 0 | 1 | 1 | 0 |
| 0     | 1 | 0 | 0 | 1      | 0 | 0 | 1 | 1 | 0 | 0 |
| 0     | 1 | 0 | 1 | 0      | 1 | 0 | 0 | 1 | 0 | 0 |
| 0     | 1 | 1 | 0 | 0      | 1 | 0 | 0 | 0 | 0 | 0 |
| 0     | 1 | 1 | 1 | 0      | 0 | 0 | 1 | 1 | 1 | 1 |
| 1     | 0 | 0 | 0 | 0      | 0 | 0 | 0 | 0 | 0 | 0 |
| 1     | 0 | 0 | 1 | 0      | 0 | 0 | 0 | 1 | 0 | 0 |

В соответствии с принципами построения схемы по произвольной таблицы истинности, получим принципиальную схему семисегментного дешифратора (декодера), реализующего таблицу истинности, приведённую в таблице 2. На этот раз не будем подробно расписывать процесс разработки схемы. Полученная принципиальная схема семисегментного дешифратора приведена на рисунке 4.

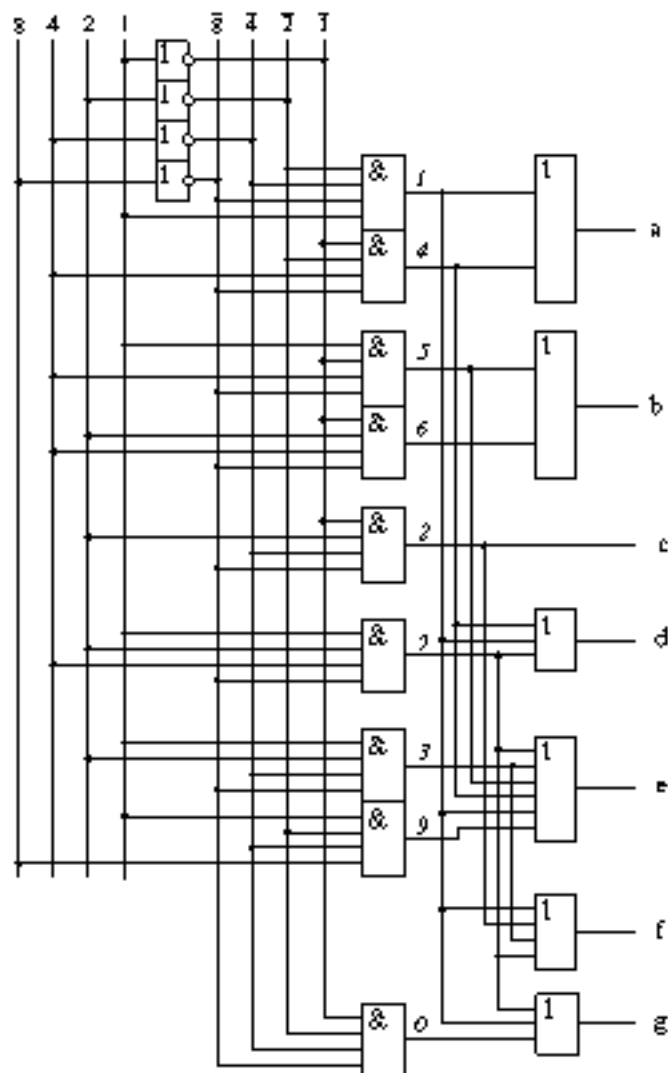


Рисунок 4. Принципиальная схема семисегментного дешифратора (декодера).

Для облегчения понимания принципов работы схемы на выходе логических элементов "И" показаны номера строк таблицы истинности, реализуемые ими.

Например, на выходе сегмента а логическая единица появится только при подаче на вход комбинации двоичных сигналов 0001 (1) и 0100 (4). Это осуществляется объединением соответствующих цепей элементом "ИЛИ". На выходе сегмента б логическая единица появится только при подаче на вход комбинации двоичных сигналов 0101 (5) и 0110 (6), и так далее.

В настоящее время семисегментные дешифраторы выпускаются в виде отдельных микросхем или используются в виде готовых блоков составе других микросхем. Условно-графическое обозначение микросхемы семисегментного дешифратора приведено на рисунке 5.

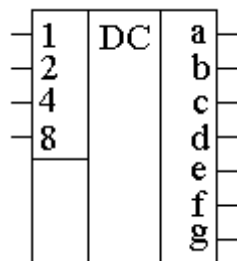


Рисунок 5. Условно-графическое обозначение семисегментного дешифратора

В качестве примера семисегментных дешифраторов можно назвать такие микросхемы отечественного производства как К176ИД3. В современных цифровых схемах семисегментные дешифраторы обычно входят в состав больших интегральных схем.

### Контрольные вопросы

1. Что такое дешифратор?
2. Что такое десятичный дешифратор
3. Что такое семисегментный дешифратор?

## Практическое занятие №12

**Тема:** Шифраторы (кодеры)

**Цель:** изучить работу шифратора (кодера)

Достаточно часто перед разработчиками цифровой аппаратуры встаёт обратная по сравнению с декодированием задача. Требуется преобразовать восьмеричный или десятичный линейный код в двоичный. Линейный восьмеричный код может поступать с выхода механического переключателя. Устройство, преобразующее линейный восьмеричный код в двоичный называется шифратором. Составим таблицу истинности такого устройства.

**Таблица 1.** Таблица истинности восьмеричного шифратора (кодера)

|              | Входы |   |   |   |   |   |   | Выходы |    |    |
|--------------|-------|---|---|---|---|---|---|--------|----|----|
| № комбинации | 1     | 2 | 3 | 4 | 5 | 6 | 7 | A2     | A1 | A0 |
| 0            | 0     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 0  |
| 1            | 1     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 1  |
| 2            | 0     | 1 | 0 | 0 | 0 | 0 | 0 | 0      | 1  | 0  |
| 3            | 0     | 0 | 1 | 0 | 0 | 0 | 0 | 0      | 1  | 1  |

|   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|
| 4 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 7 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

Ещё одним источником линейного восьмеричного кода могут стать аналоговые компараторы с различными порогами срабатывания. Такая линейка компараторов может служить для преобразования аналогового сигнала в цифровой код. Однако двоичный код более компактен. Поэтому требуется преобразователь кода. Таблица истинности такого устройства несколько отличается от приведённой в таблице 1. В данном случае входной код называется термометрическим. Микросхемы шифраторов обычно проектируются таким образом, чтобы они могли преобразовывать любой вариант входного кода в двоичный код. Так как часть бит на входе шифратора может принимать значение как логического нуля, так и логической единицы, то такие биты в таблице истинности обозначаем символом 'X'. Новая таблица истинности шифратора приведена в таблице 2.

**Таблица 2.** Таблица истинности десятичного шифратора (кодера).

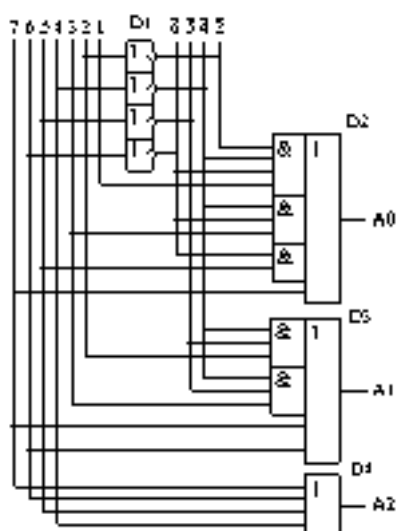
|              | Входы |   |   |   |   |   |   | Выходы |    |    |
|--------------|-------|---|---|---|---|---|---|--------|----|----|
| № комбинации | 1     | 2 | 3 | 4 | 5 | 6 | 7 | A2     | A1 | A0 |
| 0            | 0     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 0  |
| 1            | 1     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 1  |
| 2            | 1     | 1 | 0 | 0 | 0 | 0 | 0 | 0      | 1  | 0  |
| 3            | 1     | 1 | 1 | 0 | 0 | 0 | 0 | 0      | 1  | 1  |
| 4            | 1     | 1 | 1 | 1 | 0 | 0 | 0 | 1      | 0  | 0  |
| 5            | 1     | 1 | 1 | 1 | 1 | 0 | 0 | 1      | 0  | 1  |
| 6            | 1     | 1 | 1 | 1 | 1 | 1 | 0 | 1      | 1  | 0  |
| 7            | 1     | 1 | 1 | 1 | 1 | 1 | 1 | 1      | 1  | 1  |

Таблицы истинности можно объединить. В этом случае ячейки таблицы, где неважно, будет ли записан ноль или будет записана единица, помечены символом 'X'.

**Таблица 3.** Таблица истинности восьмеричного универсального шифратора (кодера).

| № комбинации | Входы |   |   |   |   |   |   | Выходы |    |    |
|--------------|-------|---|---|---|---|---|---|--------|----|----|
|              | 1     | 2 | 3 | 4 | 5 | 6 | 7 | A2     | A1 | A0 |
| 0            | 0     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 0  |
| 1            | 1     | 0 | 0 | 0 | 0 | 0 | 0 | 0      | 0  | 1  |
| 2            | X     | 1 | 0 | 0 | 0 | 0 | 0 | 0      | 1  | 0  |
| 3            | X     | X | 1 | 0 | 0 | 0 | 0 | 0      | 1  | 1  |
| 4            | X     | X | X | 1 | 0 | 0 | 0 | 1      | 0  | 0  |
| 5            | X     | X | X | X | 1 | 0 | 0 | 1      | 0  | 1  |
| 6            | X     | X | X | X | X | 1 | 0 | 1      | 1  | 0  |
| 7            | X     | X | X | X | X | X | 1 | 1      | 1  | 1  |

Теперь можно составить схему устройства. То, что практически во всех строках есть неопределённые значения, позволяет значительно упростить схему восьмеричного кодера. Результирующая схема восьмеричного кодера приведена на рисунке 1.



**Рисунок 1.** Принципиальная схема восьмеричного кодера

В настоящее время шифраторы выпускаются в виде отдельных микросхем или используются в виде готовых блоков составе других микросхем, таких как параллельные АЦП. Условно-графическое обозначение шифратора приведено на

рисунке 2. В качестве примера шифраторов можно назвать такие микросхемы отечественного производства как К555ИВ1 и К555ИВ3.

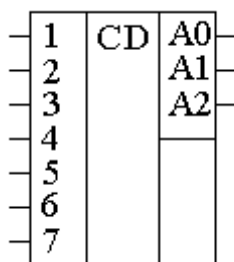


Рисунок 2. Условно-графическое обозначение восьмеричного шифратора

## Контрольные вопросы

1. Что такое шифратор?
2. Таблица истинности десятичного шифратора (кодера)?
3. Принципиальная схема восьмеричного кодера?

## Практическое занятие №13

**Тема:** Мультиплексоры

**Цель:** изучить работу мультиплексора

LR

(мультиплексор)

Файл

### Исследование работы мультиплексора

1. Цель работы: изучить работу мультиплексора

2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы

3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу отчета выходные значения.

| X1 | X2 | X3 | X4 | A0 | A1 | Y |
|----|----|----|----|----|----|---|
| 0  | 1  | 0  | 1  | 0  | 0  |   |
| 0  | 1  | 0  | 1  | 1  | 0  |   |
| 0  | 1  | 0  | 1  | 0  | 1  |   |
| 0  | 1  | 0  | 1  | 1  | 1  |   |
| 1  | 0  | 1  | 0  | 0  | 0  |   |
| 1  | 0  | 1  | 0  | 1  | 0  |   |
| 1  | 0  | 1  | 0  | 0  | 1  |   |
| 1  | 0  | 1  | 0  | 1  | 1  |   |

**Контрольные вопросы:**

1. Назначение выводов мультиплексора.
2. Какой из входов X1-X4 соединится к выходу, если A0=0 и A1=1?
3. Что надо подать на входы A0 и A1, чтобы X3 подключился к выходу Y? (сначала ответьте, а затем проверьте себя на модели)
4. Где применяются мультиплексоры?
5. В качестве, какого преобразователя можно использовать данный мультиплексор?

Мультиплексорами называются устройства, которые позволяют подключать несколько входов к одному выходу. Демультимплексорами называются устройства, которые позволяют подключать один вход к нескольким выходам. В простейшем случае такую коммутацию можно осуществить при помощи ключей:

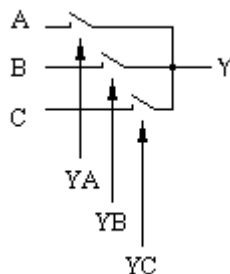


Рисунок 1. Коммутатор (мультиплексор), собранный на ключах

Такой коммутатор одинаково хорошо будет работать как с аналоговыми, так и с цифровыми сигналами. Однако скорость работы механических ключей оставляет желать лучшего, да и управлять ключами часто приходится автоматически при помощи какой-либо схемы.

В цифровых схемах требуется управлять ключами при помощи логических уровней. То есть нужно подобрать устройство, которое могло бы выполнять функции электронного ключа с электронным управлением цифровым сигналом.

## Практическое занятие №14

**Тема:** Демультимплексоры

**Цель:** изучить работу демультимплексора

Файл (демультиплексор)

### Исследование работы демультиплексора

1. Цель работы: изучить работу демультиплексора
2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы
3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу отчета выходные значения.

| A1 | A0 | X | Y1 | Y2 | Y3 | Y4 |
|----|----|---|----|----|----|----|
| 0  | 0  | 1 |    |    |    |    |
| 0  | 1  | 1 |    |    |    |    |
| 1  | 0  | 1 |    |    |    |    |
| 1  | 1  | 1 |    |    |    |    |
| 0  | 0  | 0 |    |    |    |    |
| 0  | 0  | 1 |    |    |    |    |
| 0  | 1  | 0 |    |    |    |    |
| 0  | 1  | 1 |    |    |    |    |
| 1  | 0  | 0 |    |    |    |    |
| 1  | 0  | 1 |    |    |    |    |
| 1  | 1  | 0 |    |    |    |    |
| 1  | 1  | 1 |    |    |    |    |

**Контрольные вопросы:**

1. Назначение выводов демультиплексора.
2. Какой из выходов Y1-Y4 соединится ко входу, если A0=1 и A1=0?
3. Что надо подать на входы A0 и A1, чтобы Y2 подключился к входу X? (сначала ответьте, а затем проверьте себя на модели)
4. Где применяются демультиплексоры?
5. В качестве, какого преобразователя можно использовать данный демультиплексор?

Демультиплексор - устройство, обратное мультиплексору. Т. е., у демультиплексора один вход и куча выходов. Двоичный код определяет, какой выход будет подключен ко входу. Другими словами, демультиплексор - это устройство, которое осуществляет выборку одного из нескольких выходов и подключает его к своему входу или, это переключатель сигналов, управляемый двоичным кодом и имеющий один вход и несколько выходов. Ко входу подключается тот выход, чей номер соответствует состоянию двоичного кода. И навороченное определение: **демультиплексор** - это устройство, которое преобразует последовательный код в параллельный.

Обычно в качестве демультиплексора используют дешифраторы двоичного кода в позиционный, в которых вводят дополнительный вход стробирования. Из-за схожести структур мультиплексора и демультиплексора в КМОП сериях есть микросхемы, которые одновременно являются мультиплексором и демультиплексором, смотря с какой стороны подавать сигналы, например, K561КП1, работающая как переключатель 8x1 и переключатель 1x8 (то бишь, как мультиплексор и демультиплексор с восемью входами или выходами). Кроме того, в

КМОП микросхемах помимо переключения цифровых сигналов (лог. 0 или 1) существует возможность переключения аналоговых. Другими словами, это переключатель аналоговых сигналов, управляемый цифровым кодом. Такие микросхемы называются коммутаторами. К примеру, с помощью коммутатора можно переключать сигналы, поступающие на вход усилителя (селектор входов).

### **Контрольные вопросы**

- 1. Что такое демультиплексор?**
- 2. Таблица истинности демультиплексора?**
- 3. Области применения демультиплексора?**

## **Практическое занятие №15**

**Тема:** RS-триггер

**Цель:** изучить работу RS-триггера

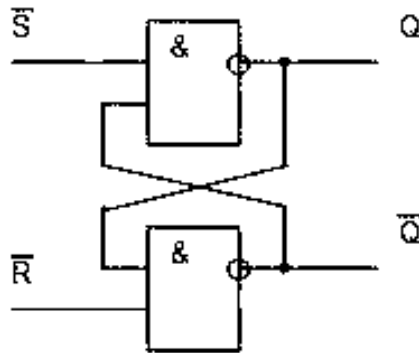
Триггеры широко используются для создания различных счетчиков и делителей частоты. На них строятся элементы памяти, такие как ОЗУ или регистры. Именно поэтому трудно найти работу выпускнику, который не освоил работу с триггерами. Изучение работы триггеров начнем с простейшего триггера, который называется RS триггер.

RS триггер получил название по названию своих входов. Вход S (Set — установить *англ.*) позволяет устанавливать выход триггера Q в единичное состояние (записывать единицу). Вход R (Reset — сбросить *англ.*) позволяет сбрасывать выход триггера Q (Quit — выход *англ.*) в нулевое состояние (записывать ноль).

## Исследование работы RS триггера

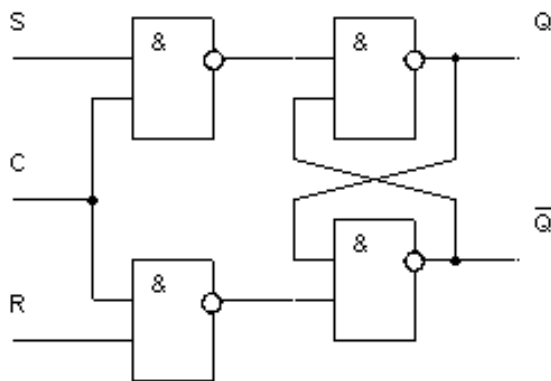
1. **Цель работы:** рассмотреть работу RS триггера
2. **Выполнение работы:**

Задание 1: собрать схему, показанную ниже и по ней построить таблицу функционирования RS триггера



| $Q_i$ | $\bar{S}$ | $\bar{R}$ | $Q_{i+1}$ |
|-------|-----------|-----------|-----------|
| 0     | 0         | 0         |           |
| 0     | 0         | 1         |           |
| 0     | 1         | 0         |           |
| 0     | 1         | 1         |           |
| 1     | 0         | 0         |           |
| 1     | 0         | 1         |           |
| 1     | 1         | 0         |           |
| 1     | 1         | 1         |           |

Задание 2: собрать схему, показанную ниже и по ней построить таблицу функционирования синхронного RS триггера



| C | $Q_i$ | S | R | $Q_{i+1}$ |
|---|-------|---|---|-----------|
| 0 | 0     | 0 | 0 |           |
| 0 | 0     | 0 | 1 |           |
| 0 | 0     | 1 | 0 |           |
| 0 | 0     | 1 | 1 |           |
| 0 | 1     | 0 | 0 |           |
| 0 | 1     | 0 | 1 |           |
| 0 | 1     | 1 | 0 |           |
| 0 | 1     | 1 | 1 |           |
| 1 | 0     | 0 | 0 |           |
| 1 | 0     | 0 | 1 |           |
| 1 | 0     | 1 | 0 |           |
| 1 | 0     | 1 | 1 |           |
| 1 | 1     | 0 | 0 |           |
| 1 | 1     | 0 | 1 |           |
| 1 | 1     | 1 | 0 |           |
| 1 | 1     | 1 | 1 |           |

Задание 3: объяснить изменение данных в таблицах.

### Контрольные вопросы:

1. Что называется RS триггером?
2. Чем отличается синхронный RS триггер от не синхронного RS триггера?
3. Постройте RS триггер на элементах 2ИЛИ-НЕ.
4. Где используются RS триггеры?

Для реализации RS триггера воспользуемся логическими элементами "2И-НЕ".

Его принципиальная схема приведена на рисунке 1.

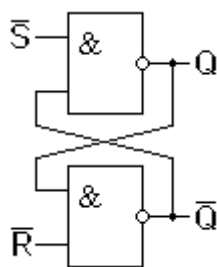


Рисунок 1. Схема простейшего rs триггера на схемах "2И-НЕ". Входы R и S инверсные (активный уровень '0')

Рассмотрим принцип работы RS триггера, выполненный по изображенной на рисунке 1 схеме подробнее. Пусть на входы R и S подаются единичные потенциалы. Если на выходе верхнего логического элемента "2И-НЕ" Q присутствует логический ноль, то на выходе нижнего логического элемента "2И-НЕ" появится логическая единица. Эта единица подтвердит логический ноль на выходе Q. Если на выходе верхнего логического элемента "2И-НЕ" Q первоначально присутствует логическая единица, то на выходе нижнего логического элемента "2И-НЕ" появится логический ноль. Этот ноль подтвердит логическую единицу на выходе Q. То есть при единичных входных уровнях схема RS триггера работает точно так же как и схема на инверторах.

Подадим на вход S нулевой потенциал. Согласно таблице истинности логического элемента "И-НЕ" на выходе Q появится единичный потенциал. Это приведёт к появлению на инверсном выходе триггера нулевого потенциала. Теперь, даже если снять нулевой потенциал с входа S, на выходе триггера останется единичный потенциал. То есть мы записали в триггер логическую единицу.

Точно так же можно записать в RS-триггер и логический ноль. Для этого следует воспользоваться входом R. Так как активный уровень на входах оказался нулевым, то эти входы — инверсные. Составим таблицу истинности RS триггера. Входы R и S в этой таблице будем использовать прямые, то есть и запись нуля, и запись единицы будут осуществляться единичными потенциалами (таблица 1).

Таблица 1. Таблица истинности RS триггера.

| R | S | Q(t) | Q(t+1) | Пояснения                       |
|---|---|------|--------|---------------------------------|
| 0 | 0 | 0    | 0      | Режим хранения информации R=S=0 |
| 0 | 0 | 1    | 1      |                                 |
| 0 | 1 | 0    | 1      | Режим установки единицы S=1     |
| 0 | 1 | 1    | 1      |                                 |
| 1 | 0 | 0    | 0      | Режим записи нуля R=1           |
| 1 | 0 | 1    | 0      |                                 |
| 1 | 1 | 0    | *      | R=S=1 запрещенная комбинация    |
| 1 | 1 | 1    | *      |                                 |

RS триггер можно построить и на логических элементах "ИЛИ". Его схема приведена на рисунке 2. Принцип работы RS триггера, собранный на логических элементах "ИЛИ" будет точно таким же, как и рассмотренный ранее. Единственное отличие в работе этой схемы по сравнению с предыдущей схемой RS триггера будет заключаться в том, что сброс и установка триггера будет производиться единичными логическими уровнями. Эти особенности связаны с принципами работы инверсной логики, которые рассматривались ранее.

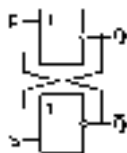


Рисунок 2. Схема простейшего RS триггера на схемах "ИЛИ". Входы R и S прямые (активный уровень '1')

Так как RS триггер при реализации его на логических элементах "И" и "ИЛИ" работает одинаково (его принцип работы от схемы не зависит), то и условно-графическое изображение на принципиальных схемах тоже одинаково. Условно-графическое изображение RS триггера на принципиальных схемах приведено на рисунке 3.

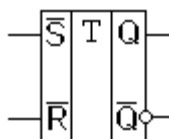


Рисунок 3. Условно-графическое обозначение RS триггера

Пришло время строить таблицу истинности RS-триггера.

1. Какие входы у RS-триггера - прямые? Действующий сигнал 1
2. Перебираем комбинации входных сигналов

| RS-триггер |   | R-вход | S-вход | Q-выход  | Примечание                                                     |
|------------|---|--------|--------|----------|----------------------------------------------------------------|
|            | S | 0      | 0      | хранение | хранение предыдущее состояния                                  |
|            |   | 0      | 1      | 1        | действующий сигнал поступил на S-вход - установка триггера в 1 |
|            | R | 1      | 0      | 0        | действующий сигнал поступил на R-вход - установка триггера в 0 |
|            |   | 1      | 1      | x        | запрещенная комбинация, схема перестает работать как триггер   |

1. Какие входы у RS-триггера - инверсные? Действующий сигнал 0
2. Перебираем комбинации входных сигналов

| RS-триггер |   | R-вход | S-вход | Q-выход  | Примечание                                                     |
|------------|---|--------|--------|----------|----------------------------------------------------------------|
|            | S | 0      | 0      | x        | запрещенная комбинация, схема перестает работать как триггер   |
|            |   | 0      | 1      | 0        | действующий сигнал поступил на R-вход - установка триггера в 0 |
|            | R | 1      | 0      | 1        | действующий сигнал поступил на S-вход - установка триггера в 1 |
|            |   | 1      | 1      | хранение | хранение предыдущее состояния                                  |

## Практическое занятие №16

**Тема:** RS-триггер.

**Цель:** изучить мультивибраторы

Еще одной распространённой схемой генераторов на логических элементах является схема мультивибратора. В этой схеме для реализации положительной обратной связи используется два инвертора. Каждый из усилителей осуществляет

поворот фазы генерируемого сигнала на 180°. В результате реализуется баланс фаз. Схема мультивибратора приведена на рисунке 1.

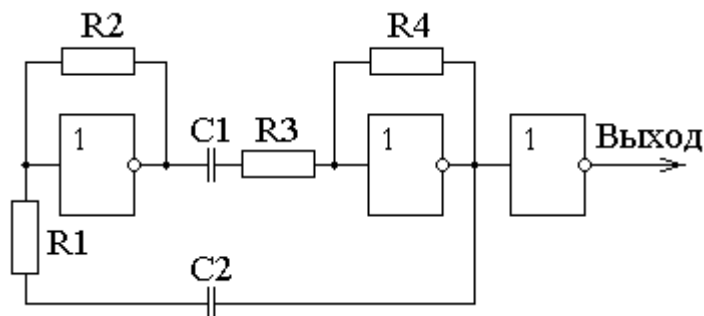


Рисунок 1. Схема мультивибратора, выполненная на двух логических инверторах

Коэффициент усиления каждого из усилителей определяется соотношением резисторов  $R2/R1$  и  $R4/R3$ . В этой схеме возможна независимая регулировка частоты и скважности генерируемых колебаний. Длительность импульсов и длительность паузы между импульсами регулируется независимо при помощи RC цепочек  $R1\ C2$  и  $R3\ C1$ . Период следования импульсов  $T$  определяется как сумма двух времен заряда конденсаторов:

$$T = t_{\text{зар1}} + t_{\text{зар2}},$$

$$\text{где } t_{\text{зар1}} = R2C2 \ln(U^1/U_{\text{пор}});$$

$$t_{\text{зар2}} = R4C1 \ln(U^1/U_{\text{пор}}).$$

Если скважность генерируемых колебаний не важна, то можно упростить схему мультивибратора, используя второй инвертор по прямому назначению. Так как при реализации схемы генератора нас интересует максимальный петлевой коэффициент усиления, то последовательный резистор мы тоже можем исключить. Для обеспечения автоматического запуска генератора в схеме остается резистор, включенный с выхода на вход первого инвертора. В этом случае схема мультивибратора примет вид, показанный на рисунке 2.

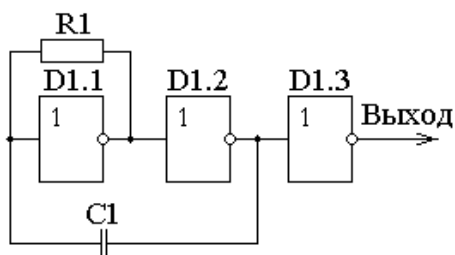


Рисунок 2. Упрощённая схема мультивибратора

В этой схеме возможно задавать только частоту генерируемых импульсов. Она будет определяться произведением  $R1\ C1$ . Скважность генерируемых импульсов будет зависеть от соотношения токов нуля и единицы выбранного логического элемента.

Период  $T$  импульсов, вырабатываемых мультивибратором, определяется в первом приближении постоянной времени  $t = RC$  ( $T = a \cdot t$ , где  $a$  обычно имеет значение 1...2).

Частоту следования импульсов можно оценить (с точностью до 10 %) из выражения  $f = 1/2RC$ .

Достаточно часто требуется получить генератор, выходная частота которого могла бы изменяться в достаточно широких пределах. В этом случае в качестве частотозадающего элемента в генераторе может быть использован элемент с изменяемыми параметрами, например варикап или полевой транзистор. Схема такого генератора, управляемого напряжением, приведена на рисунке 3.

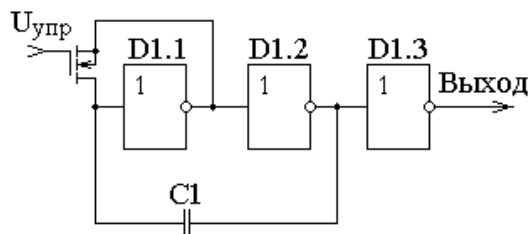


Рисунок 3. Схема генератора, управляемого напряжением

Учитывая, что сопротивление полевого транзистора может изменяться в пределах от 10 Ом до 10 МОм, генерируемая частота тоже может изменяться в десятки и сотни раз. Однако следует учесть, что такой генератор может быть использован только в цифровых схемах, так как его спектральные характеристики оставляют желать лучшего. Обычно такая схема используется в цепях умножения частоты внутри цифровых микросхем повышенной производительности. Примером специализированных микросхем — генераторов могут служить микросхемы 531ГГ1 и 564ГГ1.

В схеме на мультивибраторе можно использовать и кварцевую стабилизацию частоты. Для этого нужно кварцевый резонатор включить в цепь обратной связи. Схема мультивибратора с кварцевой стабилизацией частоты приведена на рисунке 4.

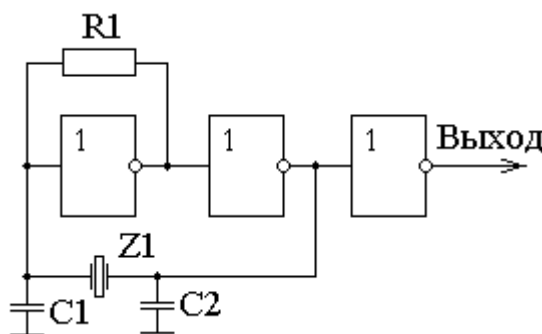


Рисунок 4. Схема мультивибратора с кварцевой стабилизацией частоты

При применении такой схемы кварцевого генератора следует учитывать, что кварцевый резонатор в ней работает на частоте последовательного резонанса, которая отличается от частоты параллельного резонанса, используемого в осцилляторной схеме генератора.

### Контрольные вопросы

1. Что такое мультивибратор?
2. Схема мультивибратора?

## Практическое занятие №17

### Тема 16. Регенерация цифрового сигнала (Триггер Шмитта)

**Цель:** изучить триггер Шмитта

Микросхемы соединяются между собой печатными проводниками или плоскими кабелями. При распространении цифрового сигнала по этим проводникам он неизбежно искажается. В основном это выражается в затягивании фронтов и поэтому на приёмном конце его приходится восстанавливать. Кроме того, часто приходится подавать на вход цифрового устройства обычные аналоговые сигналы (например, с выхода приёмника). Примерная форма сигнала на входе цифровой микросхемы приведена на рисунке 1.

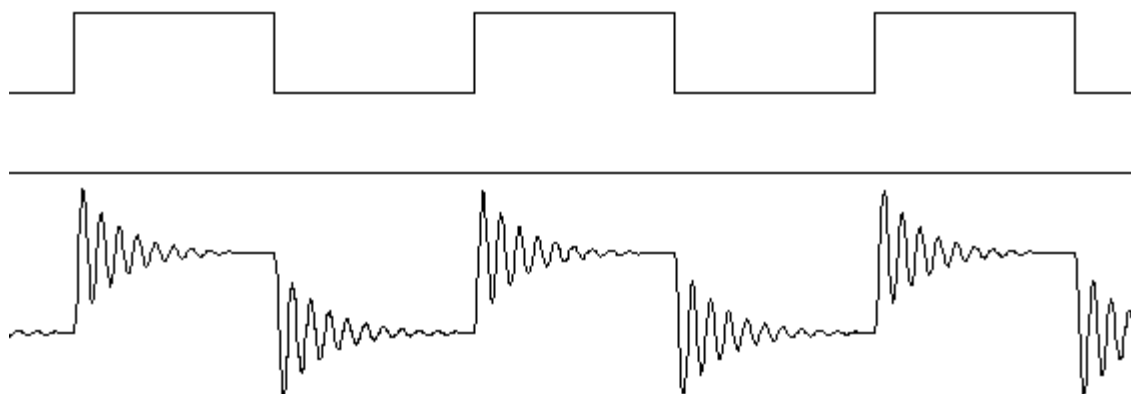


Рисунок 1. Пример сигнала на входе цифровой микросхемы

Как видно из приведённого рисунка, сигнал на входе микросхемы может принимать любые значения, в том числе и запрещённые для цифровых микросхем. Как уже обсуждалось ранее, это может привести к выходу цифровых микросхем из строя.

Для того, чтобы можно было обрабатывать такие сигналы, применяются специальные схемы, такие как триггеры Шмитта. Триггер Шмитта представляет собой устройство охваченное положительной обратной связью. Наличие положительной обратной связи приводит к практически мгновенному изменению напряжения на выходе схемы при превышении входным сигналом порогового напряжения. Схема триггера Шмитта, построенная на двух инверторах приведена на рисунке 2.

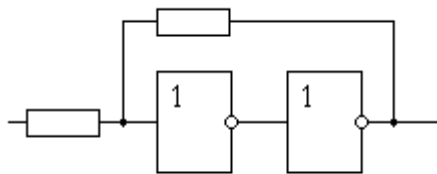


Рисунок 2. Схема триггера Шмитта

В этой схеме положительная обратная связь образуется двумя резисторами. Глубина обратной связи определяется соотношением между этими резисторами. То, что часть сигнала с выхода схемы триггера Шмитта подаётся на её вход, приводит к тому, что вместо одного порога у неё имеется два порога. Один порог называется порогом срабатывания схемы (когда на выходе триггера Шмитта формируется единичный уровень). Второй порог называется порогом отпускания (когда на выходе триггера Шмитта формируется нулевой уровень). Из-за наличия двух порогов триггер Шмитта имеет ещё одно название — схема с гистерезисом.

Наличие двух порогов отчётливо видно на рисунке 3, где на вход триггера Шмитта подано синусоидальное напряжение. Входной и выходной сигналы исследуемой схемы на этом рисунке совмещены. В результате пороги срабатывания триггера Шмитта можно определить по точкам пересечения синусоиды и выходного сигнала.

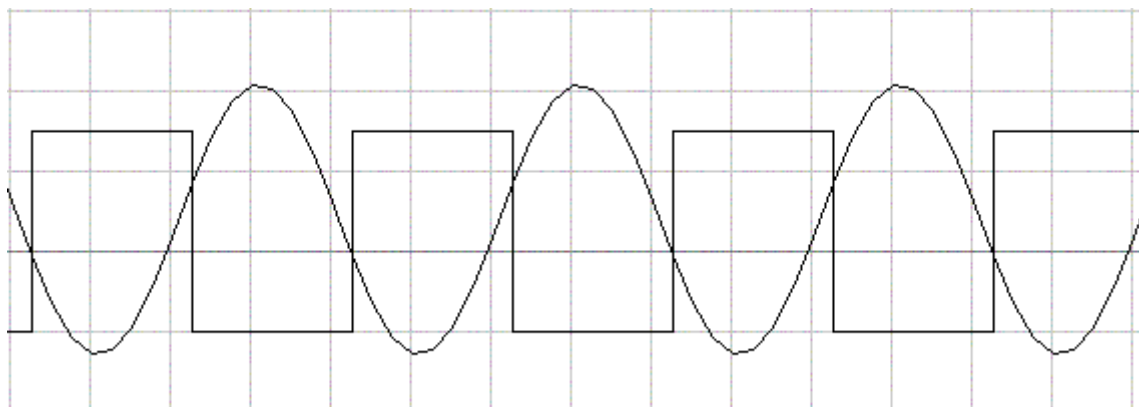


Рисунок 3. Преобразование синусоидального сигнала в логический при помощи триггера Шмитта

Благодаря двум порогам схема нечувствительна к шумам на её входе. Ведь если триггер Шмитта перешёл в другое состояние, то для того, чтобы вернуть его в прежнее состояние нужно приложить напряжение, превышающее разность его порогов. Такое полезное свойство триггера Шмитта привело к его широкому использованию в схемах, подверженных влиянию шумов, таких как, например, шумоподаватели ЧМ приёмников.

В качестве примера можно привести сигнал на выходе компаратора при воздействии точно такого же синусоидального сигнала, как и на рисунке 3. Эти сигналы приведены на рисунке 4. Как видно из этого рисунка, в момент пересечения синусоидальным сигналом порогового уровня компаратора, на его выходе появляются усиленные шумы входного сигнала. Это приводит к формированию

лишних импульсов на выходе схемы, что не всегда приемлемо для правильной работы цифрового устройства в целом.

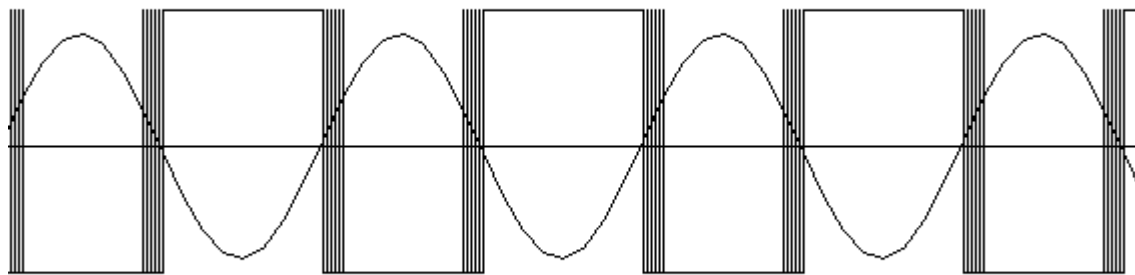


Рисунок 4. Преобразование синусоидального сигнала в логический при помощи компаратора

Следует отметить, что наличие двух порогов не приводит к изменению логики работы цифровых устройств. Посмотрите внимательно на сигналы, приведённые на рисунке 3. Если сдвинуть выходной сигнал относительно входного, то точки их пересечения совместятся на одном уровне. То есть выходной сигнал триггера Шмитта можно рассматривать просто как задержанный относительно входа усиленный и ограниченный сигнал.

Ещё одно применение триггеры Шмитта нашли в качестве входных каскадов в системных шинах микропроцессоров. Мы помним, что входы цифровых микросхем нельзя бросать в воздухе, однако при работе на шину обязательным условием является возможность отключения источников цифровых сигналов от шины. Для того чтобы при этом входы цифровых микросхем не оставались в воздухе, все проводники в шине подключают к источнику питания или к корпусу при помощи внешних резисторов.

Использование в качестве входных каскадов, подключённых к системной шине, триггеров Шмитта, позволяет избавиться от этих внешних резисторов.

Перечисленные выше причины привели к широкому распространению триггеров Шмитта. Условно-графическое изображение триггера Шмитта приведено на рисунке 5. Символ, изображённый на рабочем поле этого логического элемента говорит о наличии гистерезиса (разности порогов срабатывания).

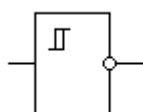


Рисунок 5. Условно-графическое обозначение триггера Шмитта

В настоящее время производится много готовых микросхем, в которых содержится сразу несколько триггеров Шмитта. Пороги в этих схемах установлены

заранее. Например, в микросхеме 555ТЛ2 содержится сразу шесть триггеров Шмитта с разном порогов 800 мВ.

В КМОП микросхемах пороги срабатывания и отпускания устанавливаются на трети напряжения питания. Примером подобной микросхемы может служить КМОП микросхема К1561ТЛ1, в которой содержится четыре логических элемента "2И", каждый вход которого обладает гистерезисом.

В настоящее время за рубежом широко распространены микросхемы малой логики, где в одном очень маленьком корпусе, обычно с пятью выводами, размещается одиночный логический элемент. В качестве примера одиночного триггера Шмитта можно назвать микросхемы SN74АНС1G14 или SN74LVC1G17.

## Контрольные вопросы

1. Что такое триггер Шмитта?
2. Для чего он используется?

## Практическое занятие №18

**Тема:** Особенности построения.

**Цель:** изучить осцилляторные схемы генераторов

Рассмотрим схему простейшего генератора. Для его самовозбуждения необходимо обеспечить баланс фаз на заданной частоте. Генератор может быть выполнен по схеме индуктивной или ёмкостной трёхточки. Такие схемы называются осцилляторными. В настоящее время обычно используется схема ёмкостной трёхточки как более дешёвый вариант. На рисунке 1 приведена подобная схема, выполненная на биполярном транзисторе.

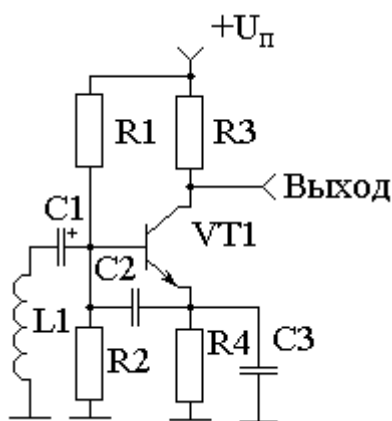


Рисунок 1. Ёмкостная трёхточка, выполненная на биполярном транзисторе

В этой схеме усилительный элемент VT1 включен в схему контура L1 C2 C3, резонансная частота которого и задаёт частоту генерации схемы. Глубина обратной связи задаётся соотношением ёмкостей этого контура и коэффициентом усиления транзистора на заданной частоте самовозбуждения.

Приведенная на рисунке 1 принципиальная схема генератора достаточно сложна. Это определяется количеством элементов термостабилизации (резисторы R1, R2 и R4) и задания режима по постоянному току (резистор R3 и конденсатор C1). Колебания, формируемые таким генератором, не совсем подходят для синхронизации цифровых микросхем, так как на выходе описанного генератора присутствует синусоидальное напряжение. Его необходимо преобразовать к логическим уровням, которые воспринимают цифровые микросхемы.

Генератор можно построить и на основе одиночного логического инвертора. Как уже говорилось в предыдущих главах, любой логический элемент обладает усилением. Этим будет обеспечен баланс амплитуд. Баланс фаз обеспечим точно так же, как и в предыдущей схеме генератора. Схема ёмкостной трёхточки, построенной на основе логического инвертора, приведена на рисунке 2.

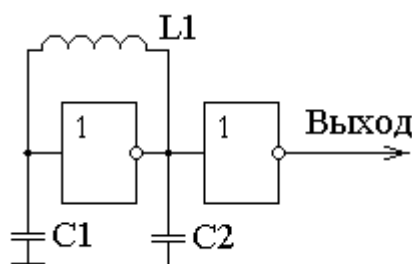


Рисунок 2. Ёмкостная трёхточка, выполненная на логическом инверторе

При реализации генераторов на логических элементах необходимо следить за тем, чтобы при запуске генератора логический элемент находился в активном режиме. В обычном включении логический инвертор находится в режиме ограничения. В режиме ограничения осуществляется жесткий режим запуска генератора, поэтому для возникновения автоколебаний в такой схеме потребуется подать мощный импульс на вход инвертора.

Для самопроизвольного возникновения колебаний в схеме генератора необходимо перевести логический элемент в усилительный режим. Для этого инвертор необходимо охватить отрицательной обратной связью по постоянному току. В приведённой на рисунке 2 схеме это осуществляется замыканием входа и выхода микросхемы через активное сопротивление индуктивности L1.

Сигнал на выходе первого инвертора благодаря фильтрующим свойствам контура тоже будет синусоидальным. Второй инвертор используется для преобразования формы выходного напряжения к прямоугольной и доведения уровня генерируемого сигнала до цифровых логических уровней. Иными словами, он используется в качестве усилителя-ограничителя. Кроме того, этот инвертор выполняет функции развязывающего (буферного) усилителя. Это означает, что изменение параметров нагрузки не будет влиять на генерируемую частоту.

Известно, что стабильность колебаний LC генератора невысока. Намного большей стабильностью обладают кварцевые генераторы. Схему на одном инверторе можно использовать и для построения кварцевых генераторов. В этом случае, в ёмкостной трёхточке вместо индуктивности следует включить кварцевый резонатор.

Схема кварцевого генератора на одном логическом инверторе приведена на рисунке 3.

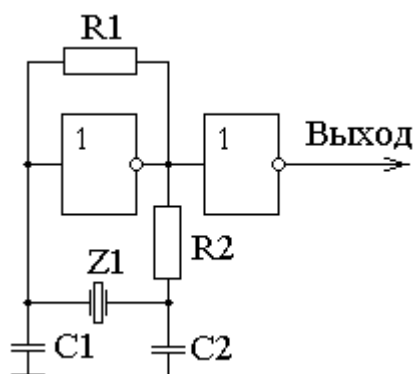


Рисунок 3. Схема кварцевого генератора, выполненная на логическом инверторе

Ёмкости в частотодающей цепочке обычно выбираются в пределах от 10 до 30 пФ. Значение этих ёмкостей определяется значением ёмкости кварцедержателя, которая колеблется от 3 до 5 пФ.

Соотношение ёмкостей задаёт глубину обратной связи, а значит устойчивость запуска генератора в диапазоне температур. На высоких частотах ёмкости обычно выбираются равными. В низкочастотных генераторах ёмкость  $C1$  желательно выбирать меньше ёмкости конденсатора  $C2$ . Это обеспечит большее напряжение на входе инвертора, что в свою очередь приведёт к меньшему потреблению тока. При необходимости подстройки частоты генератора в качестве ёмкости  $C2$  может быть использован подстроечный конденсатор.

Кварцевый резонатор не пропускает постоянный ток, поэтому для обеспечения автоматического запуска генератора приходится использовать дополнительные резисторы. В схеме на рисунке 3 это резисторы  $R1$  и  $R2$ . Резистор  $R1$  переводит инвертор в активный режим. Соотношение резисторов  $R1/R2$  определяет коэффициент усиления активного элемента генераторов.

При использовании очень высокочастотных кварцевых резонаторов резистор  $R2$  для облегчения самовозбуждения генератора может отсутствовать. При работе с низкочастотными кварцевыми резонаторами резистор  $R2$  и ёмкость  $C2$  обеспечивают необходимый фазовый сдвиг и предотвращают самовозбуждение генератора на частоте ёмкости кварцедержателя. Кроме того, резистор  $R2$  ограничивает мощность, рассеиваемую на кристалле кварца, что позволяет использовать в генераторе малогабаритные кристаллы.

Достаточно часто возникает необходимость останавливать генератор для экономии потребления электроэнергии. В этом случае вместо логического инвертора можно использовать схему "2И-НЕ".

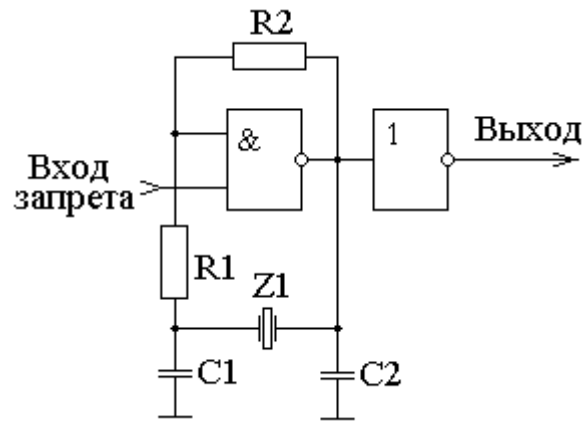


Рисунок 4. Схема кварцевого генератора, выполненная на элементе логического "И"

Подобная схема приведена на рисунке 4. Именно такая схема используется внутри большинства современных микросхем в качестве задающего генератора тактовой частоты.

### Контрольные вопросы

1. Что такое генератор?
2. Схема кварцевого генератора?

## Практическое занятие №19

**Тема:** D-триггер

**Цель:** изучить работу D-триггера

ЛР (синхронный D триггер)

Файл

### Исследование работы синхронного D триггера

1. Цель работы: изучить работу синхронного D триггера
2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы
3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу отчета выходные значения.

| D | C | Q | Qinv |
|---|---|---|------|
| 1 | 0 |   |      |
| 1 | 1 |   |      |
| 0 | 0 |   |      |
| 0 | 1 |   |      |
| 1 | 1 |   |      |
| 0 | 1 |   |      |
| 1 | 0 |   |      |
| 0 | 0 |   |      |

**Контрольные вопросы:**

1. Назначение выводов D триггера.
2. Назовите режимы работы D триггера.
3. Без лишних манипуляций выполните включения и выключения D триггера.
4. Где применяются D триггеры?

D-триггером называется триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе D до переключения, т. е.  $Q_{n+1} = D_n$ . Основное назначение D-триггеров - задержка сигнала, поданного на вход D. Он имеет информационный вход D (вход данных) и вход синхронизации C. Вход синхронизации C может быть статическим (потенциальным) и динамическим. У триггеров со статическим входом C информация записывается в течение времени, при котором уровень сигнала  $C=1$ . В триггерах с динамическим входом C информация записывается только в течение перепада напряжения на входе C. Динамический вход изображают на схемах треугольником. Если вершина треугольника обращена в сторону микросхемы (прямой динамический вход), то триггер срабатывает по фронту входного импульса, если от нее (инверсный динамический вход) - по срезу импульса. В таком триггере информация на выходе может быть задержана на один такт по отношению к входной информации.

Таблица истинности D триггера достаточно проста, она приведена в таблице 1. Как видно из этой таблицы, данный триггер способен запоминать по синхросигналу и хранить один бит двоичной информации.

Таблица 1. Таблица истинности D триггера

| C | D | Q(t) | Q(t+1) | Пояснения                 |
|---|---|------|--------|---------------------------|
| 0 | x | 0    | 0      | Режим хранения информации |
| 0 | x | 1    | 1      |                           |
| 1 | 0 | x    | 0      | Режим записи информации   |
| 1 | 1 | x    | 1      |                           |

## Практическое занятие №21

**Тема:** Т-триггер

**Цель:** изучить работу Т-триггера

(синхронный Т триггер)

Файл

### Исследование работы синхронного Т триггера

1. Цель работы: изучить работу синхронного Т триггера
2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы
3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу отчета выходные значения.

| T | C | Q | Qinv |
|---|---|---|------|
| 1 | 0 |   |      |
| 1 | 1 |   |      |
| 0 | 0 |   |      |
| 0 | 1 |   |      |
| 1 | 1 |   |      |
| 0 | 1 |   |      |
| 1 | 0 |   |      |
| 0 | 0 |   |      |

**Контрольные вопросы:**

1. Назначение выводов Т триггера.
2. Сколько режимов работы имеет Т триггер?
3. Переведите Т триггер в счетный режим.
4. Сколько импульсов надо подать на вход синхронизации С, чтобы на выходе Q получить 3 импульса?
5. Где применяются Т триггеры?

Т-триггер — это счетный триггер. У данного триггера имеется только один вход. Принцип работы Т-триггера заключается в следующем. После поступления на

вход Т импульса, состояние триггера меняется на прямо противоположное. Счётным он называется потому, что Т триггер как бы подсчитывает количество импульсов, поступивших на его вход. Жаль только, что считать этот триггер умеет только до одного. При поступлении второго импульса Т-триггер снова сбрасывается в исходное состояние.

Т-триггеры широко применяются в схемах деления и умножения частоты. Без них было бы невозможно реализация синтезаторов частот, которые применяются в качестве задающих генераторов в передатчиках и гетеродинов в приемниках радиоприемников, мобильных телефонов или GSM навигаторов. Не менее важна роль Т-триггеров в формировании тактовой частоты цифровых микросхем, таких как центральные процессоры компьютеров, планшетов или цифровых фотоаппаратов.

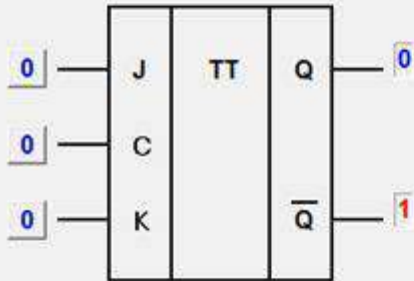
## Практическое занятие №22

**Тема:** JK-триггер

**Цель:** изучить работу JK-триггера

Исследование работы JK триггера

1. Цель работы: изучить работу JK триггера  
2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы  
3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу отчета выходные значения.



| J | K | C | Q | Qinv |
|---|---|---|---|------|
| 0 | 0 | 0 |   |      |
| 0 | 0 | 1 |   |      |
| 0 | 1 | 0 |   |      |
| 0 | 1 | 1 |   |      |
| 0 | 0 | 0 |   |      |
| 0 | 0 | 1 |   |      |
| 1 | 0 | 0 |   |      |
| 1 | 0 | 1 |   |      |
| 1 | 1 | 0 |   |      |
| 1 | 1 | 1 |   |      |
| 1 | 1 | 0 |   |      |
| 1 | 1 | 1 |   |      |

**Контрольные вопросы:**

1. Назначение выводов счетчика
2. Назовите основные режимы работы JK триггера.
3. Переведите JK триггер в счетный режим.
4. Переведите JK триггер в режим записи логической единицы.
5. Переведите JK триггер в режим хранения логического нуля.
6. Где применяются JK триггеры?

Триггер (двоичный двухуровневый) — электронная логическая схема на двух двухуровневых элементах с положительной обратной связью, имеющая два устойчивых состояния - единичное и нулевое, которые обозначаются соответственно 1 и 0. Такое устройство может сохранять своё состояние теоретически бесконечно долго (при наличии питания) . Любой триггер является схемой с памятью или автоматом. Переключение триггера происходит по входному сигналу извне. По способу синхронизации различают синхронные и асинхронные и смешанные триггерные схемы.

Асинхронный триггер изменяет своё состояние непосредственно в момент появления соответствующего информационного сигнала. Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (от англ. clock). Этот вход также обозначают терминами «строб» , «такт» . Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации С. Статические триггеры воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход) . Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход) . Статические триггеры в свою очередь подразделяют на одноступенчатые (однотактные) и двух-ступенчатые (двухтактные) . В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом — две такие ступени. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. Двухступенчатый триггер обозначают ТТ.

По структурному построению — однотактные (триггеры защёлки) , двухтактные и триггеры с динамическим управлением. По способу реакции на помехи — прозрачные и непрозрачные. Непрозрачные, в свою очередь, делятся на проницаемые и непроницаемые. По функциональному назначению — RS, D, JK, T, RR, SS, EE, DV. RS-триггер или SR-триггер — триггер, который сохраняет своё предыдущее состояние при нулевых входах, и меняет своё выходное состояние при подаче на один из его входов единицы.

Прежде чем начать изучение  $jk$  триггера, вспомним принципы работы RS-триггера. Напомню, что в этом триггере есть запрещённые комбинации входных сигналов. Одновременная подача единичных сигналов на входы R и S запрещены. Очень хотелось бы избавиться от этой неприятной ситуации.

Таблица истинности  $jk$  триггера практически совпадает с таблицей истинности синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, его схема изменена таким образом, что при подаче двух единиц  $jk$  триггер превращается в счётный триггер. Это означает, что при подаче на тактовый вход C импульсов этот триггер изменяет своё состояние на противоположное. Таблица истинности  $jk$  триггера приведена в таблице 1.

Таблица 1. Таблица истинности  $jk$  триггера.

| С | К | J | Q(t) | Q(t+1) | Пояснения                      |
|---|---|---|------|--------|--------------------------------|
| 0 | x | x | 0    | 0      | Режим хранения информации      |
| 0 | x | x | 1    | 1      |                                |
| 1 | 0 | 0 | 0    | 0      | Режим хранения информации      |
| 1 | 0 | 0 | 1    | 1      |                                |
| 1 | 0 | 1 | 0    | 1      | Режим установки единицы<br>J=1 |
| 1 | 0 | 1 | 1    | 1      |                                |
| 1 | 1 | 0 | 0    | 0      | Режим записи нуля K=1          |
| 1 | 1 | 0 | 1    | 0      |                                |
| 1 | 1 | 1 | 0    | 1      | K=J=1 счетный режим триггера   |
|   |   |   |      |        |                                |

### Практическое занятие №23

**Тема:** генераторы периодических сигналов

**Цель:** изучить генераторы периодических сигналов

При работе цифровых схем часто возникает задача синхронизации моментов изменения или записи сигналов. Для этого можно воспользоваться любым известным генератором периодических сигналов.

Генератор, в принципе, может быть построен на любом усилительном элементе, охваченном положительной обратной связью. Обобщённая схема генератора незатухающих колебаний приведена на рисунке 1.

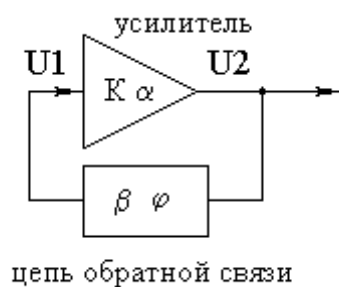


Рисунок 1 Схема генератора

Для самовозбуждения колебаний в такой схеме необходимо выполнить два условия:

1. Баланс фаз
2. Баланс амплитуд

Баланс амплитуд выполняется в случае, когда произведение коэффициента усиления усилителя  $K$  и коэффициента передачи цепи обратной связи  $\beta$  будет больше единицы:

$$|K| \cdot |\beta| \geq 1$$

Баланс фаз выполняется, если сумма фазового сдвига усилителя  $\alpha$  и фазового сдвига цепи обратной связи  $\varphi$  будет равным нулю или  $360^\circ$ :

$$(\alpha + \varphi) = 2 \cdot \pi$$

В качестве усилительного элемента можно использовать любое устройство, обладающее усилением, в том числе транзистор или операционный усилитель. Однако в этом случае потребуется специальное устройство преобразования выходного сигнала генератора к цифровым логическим уровням, используемым в разрабатываемой схеме.

Намного проще было бы использовать для построения тактовых генераторов логические элементы. Так как любые логические элементы обладают усилением, то для построения генераторов можно использовать как инверторы, так и схемы логического "И-НЕ" и "ИЛИ-НЕ". В некоторых случаях для построения генераторов используют даже триггеры. Так как от параметров усилительного элемента в значительной степени зависят параметры генератора, то рассмотрим логический инвертор с точки зрения усилительных параметров.

## Усилительные параметры КМОП инвертора

Основной характеристикой усилителя является его коэффициент усиления и зависимость коэффициента усиления от частоты. Для измерения коэффициента усиления инвертора может быть использована схема, подобная приведённой на рисунке 2.

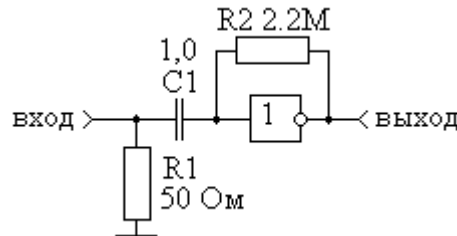


Рисунок 2. Схема измерения усилительных свойств логического инвертора

В качестве примера, на рисунке 3 приведена амплитудно-частотная характеристика инвертора 74LVC1GU04. Характеристика взята из материалов, размещённых на сайте фирмы Texas Instruments. Следует отметить, что эта характеристика достаточно точно повторяет данные, полученные мною при измерении усилительных параметров микросхемы К176ЛН2. Измерения велись в диапазоне питающих напряжений от 3 до 12В. Так что приведенную амплитудно-частотную характеристику можно считать типовой для КМОП микросхем.

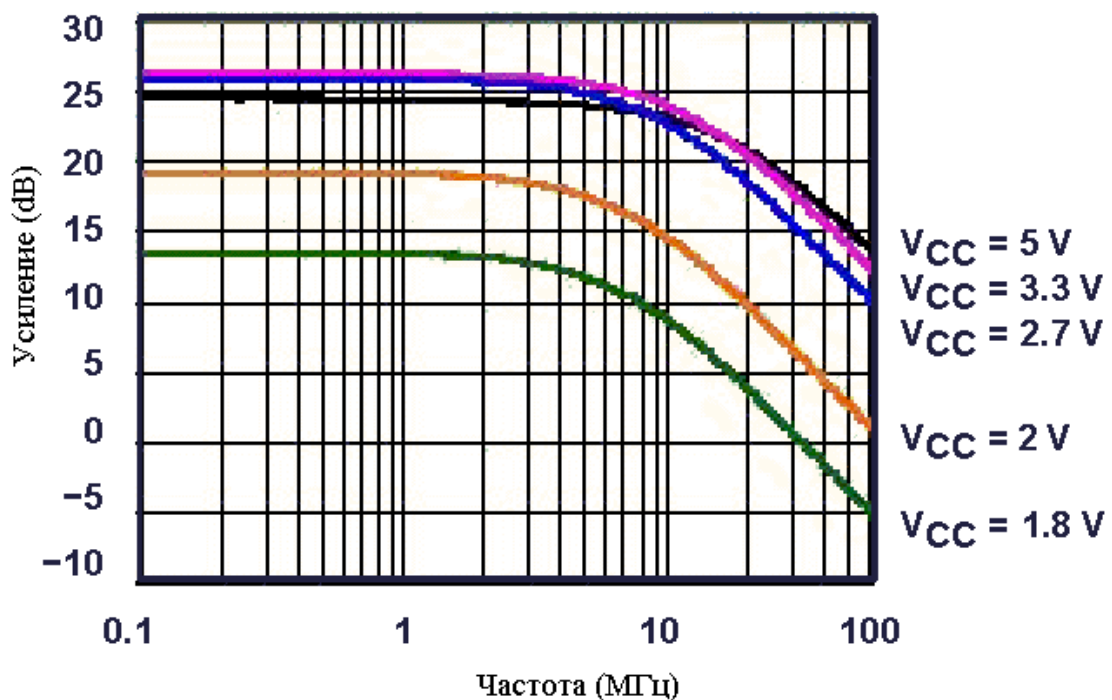


Рисунок 3. Амплитудно-частотная характеристика инвертора 74LVC1GU04

Как видно из приведённых характеристик, коэффициент усиления инвертора зависит от напряжения питания. Чем меньше напряжение питания микросхемы, тем меньше результирующий коэффициент усиления инвертора.

Кроме того, на амплитудно-частотной характеристике явно наблюдается спад коэффициента усиления на частотах выше 5 МГц. Тем не менее, схема инвертора

вполне пригодна для построения генераторов, работающих на частотах вплоть до сотни мегагерц.

### Контрольные вопросы

1. Что такое генератор?
2. Схема генератора?
3. Усилительные параметры КМОП инвертора?

### Практическое занятие №24

**Тема:** Построение триггерных схем

**Цель:** построить триггерную схему

Триггеры предназначены для запоминания двоичной информации. Использование триггеров позволяет реализовывать устройства оперативной памяти (то есть памяти, информация в которой хранится только на время вычислений). Однако триггеры могут использоваться и для построения некоторых цифровых устройств с памятью, таких как счётчики, преобразователи последовательного кода в параллельный или цифровые линии задержки.

Простейшая схема, позволяющая запоминать двоичную информацию, может быть построена на двух инверторах, охваченных положительной обратной связью. Так как эта обратная связь выполнена по постоянному току, то триггер может хранить свое состояние теоретически до бесконечности, а практически пока включено питание Эта схема приведена на рисунке 1.

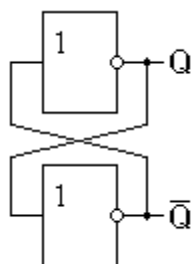


Рисунок 1. Схема простейшего триггера, построенного на инверторах

Выходом триггера мы выбираем выход любого из инверторов. Пусть это будет выход верхнего инвертора. Так как на выходе оставшегося инвертора будет противоположное состояние, то его мы будем считать инверсным выходом триггера.

В схеме триггера, приведенной на рисунке 1, может быть только два состояния — на выходе  $Q$  присутствует логическая единица а на его инверсном выходе присутствует логический ноль. Если логическая единица присутствует на выходе  $Q$ , то на инверсном выходе будет присутствовать логический ноль, который после очередного инвертирования подтверждает уровень логической единицы на выходе  $Q$ .

И наоборот, если на выходе Q присутствует логический ноль, то на инверсном выходе будет присутствовать логическая единица.

Такая ситуация будет сохраняться до тех пор пока включено питание. Но вот вопрос — а как записывать в такой триггер информацию? Нам потребуются входы записи нуля и записи единицы. Триггер с подобной возможностью получил название RS триггер..

В принципе, на логических элементах можно получить и недвоичные триггеры, способные запоминать информацию в произвольной системе счисления, в том числе и в десятичной. Однако в настоящее время они не получили широкого распространения, поэтому мы их рассматривать не будем.

### **Контрольные вопросы**

- 1. Что такое триггер?**
- 2. Как реализовать триггер на схеме?**

## **Практическое занятие №25**

**Тема:** Параллельные регистры

**Цель:** изучить параллельные регистры

Регистры

Регистром называется последовательное или параллельное соединение триггеров. Они обычно строятся на основе D триггеров. При этом для построения регистров могут использоваться как динамические (flip-flop), так и статические D-триггеры (защелки — lath).

### **Параллельные регистры**

Параллельный регистр служит для запоминания многоразрядного двоичного (или недвоичного) слова. Количество триггеров, входящее в состав параллельного регистра определяет его разрядность. Схема четырёхразрядного параллельного регистра приведена на рисунке 1, а его условно-графическое обозначение — на рисунке 2.

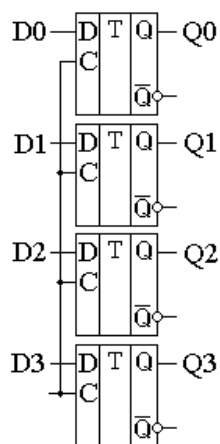


Рисунок 1. Схема параллельного регистра

В условно-графическом обозначении возле каждого входа D указывается степень двоичного разряда, который должен быть запомнен в этом разряде. Точно таким же образом обозначаются и выходы регистра. То, что микросхема является регистром, указывается в центральном поле условно-графического обозначения символами RG.

В приведённом на рисунке 2 условно-графическом обозначении параллельного регистра инверсные выходы триггеров не показаны. В промышленно выпускающихся микросхемах параллельных регистров инверсные выходы триггеров часто не выводятся наружу для экономии количества выводов корпуса.

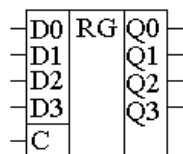


Рисунок 2. Условно-графическое обозначение параллельного регистра

При записи информации в параллельный регистр все биты (двоичные разряды) должны быть записаны одновременно. Поэтому все тактовые входы триггеров, входящих в состав регистра, объединяются параллельно. Для уменьшения входного тока вывода синхронизации C на этом входе в качестве усилителя часто ставится инвертор.

Следует помнить, что назначение разрядов является условным. Если по каким либо причинам (например, с точки зрения разводки печатной платы) удобно изменить нумерацию разрядов, то это можно свободно сделать. При перенумерации входов регистров нужно не забывать, точно таким же образом, изменить номера выходов.

Для реализации параллельного регистра можно использовать как триггеры с статическим, так и с динамическим входом синхронизации. В переводной литературе при использовании для построения параллельного регистра триггеров-защелок этот регистр, в свою очередь, называют регистром-защелкой.

При использовании регистров со статическим входом тактирования следует соблюдать осторожность, так как при единичном потенциале на входе синхронизации

С. сигналы с входов регистра будут свободно проходить на его выходы. В таких случаях обычно используется двухтактная синхронизация, подобная рассмотренной в главе, посвященной использованию одновибраторов.

Промышленностью выпускаются четырёхразрядные и восьмиразрядные микросхемы параллельных регистров. Для построения восьмиразрядных микросхем обычно используются регистры со статическим входом синхронизации. В качестве примера можно назвать микросхемы К580ИР22 и 1533ИР33 (иностранный аналог 74АСТ573).

При решении практических задач часто требуется разрядность параллельных регистров большая восьми. В таком случае можно увеличивать их разрядность параллельным соединением готовых микросхем. Принципиальная схема параллельного соединения четырёх регистров приведена на рисунке 3.

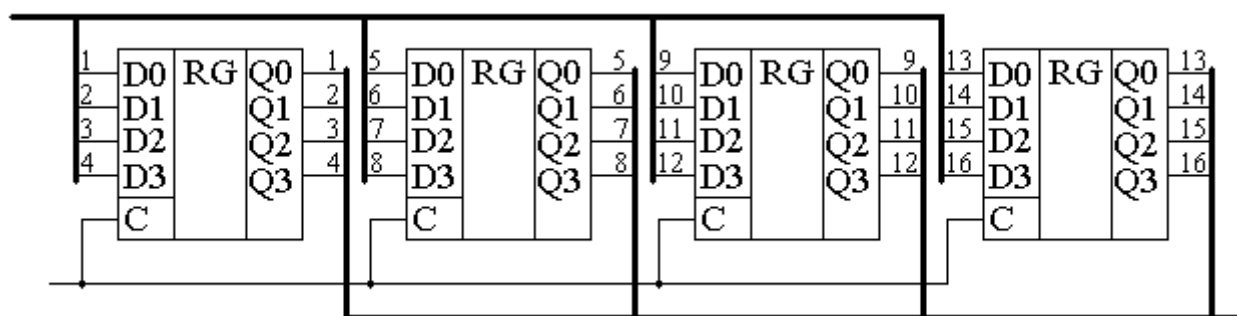


Рисунок 3. Увеличение разрядности параллельного регистра

В настоящее время параллельные регистры обычно являются частью более сложных цифровых устройств, таких как цифровые фильтры, ОЗУ, синтезаторы частот или схемы прямого цифрового синтеза DDS. Подобные схемы не реализуются на микросхемах средней интеграции, а являются частью больших интегральных микросхем (БИС), таких как микропроцессоры, ASIC или FPGA.

### Контрольные вопросы

1. Что такое регистр?
2. Параллельный регистр?

## Практическое занятие №26

**Тема:** Последовательные (сдвиговые) регистры

**Цель:** изучить последовательные (сдвиговые) регистры

LR (сдвигающий регистр)

Файл

### Исследование работы сдвигающего регистра

1. Цель работы: изучить работу сдвигающего регистра.
2. Наглядные пособия и ТСО: персональный компьютер, инструкция по выполнению работы, конспект лекций.
3. Выполнение работы: переписать описание в отчет, затем изменяя состояние входов элемента, получить и занести в таблицу выходные значения.

0 — D

0 — C

0 — R

**RG**

Q1

Q2

Q3

Q4

Q5

Q6

Q7

Q8

0

0

0

0

0

0

0

0

| D | C | R | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | Q7 | Q8 |
|---|---|---|----|----|----|----|----|----|----|----|
| 1 | 0 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 0 |    |    |    |    |    |    |    |    |
| 0 | 0 | 0 |    |    |    |    |    |    |    |    |
| 0 | 1 | 0 |    |    |    |    |    |    |    |    |
| 1 | 0 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 0 |    |    |    |    |    |    |    |    |
| 1 | 0 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 0 |    |    |    |    |    |    |    |    |
| 0 | 0 | 0 |    |    |    |    |    |    |    |    |
| 0 | 1 | 0 |    |    |    |    |    |    |    |    |
| 0 | 0 | 0 |    |    |    |    |    |    |    |    |
| 0 | 1 | 0 |    |    |    |    |    |    |    |    |
| 0 | 0 | 0 |    |    |    |    |    |    |    |    |
| 0 | 1 | 0 |    |    |    |    |    |    |    |    |
| 1 | 0 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 0 |    |    |    |    |    |    |    |    |
| 1 | 0 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 0 |    |    |    |    |    |    |    |    |
| 1 | 1 | 1 |    |    |    |    |    |    |    |    |

**Контрольные вопросы:**

1. Назначение выводов регистра.
2. Без лишних манипуляций выполните запись числа 10101010 в регистр.
3. Сколько раз надо менять значение на входе D, чтобы в регистр записать число 10001101?
4. Сколько тактов синхронизации нужно подать на вход C, чтобы записать в регистр число 10001001?
5. Без лишних действий сбросьте состояние регистра и запишите в регистр число 00100100.
6. В качестве какого преобразователя можно использовать данный регистр?

Сдвиговые регистры представляют собой последовательно соединенную цепочку триггеров. Основной режим их работы - это сдвиг разрядов кода, записанного в эти триггеры. То есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Сдвиг бывает двух видов: вправо - это основной режим, который есть у всех сдвиговых регистров, и влево - этот режим есть только у некоторых реверсивных сдвиговых регистров. Сдвиг информации регистром вправо представляет собой сдвиг в сторону разрядов, имеющих большие номера, а сдвиг информации регистром влево - это сдвиг в сторону разрядов, имеющих меньшие номера. Соответственно сдвиг двоичного числа вправо будет сдвигом в сторону младших разрядов, а сдвиг влево - сдвигом в сторону старших разрядов.

В стандартные серии цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов. Большинство регистров сдвига имеет восемь разрядов. Сдвиговые регистры допускают каскадирование - совместное включение для

увеличения

разрядности.

Основное применение регистров сдвига состоит в преобразовании параллельного кода в последовательный, и наоборот. Такое преобразование используется, например, при передаче информации на большие расстояния, при записи информации на магнитные носители, при работе с телевизионными мониторами и с видеокамерами, а также во многих других случаях. Такая передача позволяет сократить количество соединительных проводов, а также упростить защиту передаваемых данных от действия внешних электромагнитных помех. Еще одно применение сдвиговых регистров состоит в организации всевозможных линий задержек, особенно имеющих значительное количество каскадов. С помощью сдвиговых регистров можно обеспечить задержку любого входного сигнала на целое число тактов. Такие линии задержки могут применяться для сравнения нескольких последующих тактов входного сигнала, для выполнения арифметических операций с несколькими тактами входного сигнала и для других подобных целей. Сдвиговые регистры могут также использоваться для формирования импульсов заданной длительности, причем длительность импульса может задаваться управляющим кодом, то есть быть программно управляемой. Сдвиговые регистры могут также использоваться для умножения и деления двоичных чисел на  $2$  в степени  $n$ , где  $n$  - целое число, большее нуля. Сдвиг двоичного числа вправо (в сторону младших разрядов) на один разряд равносильно делению на  $2$ . Сдвиг двоичного числа влево (в сторону старших разрядов) на один разряд равносильно умножению на  $2$ . Для того чтобы сдвиговый регистр умножал и делил двоичный код, надо всего лишь записать этот код в регистр и сдвинуть его нужное количество раз вправо или влево. Следующее применение сдвигового регистра - это генератор квазислучайной последовательности сигналов (или кодов). Случайные последовательности сигналов и кодов широко применяются в тестирующей аппаратуре, в генераторах шума, в логических игровых устройствах. Структура генератора квазислучайной последовательности на сдвиговом регистре представляет собой регистр сдвига с параллельными выходами (например, ИР8), несколько выходных сигналов которого объединены с помощью элемента Иключающее ИЛИ, с выхода которого сигнал

подается на вход регистра, замыкая схему в кольцо. Схема тактируется сигналом с частотой  $f_T$ .

## Практическое занятие №27

**Тема:** Универсальные регистры

**Цель:** изучить универсальные регистры

Регистры сдвига выполняют обычно как универсальные последовательно-параллельные микросхемы. Это связано с необходимостью записи в регистр параллельного двоичного кода при преобразовании параллельного кода в последовательный.

Переключение регистра из параллельного режима работы в последовательный и наоборот осуществляется при помощи мультиплексора (коммутатора). Использование коммутатора позволяет входы D триггеров универсального регистра либо подключать к внешним выводам микросхемы, либо подключать к выходу предыдущего триггера.

Напомню, что двухвходовый мультиплексор можно реализовать при помощи логических элементов “2И-2ИЛИ”. Элементы “И” при этом работают в качестве электронных ключей, а элементы “ИЛИ” объединяют их выходы.

Схема универсального регистра с использованием коммутаторов на логических элементах “2И-2ИЛИ” приведена на рисунке 1.

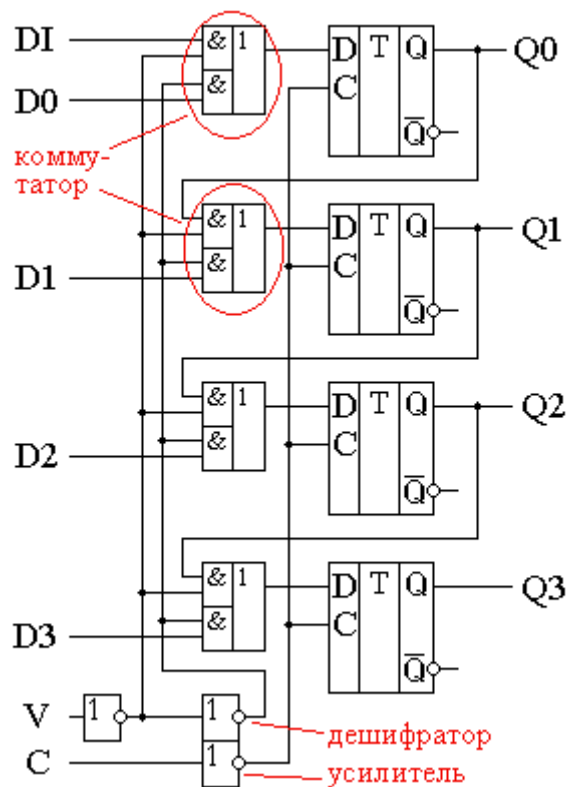


Рисунок 1. Принципиальная схема универсального регистра

В этой схеме для переключения регистра из последовательного режима работы в параллельный используется вывод V. Подача на этот вход единичного потенциала превращает схему в параллельный регистр. При этом на входы ключей, подключенных к информационным входам D, подаётся единичный потенциал. Это приводит к тому, что сигналы с входов параллельной записи данных поступают на входы логических элементов “ИЛИ”, а на входы ключей, подключенных к выходам предыдущих триггеров, подаются нулевые потенциалы. То есть на выходах этих ключей будут присутствовать нулевые потенциалы, и они не будут мешать работе.

Подача на вход V нулевого потенциала приводит к отключению входов параллельных данных от входов триггеров. Сигналы же с выхода предыдущего триггера свободно проходят через верхние логические элементы “И” на вход последующего триггера, так как на его второй вход подаётся единичный потенциал.

Инверторы на входах V и C использованы для усиления входного сигнала по току. В результате входной ток микросхемы будет равен не суммарному току четырёх логических элементов “И”, а входному току инвертора.

Условно-графическое изображение универсального регистра приведено на рисунке 2. Вход последовательного ввода данных на этом рисунке обозначен как DI и отделён от других групп входов чертой. Точно так же выделены в отдельные группы и входы управления V и синхронизации C.

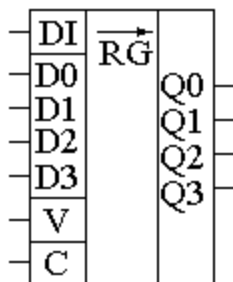


Рисунок 2. Обозначение универсального регистра на принципиальных схемах

### Контрольные вопросы

1. Что такое регистр?
2. Универсальный регистр?

## Практическое занятие №28

**Тема:** двоичные асинхронные счётчики

**Цель:** изучить двоичные асинхронные счётчики

Счётчики используются для построения схем таймеров или для выборки инструкций из ПЗУ в микропроцессорах. Они могут использоваться как делители частоты в управляемых генераторах частоты (синтезаторах). При использовании в цепи ФАП счётчики могут быть использованы для умножения частоты как в синтезаторах, так и в микропроцессорах.

### Двоичные асинхронные счётчики

Простейший вид счётчика — двоичный может быть построен на основе Т-триггера. Т-триггер изменяет своё состояние на прямо противоположное при поступлении на его вход синхронизации импульсов. Для реализации Т-триггера воспользуемся универсальным Д-триггером с обратной связью, как это показано на рисунке 1.

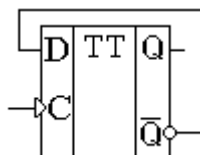


Рисунок 1. Реализация счетного Т-триггера на универсальном Д-триггере

Так как схема Т-триггера при поступлении на вход импульсов меняет свое состояние на противоположное, то её можно рассматривать как счётчик, считающий до двух. Временные диаграммы сигналов на входе и выходах Т-триггера приведены на рисунке 2.

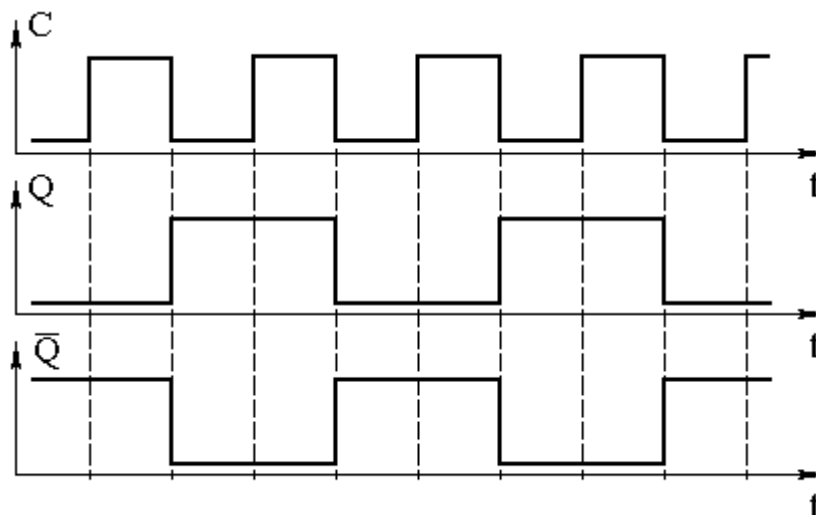


Рисунок 2 Временные диаграммы сигналов на входе и выходах Т-триггера

Обычно требуется посчитать большее количество импульсов. В этом случае можно использовать выходной сигнал первого счетного триггера как входной сигнал для следующего триггера, то есть соединить триггеры последовательно. Так можно построить любой счётчик, считающий до максимального числа, кратного степени два. Такой счетчик называется двоичным счетчиком, а тот факт, что состояние триггеров меняется на противоположное в различные моменты времени по мере распространения цифрового сигнала, отображается термином: асинхронный двоичный счетчик.

Схема счётчика, позволяющего посчитать любое количество импульсов, меньшее шестнадцати, приведена на рисунке 3. Количество поступивших на вход импульсов можно узнать, подключившись к выходам счётчика  $Q_0 \dots Q_3$ . Это число будет представлено в двоичном коде.

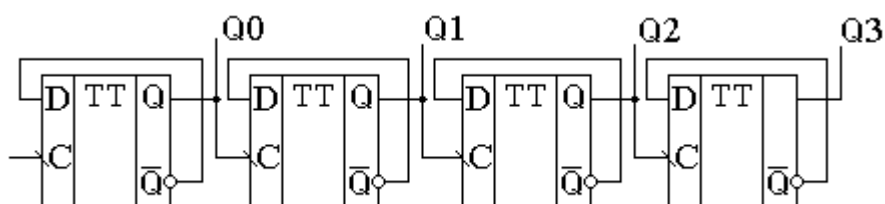


Рисунок 3. Схема четырёхразрядного счётчика, построенного на универсальных D-триггерах

Для того чтобы разобраться, как работает схема двоичного счётчика, воспользуемся временными диаграммами сигналов на входе и выходах этой схемы, приведёнными на рисунке 4.

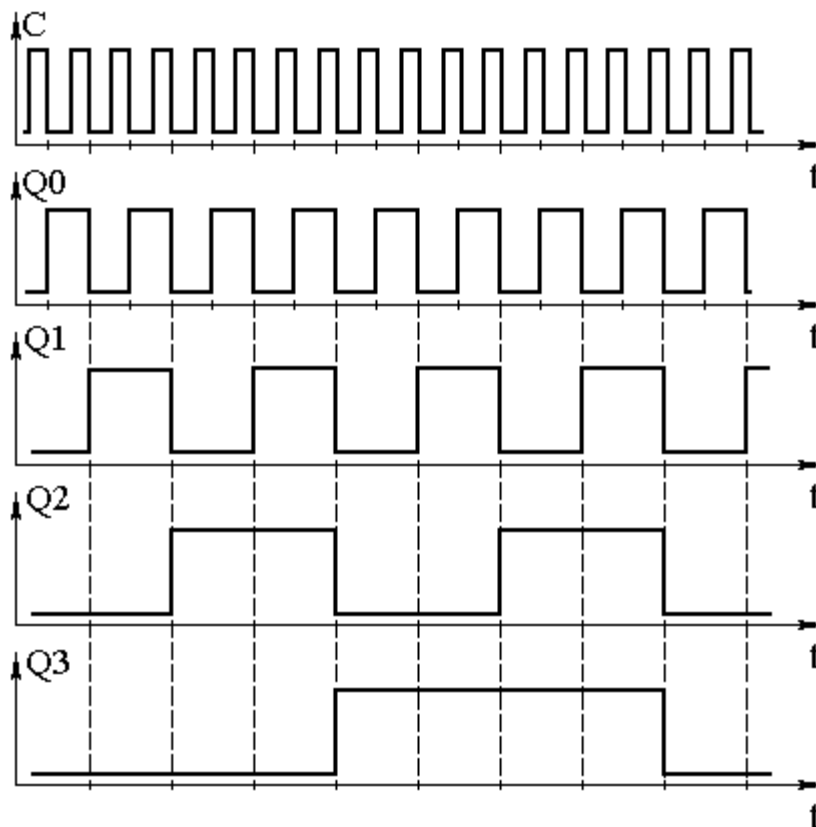


Рисунок 4 Временная диаграмма четырёхразрядного счётчика

Пусть первоначальное состояние всех триггеров счётчика будет нулевым. Это состояние мы видим на временных диаграммах. Запишем его в таблицу 1. После поступления на вход счётчика тактового импульса (который воспринимается по заднему фронту) первый триггер изменяет своё состояние на противоположное, то есть единицу.

Запишем новое состояние выходов счётчика в ту же самую таблицу. Так как по приходу первого импульса изменилось состояние первого триггера, то этот триггер содержит младший разряд двоичного числа (единицы). В таблице поместим его значение на самом правом месте, как это принято при записи любых многоразрядных чисел. Здесь мы впервые сталкиваемся с противоречием правил записи чисел и правил распространения сигналов на принципиальных схемах.

Подадим на вход счётчика ещё один тактовый импульс. Значение первого триггера снова изменится на прямо противоположное. На этот раз на выходе первого триггера, а значит и на входе второго триггера сформируется задний фронт. Это означает, что второй триггер тоже изменит своё состояние на противоположное. Это отчётливо видно на временных диаграммах, приведённых на рисунке 4. Запишем новое состояние выходов счётчика в таблицу 1. В этой строке таблицы образовалось двоичное число 2. Оно совпадает с номером входного импульса.

Продолжая анализировать временную диаграмму, можно определить, что на выходах приведённой схемы счётчика последовательно появляются цифры от 0 до 15. Эти цифры записаны в двоичном виде. При поступлении на счётный вход счётчика очередного импульса, содержимое его триггеров увеличивается на 1. Поэтому такие счётчики получили название суммирующих двоичных счётчиков.

Таблица 1. Изменение уровней на выходе суммирующего счётчика при поступлении на его вход импульсов.

| номер<br>входного<br>импульса | Q3 | Q2 | Q1 | Q0 |
|-------------------------------|----|----|----|----|
| 0                             | 0  | 0  | 0  | 0  |
| 1                             | 0  | 0  | 0  | 1  |
| 2                             | 0  | 0  | 1  | 0  |
| 3                             | 0  | 0  | 1  | 1  |
| 4                             | 0  | 1  | 0  | 0  |
| 5                             | 0  | 1  | 0  | 1  |
| 6                             | 0  | 1  | 1  | 0  |
| 7                             | 0  | 1  | 1  | 1  |
| 8                             | 1  | 0  | 0  | 0  |
| 9                             | 1  | 0  | 0  | 1  |
| 10                            | 1  | 0  | 1  | 0  |
| 11                            | 1  | 0  | 1  | 1  |
| 12                            | 1  | 1  | 0  | 0  |
| 13                            | 1  | 1  | 0  | 1  |
| 14                            | 1  | 1  | 1  | 0  |
| 15                            | 1  | 1  | 1  | 1  |

Условно-графическое обозначение суммирующего двоичного счетчика на принципиальных схемах приведено на рисунке 5. В двоичных счётчиках обычно предусматривают вход обнуления микросхемы R, который позволяет записать во все триггеры счётчика нулевое значение. Это состояние иногда называют исходным состоянием счётчика.

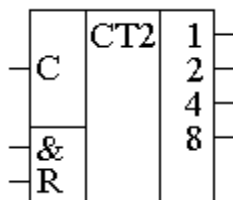


Рисунок 5. Четырёхразрядный двоичный счётчик

Существуют готовые микросхемы асинхронных двоичных счётчиков. Классическим примером такого счётчика является микросхема 555ИЕ5. Подобные схемы существуют и внутри САПР программируемых логических интегральных схем.

### Двоичные вычитающие асинхронные счётчики

Счётчики могут не только увеличивать своё значение на единицу при поступлении на счётный вход импульсов, но и уменьшать его. Такие счётчики получили название вычитающих счётчиков. Для реализации вычитающего счётчика достаточно чтобы Т-триггер изменял своё состояние по переднему фронту входного сигнала.

Изменить рабочий фронт входного сигнала можно инвертированием этого сигнала. В схеме, приведенной на рисунке 6, для реализации вычитающего счётчика сигнал на входы последующих триггеров подаются с инверсных выходов предыдущих триггеров.

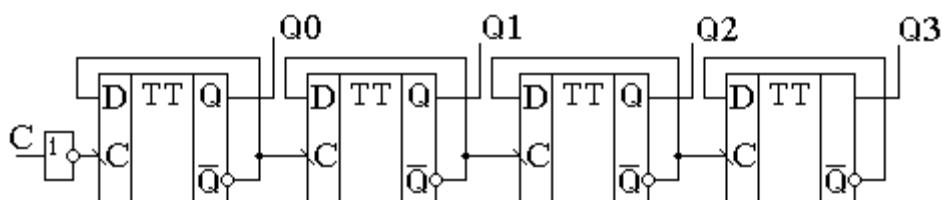


Рисунок 6 Схема четырёхразрядного двоичного вычитающего счётчика, построенного на универсальных D-триггерах

Временная диаграмма этого счётчика приведена на рисунке 7. По этой диаграмме видно, что при поступлении на вход счётчика первого же импульса на выходах появляется максимально возможное для четырёхразрядного счётчика число  $15_{10}$ . При поступлении следующих импульсов содержимое счётчика уменьшается на единицу.

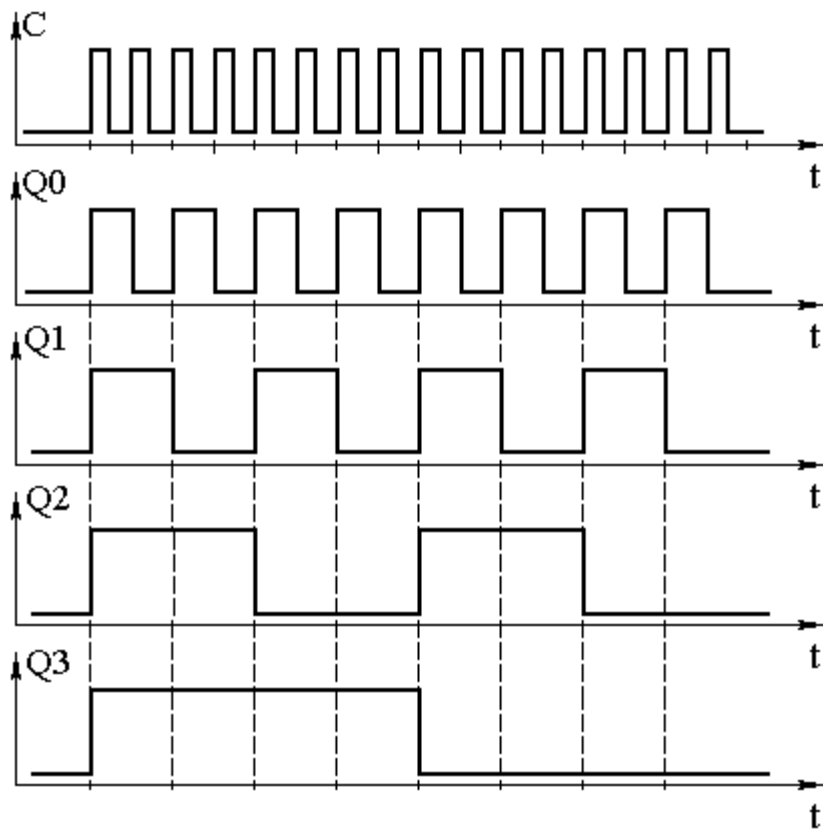


Рисунок 7. Временная диаграмма четырёхразрядного вычитающего счётчика

Это вызвано тем, что при поступлении переднего фронта тактового импульса первый триггер переходит в единичное состояние. В результате на его выходе тоже формируется передний фронт. Он поступает на вход второго триггера, что приводит к записи единицы и в этот триггер. Точно такая же ситуация складывается со всеми триггерами счётчика, то есть все триггеры перейдут в единичное состояние. Для четырёхразрядного счётчика это и будет число  $15_{10}$ . Запишем новое состояние вычитающего счётчика в таблицу 2.

Следующий тактовый импульс приведёт к изменению состояния только первого триггера, так как при этом на его выходе сформируется задний фронт сигнала. Запишем и это состояние в таблицу 2. Обратите внимание, что при поступлении каждого последующего импульса содержимое счётчика, построенного по анализируемой схеме, уменьшается на единицу. Этот процесс продолжается до тех пор, пока состояние счётчика не станет вновь равно 0. При поступлении новых тактовых импульсов процесс повторяется снова.

Все возможные состояния логических сигналов на выходах вычитающего счётчика, при поступлении на счётный вход схемы тактовых импульсов приведены в таблице 2. Таблица 2 фактически повторяет временные диаграммы, приведённые на рисунке 7, однако она более наглядно представляет физику работы счётчика. Просто мы при работе с числами привыкли иметь дело с цифрами, а не с напряжениями, тем более в зависимости от времени.

Таблица 2. Изменение уровней на выходе вычитающего счётчика при поступлении на его вход импульсов.

| номер<br>входного<br>импульса | Q3 | Q2 | Q1 | Q0 |
|-------------------------------|----|----|----|----|
| 0                             | 0  | 0  | 0  | 0  |
| 1                             | 1  | 1  | 1  | 1  |
| 2                             | 1  | 1  | 1  | 0  |
| 3                             | 1  | 1  | 0  | 1  |
| 4                             | 1  | 1  | 0  | 0  |
| 5                             | 1  | 0  | 1  | 1  |
| 6                             | 1  | 0  | 1  | 0  |
| 7                             | 1  | 0  | 0  | 1  |
| 8                             | 1  | 0  | 0  | 0  |
| 9                             | 0  | 1  | 1  | 1  |
| 10                            | 0  | 1  | 1  | 0  |
| 11                            | 0  | 1  | 0  | 1  |
| 12                            | 0  | 1  | 0  | 0  |
| 13                            | 0  | 0  | 1  | 1  |
| 14                            | 0  | 0  | 1  | 0  |
| 15                            | 0  | 0  | 0  | 1  |

Для тех, кто привык работать с реально выпускаемыми микросхемами средней интеграции, следует обратить внимание, что для примера были использованы D-триггеры, работающие по заднему фронту. Микросхемы, выпускаемые промышленностью, например, 1533TM2 (два D-триггера в одном корпусе) или SN74LVC1G79 (микросхемы малой логики) срабатывают по переднему фронту, поэтому схемы для суммирующего и вычитающего счётчика поменяются местами.

Следует отметить, что при применении для реализации двоичных счетчиков современных схем большой интеграции, таких как программируемые пользователем вентильные матрицы FPGA, мы можем применять D-триггеры срабатывающие как по переднему (нарастающему), так и по заднему (спадающему фронту).

## Контрольные вопросы

1. Что такое счетчик
2. Что такое двоичный асинхронный счетчик?
3. Что такое двоичный вычитающий асинхронный счетчик?

## Практическое занятие №29

**Тема:** недвоичные счётчики с обратной связью

**Цель:** изучить недвоичные счётчики с обратной связью

Если посмотреть на временную диаграмму сигналов на выходах двоичного счётчика, приведённую на рисунке 1, то можно увидеть, что частота сигналов на его выходах будет уменьшаться в два раза по отношению к предыдущему выходу. Это позволяет использовать счетчики в качестве делителей частоты входного сигнала. Эти делители частоты могут быть использованы в устройствах формирования высокостабильных генераторов частоты (синтезаторов частот).

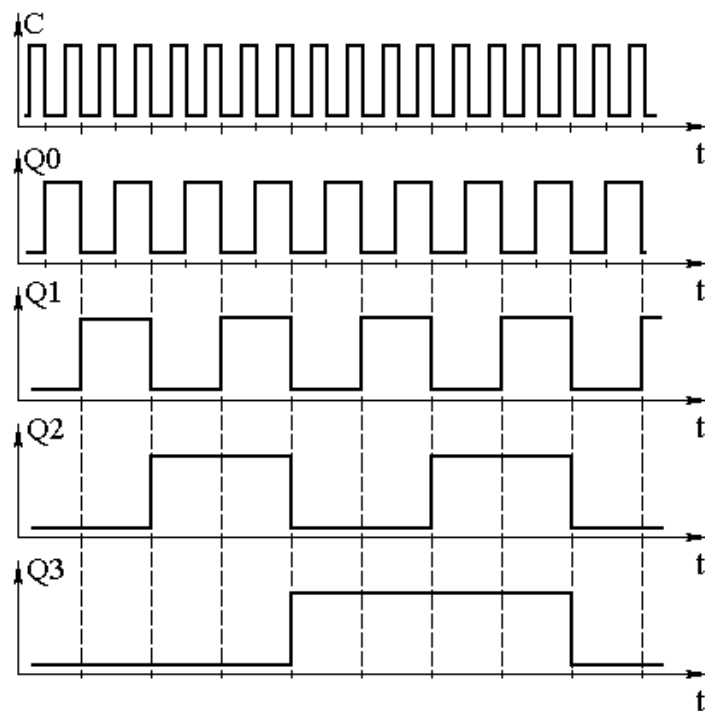


Рисунок 1. Временная диаграмма четырехразрядного счётчика.

Сформированные частоты могут быть использованы либо для синхронизации различных цифровых устройств (в том числе и микропроцессоров) либо в качестве высокостабильных генераторов опорных частот в радиоприёмных и радиопередающих устройствах.

При использовании цифровых счётчиков в качестве устройств формирования опорных частот часто требуется обеспечить коэффициент деления частоты,

отличающийся от степени числа 2. В этом случае требуется счётчик с недвоичным коэффициентом счёта.

Ещё одна ситуация, когда необходимо применять недвоичные счётчики возникает при отображении информации, записанной в счётчике. Человек, который работает с электронной техникой, привык работать с десятичной системой счисления, поэтому возникает необходимость отображать хранящееся в счётчике число в непосредственно десятичном виде. Это намного проще сделать, если и счет вести сразу в двоично-десятичном коде. Иначе для индикации потребуется перекодировать информацию из двоичного кода в двоично-десятичный код.

Построить недвоичный счётчик можно из двоичного за счёт выбрасывания лишних комбинаций единиц и нулей. Это может быть осуществлено при помощи обратной связи. Для этого при помощи дешифратора определяется число, соответствующее коэффициенту счёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика. В качестве примера на рисунке 2 приведена схема двоично-десятичного счётчика.

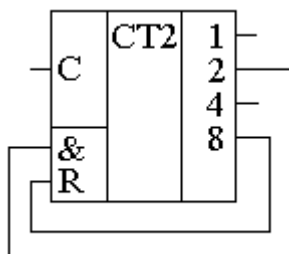


Рисунок 2 Схема десятичного счётчика, построенного на основе двоичного счётчика

В этой схеме дешифратор построен на двухвходовой схеме "2И", входящей в состав микросхемы двоичного счётчика. Дешифратор декодирует число 10 (1010 в двоичной системе счисления). В соответствии с принципами построения схем по произвольной таблице истинности для построения дешифратора требуется ещё два инвертора, подключённых к выходам 1 и 4. Однако после сброса счётчика числа, большие 10 никогда не смогут появиться на выходах микросхемы. Поэтому схема дешифратора упрощается и вместо четырёхвходовой схемы "4И" можно обойтись двухвходовой схемой. Инверторы тоже оказываются лишними.

При использовании счётчиков в качестве делителей частоты тоже можно воспользоваться обратной связью. Приведём в качестве примера схему делителя частоты на 1000. При разработке делителя прежде всего определим сколько потребуется микросхем двоичных счётчиков. Для этого определим степень числа 2, при которой число  $M=2^n$  будет больше требуемого числа 1000. Это будет число 10. При возведении основания системы счисления 2 в 10 степень получится число 1024. То есть, при использовании для построения делителя частоты непосредственно триггеров, достаточно будет десяти триггеров. Однако обычно для построения делителей частоты используют готовые двоичные счётчики, поэтому определим необходимое количество микросхем двоичных счётчиков. При использовании четырёхразрядных двоичных счётчиков достаточно будет трёх микросхем, так как в

трёх микросхемах будет  $3 \cdot 4 = 12$  триггеров, что заведомо больше минимального числа триггеров.

Следующим этапом построения делителя частоты будет перевод коэффициента деления 1000 в двоичное представление. Десятичное число 1000 в двоичном виде будет выглядеть как 0011 1110 1000. В этом числе шесть единиц, поэтому для построения делителя будет достаточно шестивходовой схемы "И". Однако такие схемы не выпускаются, поэтому воспользуемся микросхемой "8И-НЕ". Неиспользуемые входы этой микросхемы подключим к питанию. Ненужную нам инверсию сигнала скомпенсируем дополнительным инвертором. Получившаяся принципиальная схема делителя на 1000 приведена на рисунке 3.

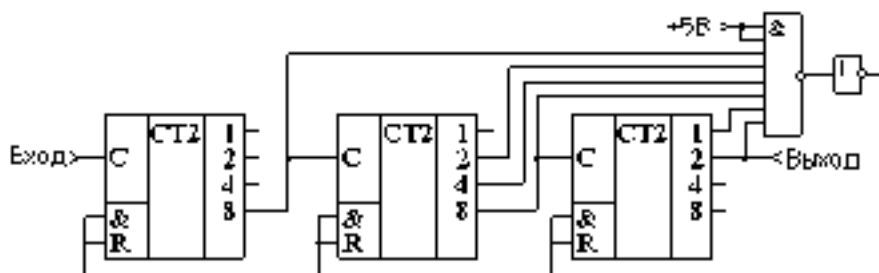


Рисунок 3 Принципиальная схема делителя на 1000, построенного на основе трёх двоичных счётчиков

При использовании счётчиков в составе синтезаторов частот может потребоваться формирование целого диапазона частот. В этом случае делитель, построенный на недвоичном счётчике, должен обладать возможностью изменения коэффициента деления.

Такие делители частоты получили название делителей с переменным коэффициентом деления (ДПКД). При использовании обратной связи для реализации ДПКД потребуется полный дешифратор и переключатели его выходов на вход сброса счётчика. Схема делителя частоты при этом получается сложной, а управление таким делителем неудобным.

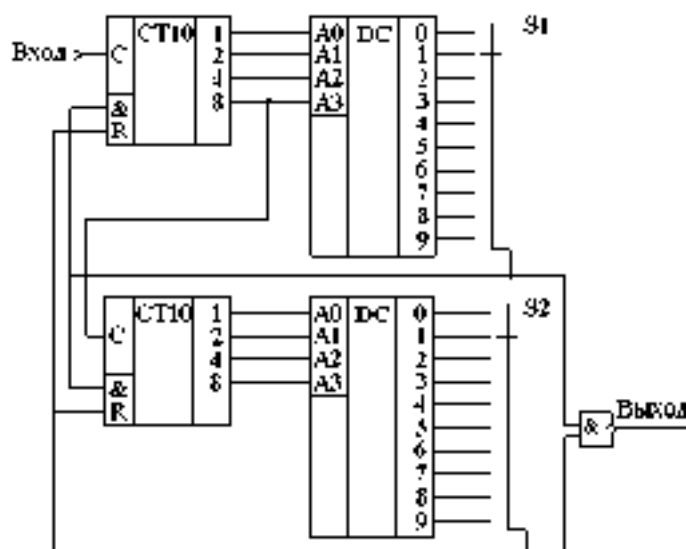


Рисунок 4. Схема делителя с переменным коэффициентом деления с максимальным коэффициентом деления 100, построенного на основе двух десятичных счётчиков

Пример двухразрядного делителя с переменным коэффициентом деления (ДПКД), построенного на десятичных счётчиках приведён на рисунке 4. Обратите внимание, что для удобного управления таким синтезатором частоты использованы десятичные счётчики. Использование десятичных счетчиков позволяет выставлять необходимую частоту непосредственно в десятичном виде. Значение частоты можно нанести на корпусе прибора под клавишами переключателей или отображать набираемую частоту на десятичных индикаторах.

В качестве ещё одного недостатка такого делителя частоты можно отметить очень маленькую длительность выходных импульсов. Если требуется сформировать строго симметричное колебание, то на выходе такого делителя можно поставить одноразрядный двоичный делитель частоты на Т-триггере. На выходе двоичного делителя всегда формируется меандр с очень высокой точностью.

### **Контрольные вопросы**

- 1. Что такое счетчик**
- 2. Что такое недвоичный счётчик с обратной связью?**

## **Практическое занятие №30**

**Тема:** недвоичные счётчики с предварительной записью

**Цель:** изучить недвоичные счётчики с предварительной записью

В счётчиках с обратной связью исключаются последние состояния двоичного счётчика. Можно поступить по-другому. Начать с последнего состояния счётчика и, воспользовавшись вычитающим счётчиком, определять нулевое состояние счётчика. Это состояние очень просто можно определить при помощи логического элемента "И". В данной схеме начинать счёт необходимо с числа, которое будет определять коэффициент деления делителя, построенного на таком счётчике.

При построении счётчика по таким принципам необходимо иметь возможность предварительной записи в счётчик. То есть счётчик при предварительной записи должен вести себя как параллельный регистр. Опять нам требуется, как и при построении универсального регистра, коммутатор логических сигналов.

Напомню, что в качестве коммутатора вполне успешно используется логический элемент “2И-2ИЛИ”. Главное обеспечить подачу на элементы “И” противофазных сигналов. Это условие нам обеспечит инвертор.

Одна из схем счётчика, с возможностью параллельной записи двоичных кодов во внутренние триггеры счётчика, приведена на рисунке 1. В этой схеме вход С предназначен для подачи тактовых импульсов. Его ещё называют "-1", так как при подаче на этот вход импульсов, содержимое счётчика уменьшается на единицу. Входы D0 ... D3 предназначены для записи произвольного двоичного числа в счётчик. Запись производится по сигналу, подаваемому на вход параллельной записи PE.



будет выглядеть как  $0011\ 1110\ 1000_2$ . Как мы уже говорили, с этого числа должен начинаться счёт вычитающего счётчика.

Схема делителя частоты на 1000 приведена на рисунке 3. В этой схеме первая микросхема является младшей, поэтому в неё загружается младшая тетрада числа предварительной записи  $1000_{10}$ , равная  $1000_2$ . В следующую микросхему загружается число  $1110_2$ , а в последнюю микросхему —  $0011_2$ .

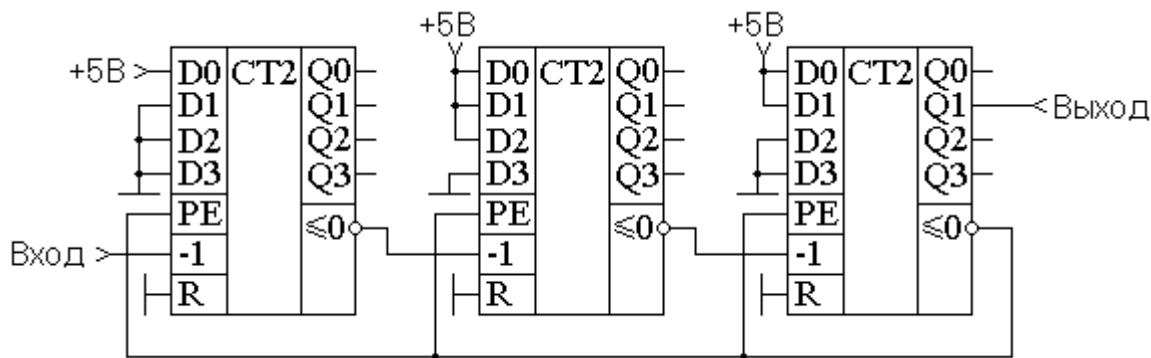


Рисунок 3 Схема делителя на 1000, построенного на основе трёх двоичных счётчиков с предварительной записью

Для определения нулевого состояния триггеров счётчика служит выход  $\leq 0$ . Для этого внутри микросхемы расположен логический элемент "ИЛИ". Чтобы определить обнулились ли все три микросхемы, в схеме на рисунке 3 счётные входы микросхем  $-1$  соединяются с входом переноса предыдущей микросхемы. Как только такое состояние обнаруживается, сигнал поступает на входы параллельной записи PE, и в счётчик снова записывается число 1000. В результате работы приведённой схемы на выходе делителя импульс возникает один раз после подачи на его вход тысячи импульсов.

Обратите внимание, что на этот раз коэффициент деления заключён не в принципиальной схеме делителя, а просто подаётся на вход параллельной записи счётчиков. В результате процесс изменения коэффициента деления значительно упростился. Для изменения частоты на выходе делителя достаточно просто подать нужное число. Схема делителя, в отличие от схемы не двоичного счётчика с обратной связью, при этом не меняется.

Для построения делителя с переменным коэффициентом деления мы использовали вычитающий счётчик. Можно ли такую же схему постройте на суммирующем счётчике? Можно! Однако в этом случае придётся для записи коэффициента деления воспользоваться отрицательным числом в дополнительном коде. Для того, чтобы получить отрицательное число в этом коде необходимо положительное двоичное число проинвертировать и прибавить единицу. Например, для реализации коэффициента деления 1000 возьмём его двоичный эквивалент  $0011\ 1110\ 1000_2$ . После инвертирования получим число  $1100\ 0001\ 0111_2$ . Окончательный результат будет равен  $1100\ 0001\ 1000_2$ .

Для десятиразрядного двоичного кода это будет равно десятичному эквиваленту 2410. Действительно, если в счётчике с коэффициентом  $2^{10}=1024$  начать считать от

числа 24, то ровно через  $1000_{10}$  импульсов счётчик переполнится и станет равным нулю.

### Контрольные вопросы

1. Что такое счетчик
2. Что такое недвоичный счётчик с предварительной записью?

## Практическое занятие №31

**Тема:** синхронные счётчики

**Цель:** изучить синхронные счётчики

В рассмотренных схемах делителей частоты быстродействие всей схемы определяется временем распространения сигнала от входа до выхода самого старшего разряда. При этом получается, что чем больше требуемый коэффициент деления, тем больше двоичных разрядов счётчика требуется для реализации этого делителя. Тем большее время требуется для распространения сигнала от входа синхронизации счётчика, до его выхода, и тем меньше будет предельная частота, которую можно подавать на вход этого делителя.

Можно ли обойти такую неприятную особенность недвоичных счётчиков? Да можно! Нужно, чтобы счётчик подготавливал своё новое состояние в промежутках между тактовыми импульсами и только записывал его по приходу нового импульса.

Первая схема, которую мы рассмотрим — это схема кольцевого счётчика. Такой счётчик можно построить на основе сдвигового регистра. Схема кольцевого счётчика приведена на рисунке 1.

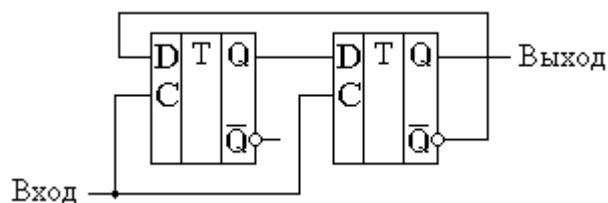
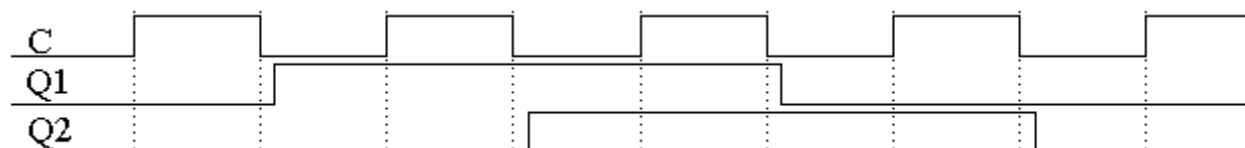


Рисунок 1. Схема кольцевого счетчика

Рассмотрим работу этой схемы. Пусть первоначально в счетчике записано число  $00_2$ . После первого же тактового импульса состояние счётчика станет равным  $10_2$ , после второго -  $11_2$ . Временные диаграммы этой схемы приведены на рисунке 2.



В результате анализа временных диаграмм можно определить, что коэффициент деления схемы кольцевого счётчика будет равен:

$$K_d = 2 \times n.$$

В качестве преимущества схемы кольцевого счётчика можно отметить то, что её быстродействие зависит только от времени задержки одного триггера. Это означает, что на кольцевых счётчиках можно реализовывать самые быстродействующие делители частоты.

То, что коэффициент деления пропорционален не степени количества триггеров, а только сумме является недостатком данной схемы. Это означает, что при увеличении коэффициента деления сложность схемы неоправданно возрастает по сравнению со схемой двоичного счётчика. Ещё одним недостатком схемы является то, что в результате воздействия помехи в регистр может быть записано число  $01_2$ . В результате коэффициент деления схемы изменится, а это является недопустимым.

Ещё одним недостатком схемы кольцевого счётчика является то, что при количестве триггеров больше трёх, в результате воздействия помехи в регистр может быть записано число, содержащее несколько единиц. В результате коэффициент деления схемы изменится, а это является недопустимым. Временные диаграммы сигналов на входе и выходах 3-разрядного кольцевого счётчика при правильной и ошибочной работе приведены на рисунке 3.

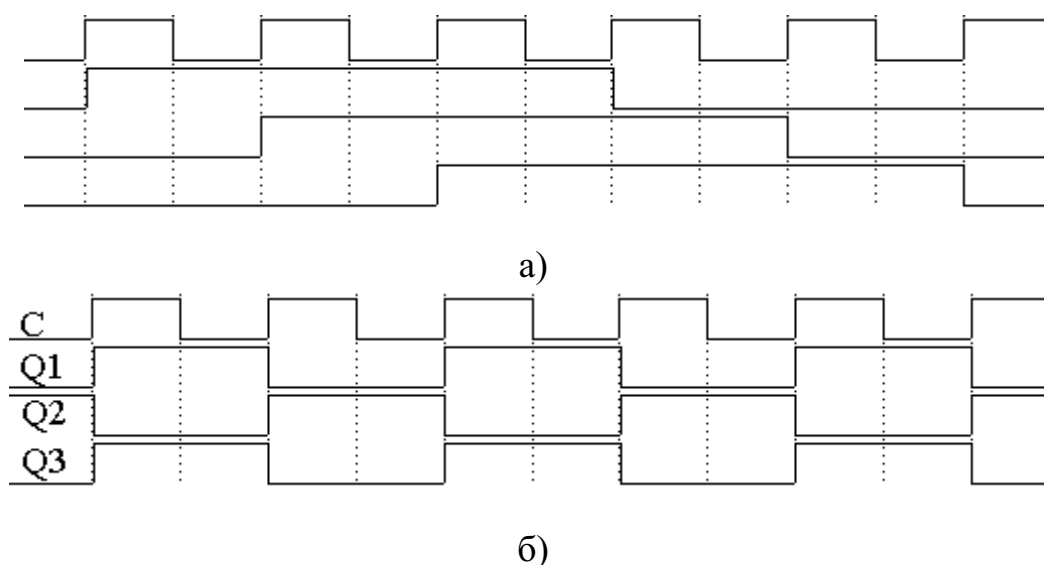


Рисунок 3. Временные диаграммы сигналов 3-разрядного кольцевого синхронного счётчика при правильной (а) и ошибочной (б) работе

Для того чтобы избежать неправильной работы счётчика в этот счётчик можно ввести схему контроля правильной работы. В простейшем случае это может быть обычный логический элемент “И-НЕ”. Этот элемент будет контролировать состояние счётчика, соответствующее единицам во всех его разрядах. Схема 2-разрядного счётчика со схемой проверки правильности его работы приведена на рисунке 4.

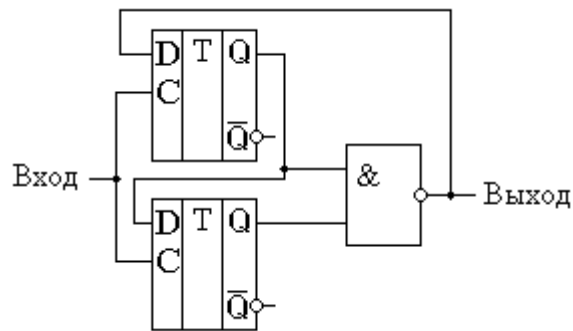


Рисунок 4. Схема 2-разрядного счетчика с проверкой правильности его работы

В этой схеме триггеры счётчика при поступлении импульсов на тактовый вход последовательно заполняются единицами. Как только все триггеры будут заполнены единицами, на выходе логического элемента “И-НЕ” появится уровень логического нуля. При поступлении следующего тактового импульса этот ноль будет записан в первый триггер счётчика. В дальнейшем работа счётчика повторяется. Временные диаграммы сигналов на выходах этого счётчика приведены на рисунке 5.

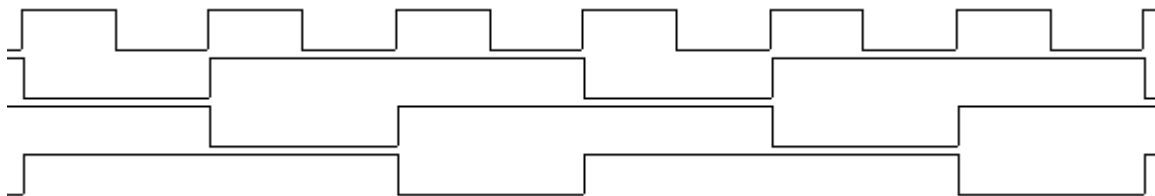


Рисунок 5. Временные диаграммы сигналов на выходах 2-разрядного счетчика счётчика с проверкой правильности его работы

### Контрольные вопросы

1. Что такое счетчик
2. Что такое синхронный кольцевой счетчик?

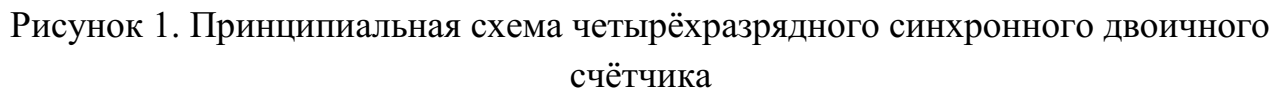
## Практическое занятие №32

**Тема:** синхронные двоичные счётчики

**Цель:** изучить синхронные двоичные счётчики

Как мы уже упоминали ранее, основным недостатком делителей, построенных на кольцевых счётчиках, является малый коэффициент деления. Двоичные счётчики в этом смысле более эффективны. Попробуем разработать синхронный счётчик, работающий по двоичному закону. Для этого обратим внимание, что переключение следующего разряда счётчика происходит только тогда, когда состояние всех предыдущих его разрядов равно единицам. Это состояние может быть легко определено при помощи логического элемента "И".

Принципиальная схема одного из вариантов реализации четырёхразрядного синхронного двоичного счётчика приведена на рисунке 1.



При использовании нескольких микросхем для формирования переноса, предназначенного для последующих разрядов двоичного счётчика, в приведённой схеме синхронного счётчика формируется сигнал ТС. В следующих микросхемах этот сигнал подаётся на входы СЕР или СЕТ. Переключение триггеров в схеме возможно только при подаче на оба этих входа логической единицы.

|    |     |     |    |    |    |    |    |
|----|-----|-----|----|----|----|----|----|
| 3  | D0  | CT2 | Q0 | 14 |    |    |    |
| 4  | D1  |     |    | Q1 | 13 |    |    |
| 5  | D2  |     |    |    | Q2 | 12 |    |
| 6  | D3  |     |    |    |    | Q3 | 11 |
| 9  | PE  |     |    |    |    |    | TC |
| 7  | CEP |     |    |    |    |    |    |
| 10 | CET |     |    |    |    |    |    |
| 2  | C   |     |    |    |    |    |    |
| 1  | R   |     |    |    |    |    |    |

Рассмотрим в качестве примера реализацию 32-х разрядного двоичного счётчика. Для этого используем четыре микросхемы К1533ИЕ10. Получившаяся принципиальная схема синхронного 32-х разрядного двоичного счётчика приведена на рисунке 7. При необходимости этот счётчик может быть легко превращён в любой недвоичный счетчик, как при помощи обратных связей, так и используя предварительную запись исходного состояния счётчика.

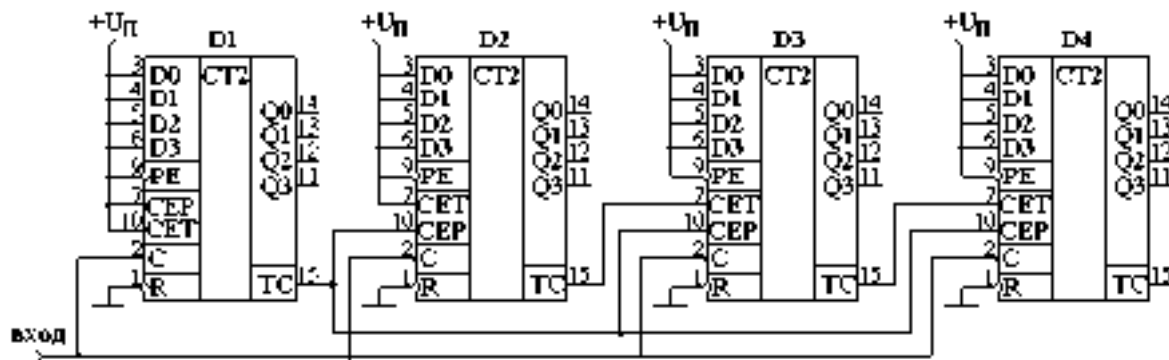


Рисунок 3. Принципиальная схема 32-х разрядного синхронного двоичного счётчика

Будет ли счётчик находиться в режиме счёта или в режиме параллельной записи определяется потенциалом на входах микросхем PE. При нулевом потенциале на этом входе PE производится запись информации с входов данных D во внутренние триггеры счётчиков. Именно поэтому на входы PE всех микросхем подан высокий потенциал (они подключены к источнику питания).

В схеме, приведённой на рисунке 3, не используются входы параллельной записи, однако мы знаем, что входы цифровых микросхем нельзя бросать в воздухе, поэтому следует присоединить их либо к источнику питания, либо к общему проводу схемы. В данной схеме все входы данных присоединены к источнику питания.

Так как в схеме на рисунке 3 применены микросхемы синхронных счётчиков, то все входы синхронизации должны быть соединены параллельно. Только в этом случае запись нового состояния счётчика во внутренние триггеры будет производиться одновременно.

Микросхема младших разрядов двоичного счётчика D1 должна работать всегда, пока на её вход синхронизации поступают тактовые импульсы, поэтому входы разрешения счёта CEP и CET в этой микросхеме присоединены к источнику питания. Следующая микросхема D2 должна переключиться только тогда, когда во всех триггерах микросхемы D1 будет записана логическая единица. Для этого вход разрешения счёта CEP соединён с выходом TC микросхемы младших разрядов D1. Второй вход разрешения счёта остаётся подключенным к питанию схемы.

Следующая микросхема D3 подключается так же. Однако если не принять дополнительных мер, то время распространения сигнала разрешения счёта при увеличении количества микросхем, использованных в счётчике, будет увеличиваться пропорционально количеству микросхем. Для того чтобы избежать этой ситуации, в схеме использован вспомогательный вход разрешения счёта CEP. Сигнал с выхода TC микросхемы D1 подаётся на входы CEP всех последующих разрядов.

## Контрольные вопросы

1. Что такое счетчик
2. Что такое синхронный двоичный счетчик?

## Практическое занятие №33

**Тема:** микросхемы малой степени интеграции (малая логика)

**Цель:** изучить микросхемы малой степени интеграции (малая логика)

В настоящее время цифровые устройства выполняются в основном с применением микроконтроллеров, сигнальных процессоров и специализированных микросхем, таких как кодеки, модемы, аналого-цифровые или цифроаналоговые преобразователи. При этом достаточно часто возникают вопросы согласования сигналов, которыми обмениваются данные микросхемы. Иногда требуется инверсия управляющих или информационных сигналов, иногда не совсем совпадают протоколы обмена (вид сигналов записи и чтения, сигналы стробирования данных). В этом случае применение больших интегральных микросхем, таких как ПЛИС CPLD или FPGA нецелесообразно. Это либо невыгодно экономически, либо требуется большая площадь на печатной плате цифрового устройства. В то же самое время применение старых типов микросхем малой интеграции, таких как 1533 или 1564 неприемлемо либо из-за больших габаритов корпуса этих микросхем, либо несовместимости логических уровней, либо недопустимых времен распространения сигнала.

Если раньше микросхемы в основном размещали в так называемом DIP-корпусе, внешний вид которого приведен на рисунке 1, то в настоящее время его габариты стали недопустимо большими. Обычные габариты DIP-корпуса: 20×7,5 мм.



Рисунок 1. Внешний вид цифровой микросхемы малой степени интеграции в DIP-корпусе

В одном DIP-корпусе размещалось 6 инверторов. Но нам то обычно нужен один! И очень часто бывает, что то, что нужна инверсия сигнала выясняется уже в процессе настройки рабочего образца цифрового устройства, когда на печатной плате места практически нет. В современных цифровых микросхемах малой степени интеграции существуют корпуса микросхем, содержащие только один инвертор или только один логический элемент "2И-НЕ". В этом случае достаточно только четырех или пятивыводного корпуса и шаг выводов в современных корпусах тоже значительно уменьшился по сравнению с DIP-корпусом. Типовые габариты корпуса SOT-23 составляют 2,8×2,5 мм, габариты корпуса SC-70 составляют 2×2,1 мм, а корпуса YEP — 0,95×1,45 мм. Внешний вид корпуса SOT-23 приведен на рисунке 2.



Рисунок 2. Внешний вид цифровой микросхемы малой степени интеграции в SOT-23 корпусе

Подобную микросхему можно поместить в разрыв дорожки печатной платы! В качестве примера подобных микросхем можно назвать инвертор SN74LVC1G04DRL и логический элемент "2И" SN74LVC1G08DRLR фирмы texas instrument. Примеры цоколевки микросхем малой логики приведены на рисунках 3 ... 5.

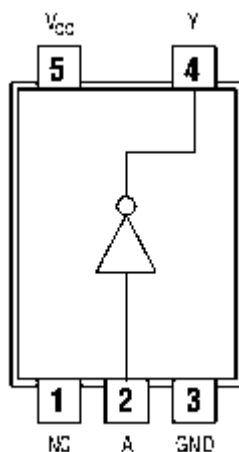


Рисунок 3. Цоколевка инвертора 1G04 в корпусе SC-70

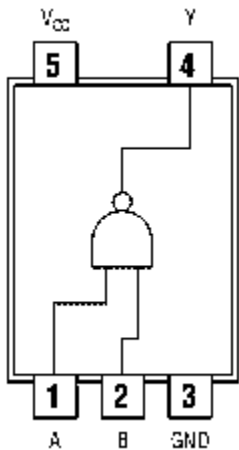


Рисунок 4. Цоколевка логического элемента "И-НЕ" 1G00 в корпусе SC-70

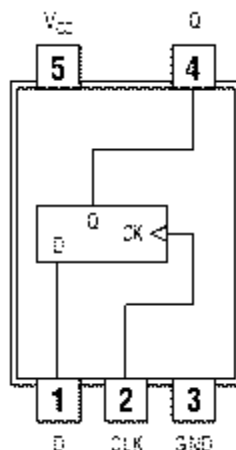


Рисунок 5. Цоколевка D-триггера 1G79 в корпусе SC-70

### Контрольные вопросы

1. Что такое микросхемы малой логики?
2. Назовите примеры микросхем малой логики?

### Практическое занятие №34

**Тема:** программируемые логические интегральные схемы (ПЛИС)

**Цель:** изучить программируемые логические интегральные схемы (ПЛИС)

По мере развития цифровых микросхем возникло противоречие между возможной степенью интеграции и номенклатурой выпускаемых микросхем. Экономически оправдано было выпускать микросхемы средней интеграции, таких как регистры, счетчики, сумматоры. Более сложные схемы приходилось создавать из этих узлов. Разместить более сложную схему на полупроводниковом кристалле не было проблем, но это было оправдано либо очень большой серийностью аппаратуры, либо ценой аппаратуры (военная, авиационная или космическая). Заказные микросхемы не могли удовлетворить возникшую потребность в миниатюризации аппаратуры. Решение могло быть только одним — предоставить разработчикам аппаратуры возможность изменять внутреннюю структуру микросхемы (программировать).

История развития программируемых логических интегральных схем (ПЛИС) начинается с появления программируемых постоянных запоминающих устройств. Первое время программируемые ПЗУ использовались исключительно для хранения данных, однако вскоре их стали применять для реализации цифровых комбинационных устройств с произвольной таблицей истинности. В качестве недостатка подобного решения следует отметить экспоненциальный рост сложности устройства в зависимости от количества входов. Добавление одного дополнительного входа цифрового устройства приводит к удвоению требуемого количества ячеек памяти ПЗУ. Это не позволяет реализовать многовходовые комбинационные цифровые схемы.

Для реализации цифровых комбинационных устройств с большим числом входов были разработаны программируемые логические матрицы (ПЛМ). В иностранной литературе они получили название — Programmable Logic Arrays (PLA). Именно программируемые логические матрицы можно считать первыми программируемыми логическими интегральными схемами (Programmable Logic Devices — PLDs). ПЛМ получили широкое распространение в качестве первых универсальных микросхем большой интеграции.

## Классификация ПЛИС

В настоящее время программируемые логические интегральные схемы развиваются по нескольким направлениям, поэтому возникла необходимость как то различать эти микросхемы. Классификация программируемых логических интегральных схем (ПЛИС) приведена на рисунке 1.



Рисунок 1. Классификация программируемых логических интегральных схем (ПЛИС)

Следует отметить, что программируемые логические матрицы (ПЛМ) реализуют хорошо известные принципы создания цифровой комбинационной схемы по таблице истинности (СДНФ). Применение постоянных запоминающих устройств (ПЗУ) в качестве комбинационной схемы позволяет вообще обойтись без составления комбинационной функции и ее минимизации. Области применения этих микросхем сразу определились. ПЗУ применялись для создания комбинационных схем с малым количеством входов. При росте количества входов сложность внутреннего устройства ПЗУ и его цена резко возрастали (по квадратичному закону). ПЛМ позволяли реализовывать таблицы истинности с относительно малым количеством единичных сигналов на выходе и большим количеством входных сигналов, либо хорошо минимизирующиеся логические функции.

Первоначально цифровые устройства с памятью реализовывали либо на нескольких ПЛМ, либо добавляли внешние триггеры, затем стали включать их в состав программируемых логических устройств. По мере увеличения степени интеграции микросхем возникла необходимость объединять полученные сложные микросхемы на одном кристалле. В результате возникли сложные программируемые логические устройства (CPLD). В них появилась возможность программировать не только таблицу истинности комбинационного устройства, но и линии соединения входов и выходов ПЛД между собой. Таким образом можно считать CPLD дальнейшим развитием ПЛМ и ПЛД.

Точно так же развивались цифровые устройства на ПЗУ. Сначала к их выходам добавили триггер. Естественно предоставили возможность отключать его при необходимости. Затем несколько этих схем разместили на одном кристалле и предоставили возможность программировать соединения их входов и выходов между собой. Подобные устройства называются FPGA.

## Контрольные вопросы

1. Что такое ПЛИС?
2. Классификация ПЛИС?

## Практическое занятие №35

**Тема:** программируемые логические матрицы

**Цель:** изучить программируемые логические матрицы

Первым представителем большого класса программируемых логических устройств (ПЛИС) стали программируемые логические матрицы (ПЛИМ). В зарубежной литературе они называются PLA — Programmable logic Array. Обобщенная структура ПЛИМ приведена на рисунке 1.

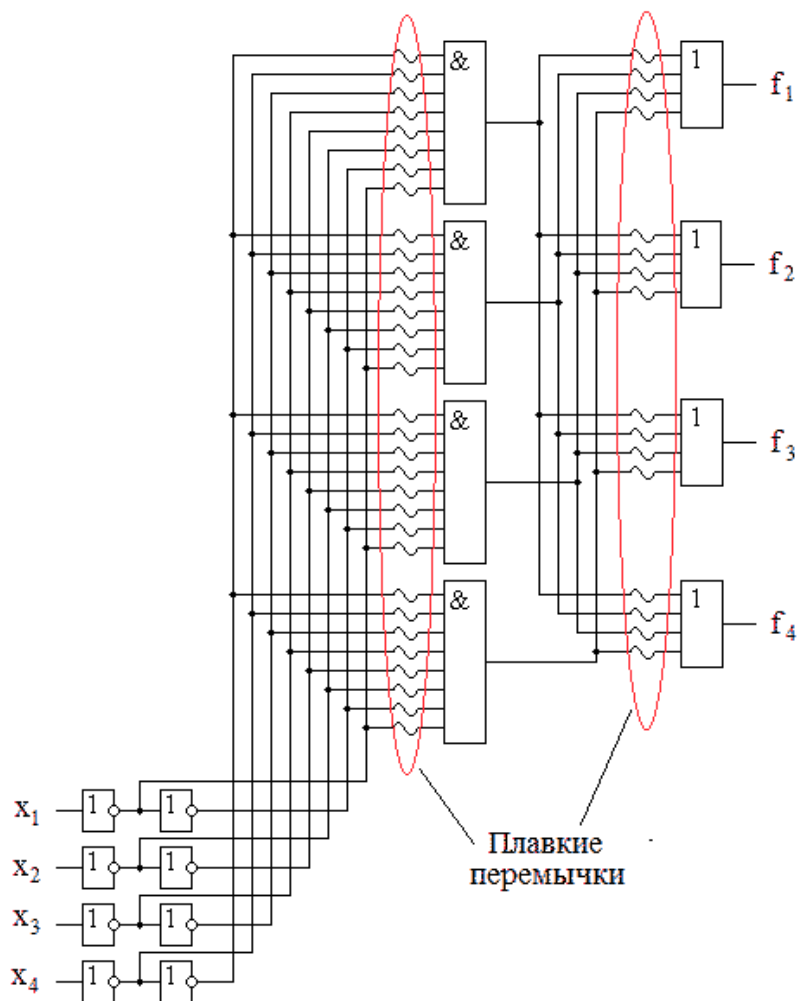


Рисунок 1. Обобщенная структура программируемых логических матриц (ПЛИМ)

Основная идея работы ПЛИМ заключается в реализации логической функции, представленной в СДНФ — дизъюнктивной нормальной форме. На рисунке четко прослеживаются логические элементы "И", способные реализовать любой минтерм

СДНФ и логические элементы "ИЛИ", осуществляющие суммирование термов, требующихся по логическому выражению СДНФ. В схеме ПЛМ, приведенной на рисунке 1, ранг термина ограничен количеством входов и равен четырем, количество термов тоже равно четырем. В реально выпускавшихся микросхемах программируемых логических матриц (ПЛМ) количество входов было равно шестнадцати (максимальный ранг минтерма — 16), количество термов равно 32 и количество выходов микросхемы — 8.

Примерами реализации программируемых логических матриц могут служить отечественные микросхемы К556РТ1, К556РТ2, К556РТ21. В этих микросхемах программирование осуществлялось при повышенном напряжении питания. Там, где требовалось сохранить плавкую перемычку на ее вход и выход подавалось высокое напряжение, там, где соединение не требовалось, на вход подавался потенциал корпуса (логический ноль), а на выход — напряжение питания. Перемычка из поликристаллического кремния под воздействием высокой температуры, вызванной током короткого замыкания, испарялась.

Следует отметить, что полная принципиальная схема ПЛМ получается достаточно громоздкой (см. рисунок 1). Поэтому в зарубежной литературе обычно применяется шинное представление проводников. Логический элемент "И", реализующий минтерм СДНФ, изображается как одиночная горизонтальная строка с условно-графическим обозначением схемы "И". Ко входам этого элемента подводится многоразрядная шина, а на выходе подключен одиночный проводник. Если входной проводник подключается ко входу логического элемента "И" (перемычка сохранена), то это место обозначается крестиком 'x', а если соединение отсутствует (перемычка сожжена), то крестик не проставляется. Аналогично обозначаются и многоразрядные элементы "ИЛИ". Пример подобного изображения схемы ПЛМ (PLA) приведен на рисунке 2.

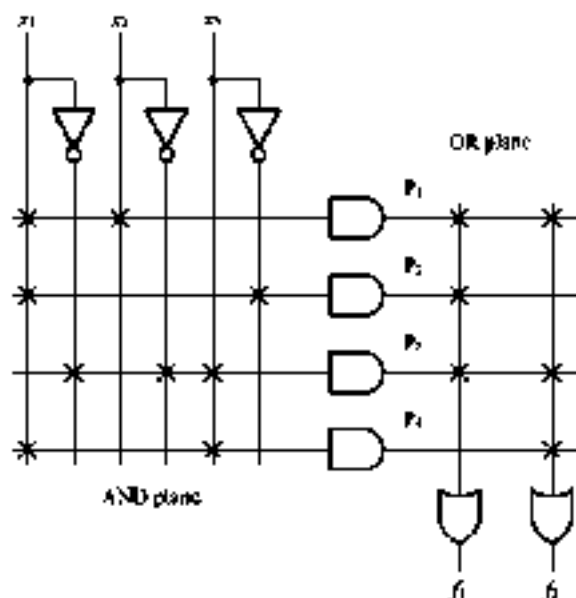


Рисунок 2. Представление внутренней структуры схем ПЛМ, принятое в зарубежной литературе

По схеме четко можно восстановить реализуемую им логическую функцию. На рисунке 2 реализованы две логические функции  $f_1$  и  $f_2$ :

$$f_1 = x_1x_2 + x_1\bar{x}_3 + \bar{x}_1\bar{x}_2x_3$$

$$f_2 = x_1x_2 + \bar{x}_1\bar{x}_2x_3 + x_1x_3$$

Недостаток рассмотренной архитектуры ПЛМ — слабое использование ресурсов программируемой матрицы логических элементов "ИЛИ". Данное обстоятельство привело к появлению ещё одного вида программируемых логических матриц — PAL.

### Контрольные вопросы

1. Что такое ПЛМ?
2. Преимущества и недостатки ПЛМ?

### Практическое занятие №36

**Тема:** программируемые матрицы логики (PAL)

**Цель:** изучить программируемые матрицы логики (PAL)

В программируемой логической матрице (ПЛМ) обе матрицы логических элементов "И" и "ИЛИ" программируемы. ПЛИС, в которых матрица логических элементов "И" является программируемой, а матрица логических элементов "ИЛИ" фиксированной, получили название программируемых матриц логики ПМЛ или PAL — Programmable Array Logic (англ.). Поскольку изготовить такие устройства проще, чем ПЛМ, они имеют меньшую стоимость и обладают улучшенными характеристиками, что привело к их высокой популярности. Пример ПМЛ с тремя входами, четырьмя логическими элементами "4ИЛИ", реализующими четыре минтерма шестого ранга и двумя выходами представлен на рисунке 1.

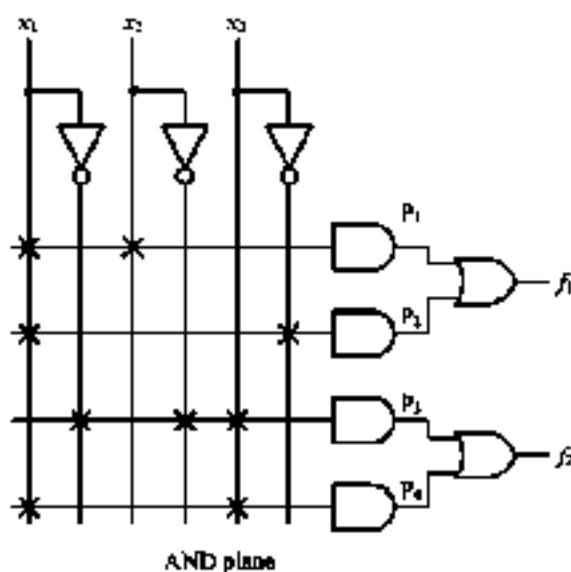


Рисунок 1. Обобщенная структура программируемых матриц логики (ПМЛ)

Напомню, что в схеме, приведенной на рисунке 1, действует следующее соглашение: Количество входов у логических элементов "И" равно количеству

проводников на входе схемы (в данном случае шесть). Соединения, помеченные крестиком подключены ко входам логического элемента, остальные входы логического элемента "И" подключены через резистор к источнику питания, а значит не влияют на результат работы. Представленные на рисунке 1 запрограммированные соединения реализуют следующие логические функции:

$$f_1 = x_1x_2 + x_1\bar{x}_3$$

$$f_2 = \bar{x}_1\bar{x}_2x_3 + x_1x_3$$

Логические элементы "4И", реализующие термы Р1 и Р2 аппаратно соединены с первым элементом ИЛИ, а логические элементы "4И", реализующие термы Р3 и Р4 аппаратно соединены со вторым элементом. Эти соединения не могут программироваться. По сравнению с ПЛМ, программируемые матрицы логики обладает меньшей гибкостью программирования. ПМЛ позволяет использовать четыре термина в качестве входов для элементов ИЛИ, а элементы ИЛИ в ПМЛ имеют только два фиксированных входа. Для компенсации этого недостатка производители ПМЛ производят микросхемы разного объема с различным числом входов и выходов, а также различным числом входов логических элементов "ИЛИ".

К программируемым матрицам логики относятся большинство современных ПЛИС небольшой степени интеграции. В качестве примера подобных микросхем можно привести отечественные ИС КМ1556ХП4, КМ1556ХП6, КМ1556ХП8, КМ1556ХЛ8, ранние разработки микросхем ПЛИС (середина-конец 1980-х годов) фирм INTEL, ALTERA, AMD, LATTICE и др. Разновидностью этого класса микросхем являются ПЛИС, имеющие только одну (программируемую) матрицу логических элементов "И", например, микросхема 85С508 фирмы INTEL. Следующий традиционный тип ПЛИС — программируемая макрологика. Подобные микросхемы содержат единственную программируемую матрицу "И-НЕ" или "ИЛИ-НЕ", но за счёт многочисленных инверсных обратных связей способны формировать сложные логические функции. К этому классу относятся, например, ПЛИС PLHS501 и PLHS502 фирмы SIGNETICS, имеющие матрицу "И-НЕ", а также схема XL78С800 фирмы EXEL, реализованная на матрице логических элементов "ИЛИ-НЕ"

### **Контрольные вопросы**

- 1. Что такое PAL?**
- 2. Преимущества и недостатки PAL?**

## **Практическое занятие №37**

**Тема:** сложные программируемые логические устройства (CPLD)

**Цель:** изучить сложные программируемые логические устройства (CPLD)

Программируемые логические матрицы к настоящему времени морально устарели и применяются для реализации относительно простых устройств, для которых не существует готовых микросхем средней степени интеграции. При реализации сложных цифровых схем обычно применяются программируемые логические интегральные схемы (ПЛИС) одним из видов ПЛИС являются сложные программируемые логические устройства (CPLD — Complex PLD).

## Внутреннее устройство CPLD

Программируемая логическая интегральная схема CPLD состоит из нескольких макроячеек, расположенных на одном кристалле. Каждая макроячейка соединена с блоками ввода-вывода, осуществляющими формирование необходимого вида входов или выходов для работы с внешними схемами. Кроме того, все макроячейки и блоки ввода-вывода связаны между собой внутренними параллельными шинами. Пример внутренней схемы CPLD приведен на рисунке 1.

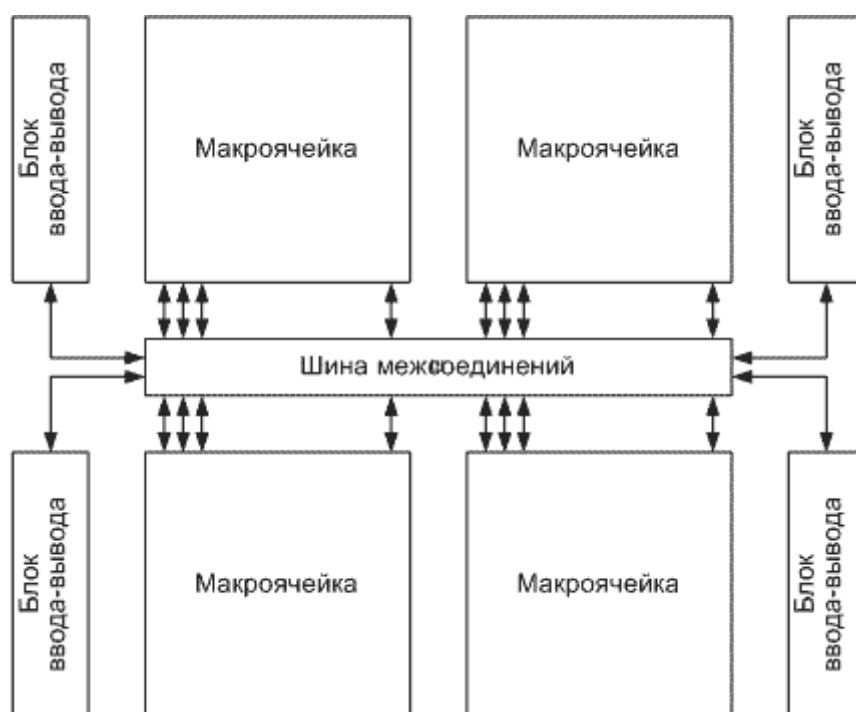


Рисунок 1. Пример внутренней схемы CPLD

Приведенная на рисунке 1 микросхема CPLD состоит из четырех макроячеек, которые связаны между собой внутренними шинами и соединяются с блоками ввода-вывода. Макроячейка построена подобно ПЛИС микросхеме, к которой на выходе подключен D-триггер. На рисунке 2 приведен пример внутренней схемы макроячейки и ее подключение к шине межсоединений.



На выходе макроячейки поставлен двухходовый мультиплексор, который позволяет передавать на выход текущее значение сигнала с выхода ПЛМ-схемы, или сохраненное в D-триггере.

Блок ввода-вывода состоит из элементов с тремя состояниями (буферов). Буфер позволяет настраивать выводы микросхемы на ввод или и на вывод сигналов. Чтобы вывод микросхемы настроить на ввод информации, достаточно перевести буфер, подключенный к данному выводу, в высокоимпедансное состояние. Дальнейший путь прохождения сигнала по микросхеме может быть запрограммирован МОП-ключами, размещенными на пересечениях вертикальных проводников и горизонтальных проводников шины межсоединений. На схеме это соединение помечается символом 'х'. Необходимо отметить, что если вывод запрограммирован на прием информации, то он не может быть использован в качестве выхода микросхемы. Обычно фирмы-изготовители указывают максимально возможное число входных и выходных линий.

## **Разработка цифровых устройств на CPLD**

Разработка цифровых устройств на программируемых логических интегральных схемах CPLD практически не отличается от разработки обычных цифровых устройств. Для этого не требуется разбираться в особенностях внутренней структуры микросхемы или проектировать матрицу межсоединений. Разработчики ПЛИС предоставляют пакет САПР в составе которого можно вести разработку цифрового устройства в виде обычных схем в схемном редакторе, а затем транслировать эту схему в файл коммутаций внутренней матрицы межсоединений CPLD. Этот файл загружается в ПЗУ микросхемы CPLD и микросхема превращается в разработанное нами цифровое устройство, фактически в заказную СБИС.

В настоящее время разработка цифровых устройств чаще ведется с применением языков программирования схем, таких как AHDL или VHDL. Применение языков программирования вместо примитивов, являющихся аналогами микросхем средней интеграции, позволяет значительно оптимизировать внутреннюю структуру прошивки микросхемы.

### **Контрольные вопросы**

- 1. Что такое CLPD?**
- 2. Внутреннее устройство CLPD?**
- 3. Какие устройства разрабатываются на основе CLPD?**

## **Практическое занятие №38**

**Тема:** программируемые пользователем вентильные матрицы (FPGA)

**Цель:** изучить программируемые пользователем вентильные матрицы (FPGA)

Программируемые интегральные микросхемы CPLD предназначены для применения в цифровых устройствах с большим количеством логических элементов. Кроме того, в CPLD трудно обеспечить эффективное применение всех макроячеек. Всегда часть макроячеек остается неиспользуемыми. Часто из макроячейки используется только триггер или логический элемент "2И" ("2ИЛИ"). Остальная часть схемы зря занимает площадь кристалла и потребляет ток от источника питания.

Для реализации сложных цифровых схем удобно применять программируемые логические схемы (ПЛИС), обладающие большей логической вместимостью и большей степенью использования кристалла. В качестве подобных микросхем можно назвать программируемые пользователем вентильные матрицы (FPGA — Field- Programmable Gate Array). Принцип работы FPGA существенно отличается от принципа работы CPLD. FPGA является наследником комбинационных схем, реализованных на постоянных запоминающих устройствах (ПЗУ). Обобщенная структура микросхем FPGA приведена на рисунке 1.

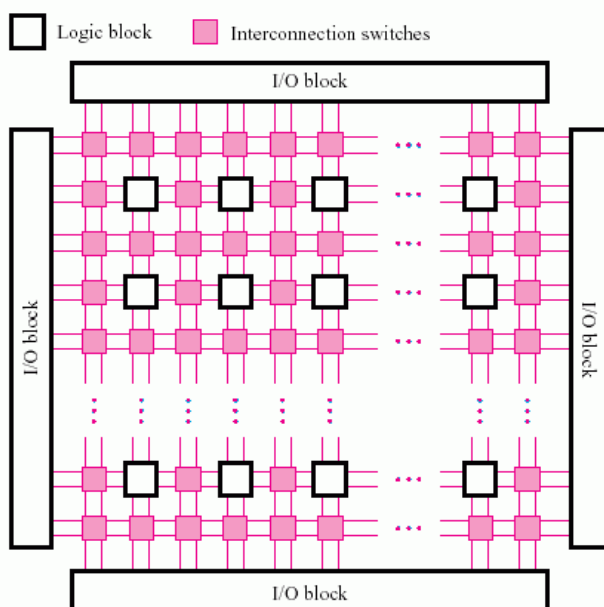


Рисунок 1. Обобщенная структура микросхем FPGA

Типовая схема программируемой интегральной микросхемы FPGA состоит из трех видов блоков: логические блоки, блоки ввода-вывода, предназначенные для обмена сигналами через внешние выводы микросхемы и программируемые электронные ключи, предназначенные для создания соединений между внутренними блоками микросхемы FPGA. Логические блоки размещаются в узлах решетки вертикальных и горизонтальных шин проводников. Благодаря возможности соединения проводников при помощи электронных ключей друг с другом, можно создавать нужные нам соединения между логическими блоками. Соединения осуществляемые электронными ключами можно программировать, замыкая и размыкая эти ключи. Матрица соединений хранится в ПЗУ конфигурации и может быть изменена при программировании ПЛИС. Блоки ключей, замыкающие проводники соединительных шин FPGA между собой, обозначены на рисунке 1 квадратами серого цвета.

Соединение внутренней цифровой схемы с блоками ввода-вывода также программируется электронными ключами. У различных микросхем FPGA реальное число программируемых внутренних соединений значительно отличается. Это определяет насколько полно может быть использованы внутренние ресурсы микросхемы и может оказать влияние на предельное быстродействие разработанного цифрового устройства. Эти особенности необходимо учитывать в процессе проектирования цифрового устройства при выборе фирмы-изготовителя и конкретных микросхем FPGA, предназначенных для реализации этого устройства.

Особенностью структуры FPGA является то, что каждый логический блок обычно имеет небольшое число входов и один выход. Это позволяет более полно использовать внутренние ресурсы микросхемы. Типичный логический блок строится на основе ПЗУ, в ячейках которого записана таблица истинности комбинационной схемы. Подобный блок ПЗУ обычно называется LUT (Look Up Table). Каждая ячейка способна хранить значение одной строки таблицы истинности, логический '0' или '1'. Размер LUT определяется числом входов, которое изменяется в зависимости от типа выбранной микросхемы и фирмы-производителя. В качестве примера на рисунке 2 показано внутреннее устройство небольшого LUT ПЗУ с тремя входами  $x_1, x_2, x_3$ , и одним выходом  $f$ . Крестиками обозначены электронные ключи, включенные между источником питания и входом мультиплексора.

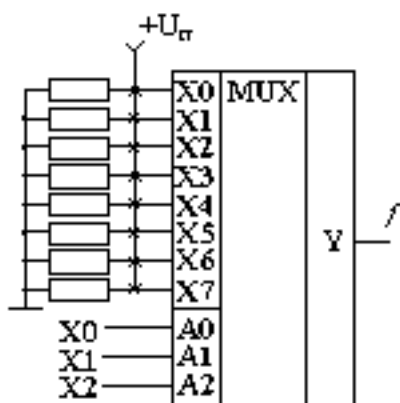


Рисунок 2. Пример внутреннего устройства LUT ПЗУ

LUT ПЗУ, изображенное на рисунке 2, способно реализовать любую логическую функцию трех переменных. Поскольку таблица истинности функций трех переменных имеет восемь строк, то LUT ПЗУ состоит из восьми запоминающих ячеек. Одна ячейка содержит значение выходного сигнала в каждой строке таблицы истинности. Входные сигналы  $x_1, x_2$  и  $x_3$  подаются на адресные входы мультиплексора  $8 \times 1$ . В зависимости от комбинации логических сигналов на адресных входах  $A_0, A_1, A_2$ , на выход мультиплексора поступает сигнал с одного из его информационных входов  $X_0 \dots X_7$ .

Для программирования LUT необходимо при помощи электронных ключей записать таблицу истинности реализуемой функции в ячейках памяти. Электронный ключ представляет собой полевой транзистор с плавающим затвором, что позволяет сохранять состояние ключа при отключении питания. При замыкании электронного ключа на вход мультиплексора поступает напряжение питания, что соответствует логической единице. При размыкании этого ключа на вход мультиплексора

через резистор  $R$  поступает потенциал общего провода микросхемы, что соответствует логическому нулю. После программирования при  $x_1=x_2=x_3=0$  на выход LUT ПЗУ будет передан сигнал с самого верхнего входа мультиплексора,  $x_2=x_3=0$ ,  $x_1=1$  на выход LUT ПЗУ будет передан сигнал с второго сверху входа мультиплексора, и т.д..

LUT ПЗУ современных микросхем FPGA обычно имеют четыре или пять входов и состоят из 16 или 32 запоминающих ячеек соответственно. Как и в CPLD микросхемах, кроме комбинационной цифровой схемы логический блок содержит запоминающее устройство, такое как D-триггер. На рисунке 3 приведен пример схемы логического блока FPGA микросхемы.

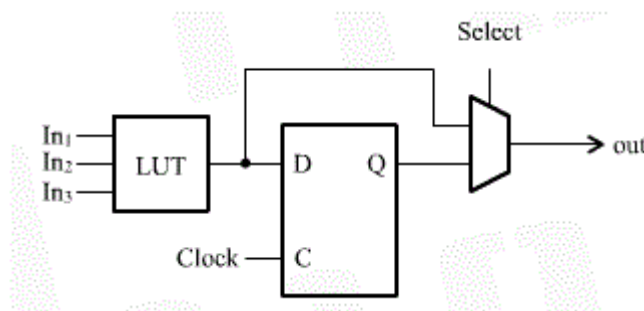


Рисунок 3. Пример схемы логического блока FPGA микросхемы

Логический сигнал, поступающий с выхода LUT ПЗУ на D вход триггера, запоминается по сигналу синхронизации Clk, который может формироваться как внутренними элементами схемы, так и поступать с внешних выводов FPGA микросхемы. Мультиплексор, стоящий на выходе логического блока, позволяет либо применять D-триггер при построении регистровых схем, либо отключать его от схемы при проектировании комбинационных логических схем.

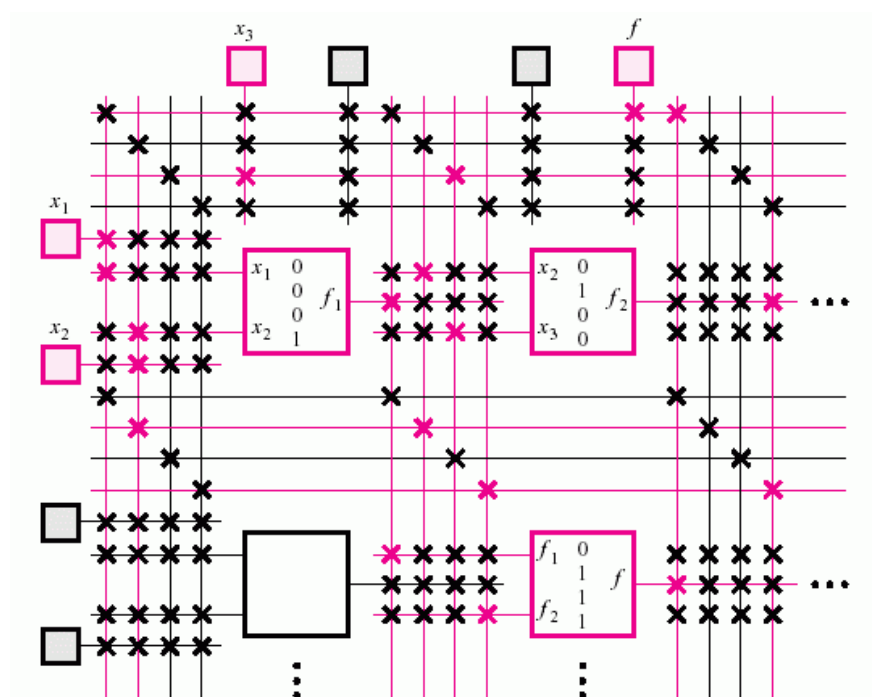


Рисунок 4. Пример запрограммированного участка FPGA

На рисунке 4 приведен участок внутренней структуры микросхемы FPGA, запрограммированный для реализации комбинационной схемы. Данная микросхема FPGA состоит из LUT ПЗУ с двумя входами и четырьмя программируемыми линиями соединений. Программируемые электронные ключи обозначены символом X. Каждый замкнутый ключ, соединяющий вертикальную и горизонтальную линии показан красным цветом. Не используемые линии соединений и ключи на рисунке показаны черным. Первые два блока LUT запрограммированы на реализацию функций  $f_1=x_1x_2$  и  $f_2=x_2x_3$ . Третий LUT реализует функцию  $f=f_1+f_2$ .

### Контрольные вопросы

1. Что такое FPGA?
2. Структура микросхем FPGA?

## Практическое занятие №39

**Тема:** газоразрядные индикаторы

**Цель:** изучить газоразрядные индикаторы

К сожалению малогабаритные лампочки накаливания не отличаются надёжностью, так как при включении питания через них протекает значительный ток, в результате воздействия которого на нить накаливания лампа может выйти из строя. Кроме того они боятся ударов. Все эти причины, а также большой потребляемый ток привели к тому, что в настоящее время индикаторы на малогабаритных лампочках накаливания практически не используются.

Большой надёжностью и экономичностью обладают газоразрядные индикаторы. В этих индикаторах светится газ, расположенный между электродами, заключёнными в стеклянный баллон. Цвет свечения зависит от конкретного газа, которым заполнен стеклянный баллон. Пример конструкции газоразрядного индикатора приведен на рисунке 1.



Рисунок 1. Конструкция газоразрядного индикатора

Наибольшее распространение получили газоразрядные индикаторы, наполненные неоном (неоновые лампы). Внешний вид неоновой лампы момент свечения показан на рисунке 2



Рисунок 2. Внешний вид газоразрядного индикатора в момент свечения

В настоящее время выпускаются достаточно малогабаритные варианты одиночных газоразрядных ламп. Их внешний вид приведен на рисунке 3



Рисунок 3. Внешний вид газоразрядного индикатора в момент свечения

Газоразрядные индикаторы обладают большей экономичностью и надежностью по сравнению с малогабаритными лампами накаливания. Они, в отличие от ламп накаливания, обладают низким внутренним сопротивлением. Поэтому в схему приходится вводить резистор, ограничивающий ток, протекающий через лампу. Одиночные газоразрядные индикаторы обычно применяются для подсвечивания надписей, нанесенных на стеклянную или пластмассовую пластинку или символических рисунков (пиктограмм). Схема его подключения к цифровой микросхеме с ТТЛ или КМОП выходом приведена на рисунке 4.

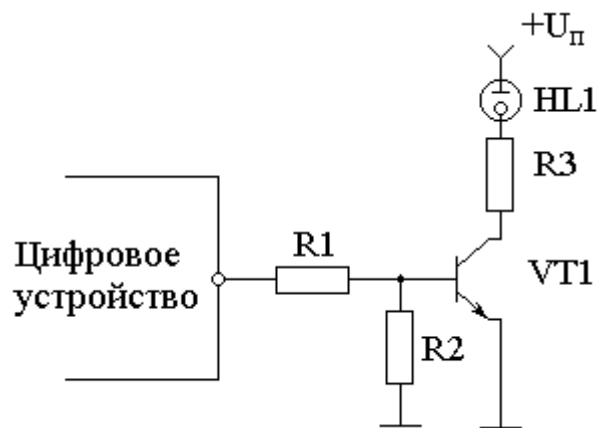


Рисунок 4. Схема подключения одиночного газоразрядного индикатора к цифровой ТТЛ микросхеме

В схеме подключения газоразрядного индикатора к цифровой ТТЛ микросхеме транзистор требуется в основном для согласования по напряжению, так как этот тип индикаторов требует использовать высоковольтный источник напряжения 180 ... 300 В. Это напряжение зажигания газоразрядной (обычно неоновой) лампы. Поэтому транзистор электронного ключа должен выдерживать напряжение 300 В. Что касается сопротивления резистора R3, то оно рассчитывается по закону Ома. Необходимо от напряжения питания отнять падение напряжения на зажженной лампе газоразрядного индикатора, которое можно взять из справочника (обычно 80 В) и поделить на его ток потребления. Падением напряжения на открытом транзисторе VT1 можно пренебречь, так как оно обычно составляет 0,2 ... 0,9 В. Например:

$$R3 = (U_n - U_{HL1})/I_n = (200 \text{ В} - 80 \text{ В})/1 \text{ мА} = 120 \text{ кОм}.$$

Газоразрядные индикаторы используются как для индикации битовой информации (пиктрограмм), так и для отображения десятичных цифр. При построении десятичных индикаторов катод внутри баллона выполняется в виде десятичных цифр, как это показано на рисунке 5.



Рисунок 5. Внешний вид газоразрядного индикатора ИН-1

Пример индикаторной панели электронных часов, выполненной на индикаторах ИН-14, приведен на рисунке 6.



Рисунок 6. Внешний вид индикаторной панели на газоразрядных лампах

Для уменьшения габаритов цифрового устройства и упрощения его принципиальной схемы были разработаны специальные микросхемы дешифраторов, выдерживающие напряжение до нескольких сотен вольт, например отечественная микросхема К155ИД1. Принципиальная схема подключения десятичного газоразрядного индикатора к микросхеме К155ИД1 приведена на рисунке 7.

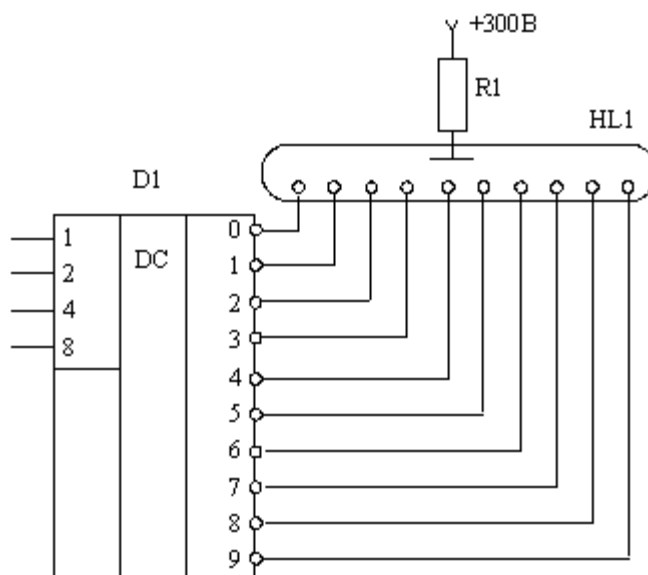


Рисунок 7. Схема подключения газоразрядного индикатора к десятичному дешифратору К155ИД1

На вход этой схемы подается двоично-десятичный код. Он преобразуется микросхемой D1 в инверсный линейный десятичный код. Инверсия нужна для того, чтобы ток протекал только через тот вывод, двоично-десятичный код которого подан на вход схемы. В результате светится только тот катод газоразрядного индикатора, который подключен к этому выводу, а так как катод выполнен в форме десятичной цифры, то отображается именно эта цифра.

Резистор R1 требуется для ограничения тока до допустимой величины. Одним резистором в схеме можно обойтись потому, что ток может протекать только через один из десяти катодов. Расчет ограничивающего ток резистора не отличается от расчета резистора R3 в схеме подключения одиночного газоразрядного индикатора, приведенной на рисунке 1.

## Контрольные вопросы

1. Что такое газоразрядный индикатор?
2. Достоинства и недостатки газоразрядных индикаторов?

### Практическое занятие №40

**Тема:** светодиодные индикаторы

**Цель:** изучить светодиодные индикаторы

В настоящее время практически везде для отображения двоичной информации используются светодиоды. Это обусловлено тем, что надёжность светодиодов значительно превосходит надёжность как индикаторных ламп накаливания, так и газоразрядных (неоновых) индикаторных ламп. Светодиоды труднее разбить, так как их корпус обычно состоит из прозрачной пластмассы, а вес значительно меньше индикаторных ламп. Кроме того при включении светодиодов не возникает импульсного тока значительной величины, который разрывает холодную нить накаливания своим магнитным полем.

Газоразрядные индикаторы — это более экономичные индикаторы по сравнению с лампами накаливания, но использование высокого напряжения питания привело к тому, что они в настоящее время практически не используются.

К.п.д. светодиодов, особенно современных, тоже значительно превосходит к.п.д. индикаторных ламп. Основная причина повышенного к.п.д. — это принципиальное отсутствие теплового излучения. Электрический ток непосредственно преобразуется в световое излучение. В качестве примера на рисунке 1 приведен внешний вид единичного светодиодного индикатора L-C150est фирмы ParaLight.

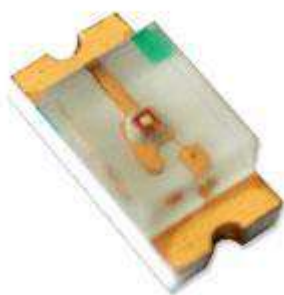


Рисунок 1. Внешний вид светодиодного индикатора

В качестве светодиодного индикатора отлично подходят светодиоды поверхностного монтажа. Их можно разместить на печатной плате, а сверху поставить прозрачную пластмассу с нанесенной пиктограммой. Как вариант, светодиоды могут быть использованы для подсветки жидкокристаллических индикаторов или клавиатуры. Так как светодиод, так же как и газоразрядная лампа, управляется током, то схема его подключения к цифровой микросхеме практически совпадает со схемой подключения газоразрядной лампы. Она приведена на рисунке 2.

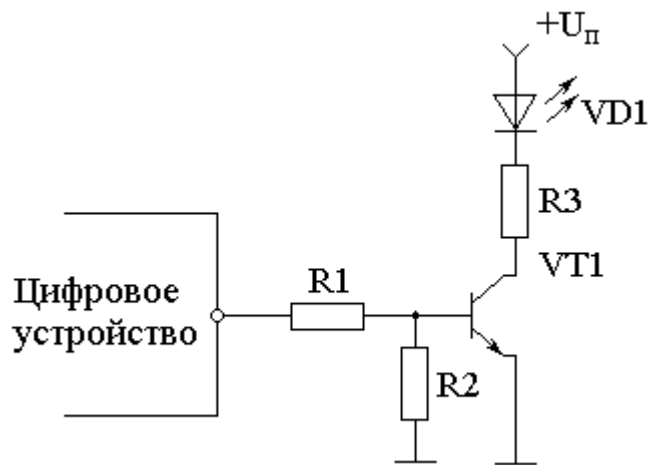


Рисунок 2. Схема подключения светодиодного индикатора к цифровой ТТЛ микросхеме

Расчет токоограничивающего резистора в этой схеме не отличается от расчета подобного резистора газоразрядного индикатора. Отличие только в том, что падение напряжения на светодиодах лежит в пределах от 1,5 до 3 Вольт. Расчет резисторов R1 и R2 точно такой же как и в остальных транзисторных ключах. Подобные схемы применяются в в специализированных микросхемах — драйверах светодиодных индикаторов.

Теперь вспомним, что выходной ток современных цифровых микросхем превосходит минимальный ток зажигания светодиода. Это означает, что можно обойтись без дополнительного транзисторного ключа для подключения светодиода. В результате схема значительно упрощается. Единственное условие &mdash; напряжение питания цифровой микросхемы должно быть достаточно для падения напряжения на светодиоде и токоограничивающем резисторе. Теперь достаточно просто ограничить ток через светодиод до допустимой величины. Новая схема приведена на рисунке 3.

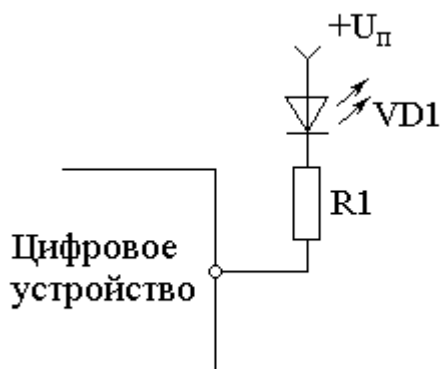


Рисунок 3. Схема подключения светодиодного индикатора к цифровой микросхеме с пятивольтовым питанием

В схеме, приведенной на рисунке 3, используется ток нуля цифровой микросхемы. Этот ток в большинстве цифровых схем больше тока единицы. В этой схеме мы не накладывали никаких ограничений на используемую цифровую

микросхему, кроме того, что она должна обеспечивать необходимый выходной ток. Однако при использовании обычного выходного каскада необходимо, чтобы напряжение питания микросхемы было равно напряжению, подаваемому на светодиод. Однако на светодиод нужно подавать напряжение больше пяти вольт. Только в этом случае светодиод надёжно откроется.

В большинстве современных микросхем ток единицы превышает минимальный ток зажигания светодиода. В ряде случаев это может упростить принципиальную схему устройства. Схема с использованием единичного тока цифровой микросхемы приведена на рисунке 4. Однако следует отметить, что если в схеме, приведенной на рисунке 3, светодиод зажигается нулевым потенциалом, то в схеме, приведенной на рисунке 4, для зажигания светодиода на выходе микросхемы следует сформировать единичный потенциал. В этой схеме напряжение питания цифровой микросхемы тоже должно превышать пять вольт.

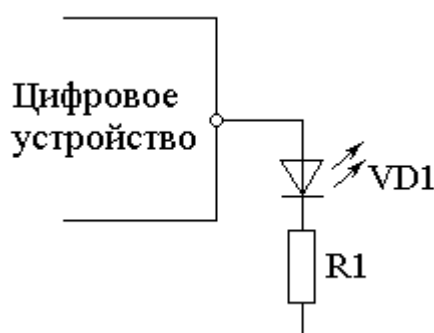


Рисунок 4. Использование тока единицы для зажигания светодиодного индикатора

Как уже говорилось ранее, в современных цифровых микросхемах часто используется напряжение питания 3.3 В, 2.5 В или даже 0.7 В! Как же быть в таком случае? Неужели использовать схему с дополнительным транзисторным ключом? Во всех цифровых схемах присутствуют микросхемы с открытым коллектором. Выходной транзистор этих микросхем способен выдерживать напряжение, превышающее напряжение питания самой микросхемы, поэтому такие микросхемы можно использовать для подключения светодиодных индикаторов. Такая схема приведена на рисунке 5.

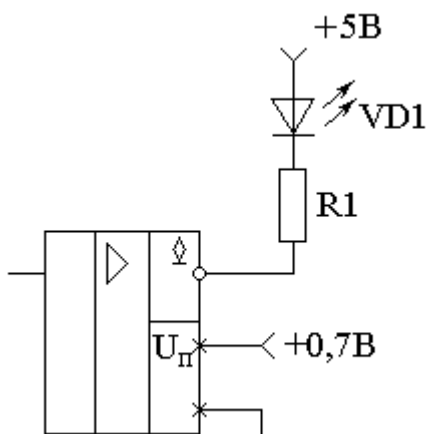


Рисунок 5. Схема подключения светодиодного индикатора к цифровой микросхеме с открытым коллектором

## **Контрольные вопросы**

- 1. Что такое светодиодный индикатор?**
- 2. Достоинства и недостатки светодиодных индикаторов?**

## **Практическое занятие №41**

**Тема:** жидкокристаллические индикаторы

**Цель:** изучить жидкокристаллические индикаторы

В настоящее время жидкокристаллические индикаторы являются наиболее распространённым видом индикаторов. Хотя сами жидкие кристаллы (ЖК) были известны химикам еще с 1888 г., но только 1960-х годов началось их практическое использование. В 1990 г. Де Жен получил Нобелевскую премию за теорию жидких молекулярных кристаллов.

### **Принципы работы жидкокристаллических индикаторов**

Термином жидкий кристалл обозначается мезофаза между твердым состоянием и изотропным жидким состоянием, при этом мезофаза сохраняет фундаментальные свойства присущие двум состояниям материи. Жидкие кристаллы, с одной стороны, обладает текучестью как изотропная жидкость, с другой стороны, сохраняет определенный порядок в расположении молекул (как кристалл).

В отдельных случаях мезофаза оказывается стабильной в широкой области температур, включая комнатную, тогда говорят о жидких кристаллах. Большинство жидких кристаллов образуются стержневыми молекулами.

Обычно жидкокристаллический дисплей представляет собой стеклянную кювету толщиной меньше 20 мкм, в которую помещен жидкий кристалл. Направление молекул жидкого кристалла может быть задано обработкой поверхностей кюветы таким образом, чтобы молекулы ЖК выстраивались в определенном направлении – параллельно плоскости кюветы или перпендикулярно к ней. Один из способов обработки поверхности заключается в нанесении на нее тонкого слоя твердого полимера и последующего «натирания» его в одном направлении.

Используя различные ориентации направления молекул жидкого кристалла первоначально с помощью поверхностного упорядочения, а затем с помощью электрического поля, можно сконструировать простейший дисплей. Жидкокристаллический дисплей состоит из нескольких слоев, где ключевую роль играют две стеклянные панели, между которыми помещён жидкий кристалл.

На панели наносятся бороздки. Бороздки получаются в результате размещения на стеклянной поверхности тонких пленок из прозрачного пластика, который затем специальным образом обрабатывается. Бороздки расположены таким образом, что они параллельны на каждой панели, но перпендикулярны бороздкам соседней

панели. Соприкасаясь с бороздками, молекулы в жидких кристаллах ориентируются одинаково по всей поверхности. В результате направление ориентации молекул жидкого кристалла поворачивается от верхней панели к нижней на  $90^\circ$ , вращая, таким образом, плоскость поляризации света, как это изображено на рисунке 1. Изображение формируется при помощи поляризационных плёнок, размещённых над и под жидкокристаллическим дисплеем. Если оси поляризации этих плёнок перпендикулярны друг другу, то дисплей будет прозрачным.

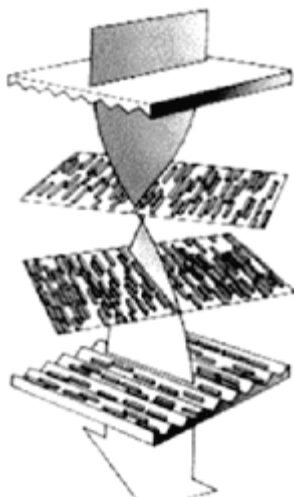


Рисунок 1. Вращение поляризации света жидким кристаллом

На стеклянные панели наносится тонкий слой металла, образующий электроды. Если теперь к электродам подвести напряжение, то молекулы жидкого кристалла развернутся вдоль электрического поля, вращение плоскости поляризации исчезнет, и свет не сможет пройти через поляризационные плёнки, как это показано на рисунке 2. Рисунок 2а соответствует отсутствию электрического поля, а рисунок 2б – приложенному к электродам напряжению.

Напряжение, необходимое для поворота директора составляет обычно 2В-5В. Важно, что действие электрического поля не связано с дипольным моментом молекулы и поэтому не зависит от направления поля. Это позволяет использовать для управления индикатором переменное поле. Постоянное поле может приводить к электролизу жидкого кристалла и, в конечном итоге, выходу прибора из строя.

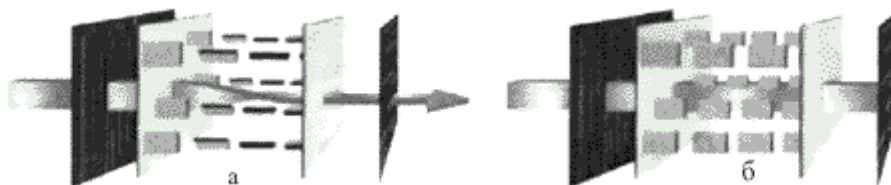


Рисунок 2. Вращение поляризации света жидким кристаллом

Электроды на жидкокристаллический индикатор наносятся в виде точек, пиктограмм или сегментов для отображения различных видов информации, как это уже обсуждалось ранее.

## Режимы работы жидкокристаллических индикаторов

Жидкокристаллические индикаторы используются в двух режимах работы: в режиме отражения света и в режиме просвечивания. Наиболее экономичный режим использования ЖКИ — это режим отражения. В этом режиме используются внешние источники света, такие как солнце или осветительные лампы помещения. Сами индикаторы в этом режиме ток практически не потребляют.

При использовании режима отражения прозрачным оставляют весь дисплей. Информация же формируется непрозрачными участками жидкого кристалла, образующимися между электродами при подаче на них переменного напряжения.

В режиме просвечивания возможны два вида использования жидкокристаллического дисплея: формирование обычного изображения как и в режиме отражения и формирование негативного изображения. В режиме негативного изображения весь дисплей остаётся непрозрачным, а свет проходит только через участки изображения, которые в этом случае кажутся нарисованными краской. Негативный режим формируется поляризационными плёнками с совпадающей поляризацией.

Для подсветки ЖКИ дисплея обычно используется газоразрядные лампы или светодиоды, так как эти источники света не выделяют тепла, способного вывести его из строя. Для равномерного распределения света от светодиодов или ламп дневного света используются светопроводы, выполненные из рассеивающих свет материалов.

## Параметры жидкокристаллических индикаторов

Важным параметром индикатора является время релаксации — время, необходимое для возвращения молекул жидкого кристалла в исходное состояние после выключения поля. Оно определяется поворотом молекул и составляет 30 ... 50 мс. Такое время достаточно для работы различных индикаторов, но на несколько порядков превышает время, необходимое для работы компьютерного монитора.

Время релаксации резко зависит от температуры ЖК индикатора. Именно временем релаксации определяется минимальная температура использования жидкокристаллических дисплеев. Время релаксации современных ЖКИ индикаторов при температуре  $-25^{\circ}\text{C}$  достигает нескольких секунд. Это время смены информации неприемлемо для большинства практических приложений.

Не менее важным параметром жидкокристаллического индикатора является контрастность изображения. При нормальной температуре контрастность изображения достигает нескольких сотен. При повышении температуры контрастность изображения падает и при температуре порядка  $+50^{\circ}\text{C}$  изображение становится практически неразличимым.

Следующий параметр, характеризующий жидкокристаллический индикатор — это угол обзора. Угол его обзора существенно зависит от скважности динамического режима индикации. Чем больше скважность — тем меньше получается угол обзора ЖКИ индикатора.

В современных жидкокристаллических компьютерных мониторах используется специальный метод формирования статического формирования изображения при динамическом способе его подачи на дисплей. Это TFT технология. При использовании этой технологии около каждого элемента изображения формируется запоминающий конденсатор и ключевой транзистор, который подключает этот конденсатор к цепям формирования изображения только в момент подачи информации именно для этого элемента изображения.

### **Формирование цветного изображения**

Цветные жидкокристаллические индикаторы обычно выполняют в виде матрицы, то есть на них можно сформировать любые изображения. Для формирования цветного изображения в основном используется режим просвечивания. При этом один пиксель изображения состоит из трёх элементов, напротив каждого из них располагается свой светофильтр: синий, красный и зеленый.

### **Формирование напряжения для работы жидкокристаллического индикатора**

Особенностью работы жидкокристаллического индикатора является то, что на него следует подавать переменное напряжение. Это связано с тем, что при подаче на ЖКИ дисплей постоянного напряжения происходит электролиз жидкого кристалла и индикатор выходит из строя.

Напряжение для работы жидкокристаллического индикатора формируется логическими элементами, поэтому обычно используется прямоугольное колебание со скважностью равной двум. Его легко можно получить на выходе делителя частоты на два.

Теперь вспомним, что логические сигналы содержат постоянную составляющую. Ее можно убрать, подав сигнал на выводы жидкокристаллической ячейки в противофазе друг другу. Временная диаграмма такого напряжения приведена на рисунке 3.

#### **Рисунок 3. Временная диаграмма напряжения на выводах ячейки ЖКИ индикатора**

Если ячейку жидкокристаллического индикатора следует оставить прозрачной, то на ее выводы подаются синфазные напряжения. В результате разность потенциалов получается равной нулю.

В результате контроллер ЖКИ дисплея можно собрать с использованием схем "исключающего ИЛИ". Подобная схема приведена на рисунке 4.

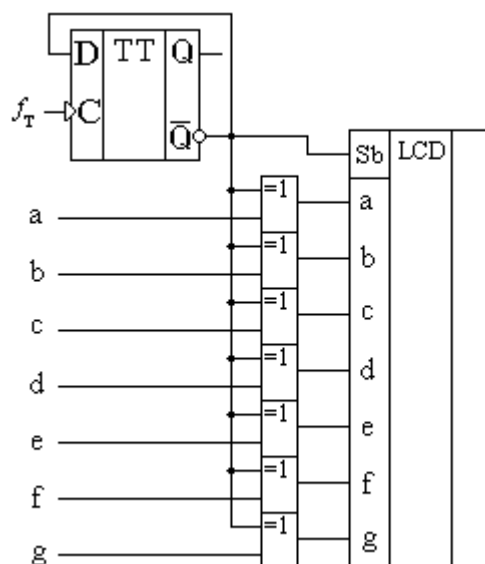


Рисунок 4. Принципиальная схема контроллера семисегментного жидкокристаллического индикатора

В этой схеме скважность прямоугольного колебания, равную двум, обеспечивает делитель частоты, собранный на D триггере. Если на вход сегмента подается единичный потенциал, то логический элемент "исключающее ИЛИ" инвертирует колебание, подаваемое на подложку жидкокристаллического индикатора COM. Этот сегмент становится непрозрачным.

Если же на вход сегмента поступает нулевой потенциал, то на выходе элемента "исключающее ИЛИ" колебание не инвертируется. Тем самым на соответствующий сегмент подается нулевая разность потенциалов. Этот сегмент остается прозрачным.

### Контрольные вопросы

1. Что такое жидкокристаллический индикатор?
2. Достоинства и недостатки жидкокристаллических индикаторов?

### Практическое занятие №42

**Тема:** Разработка структурной схемы часов

**Цель:** Разработать структурную схему часов

Проанализируем как должно работать разрабатываемое устройство. Часы обязательно должны содержать устройство измерения времени, которое в свою очередь всегда состоит из генератора эталонных интервалов времени и счётчика этих интервалов. Структурная схема устройства измерения времени приведена на рисунке 1.

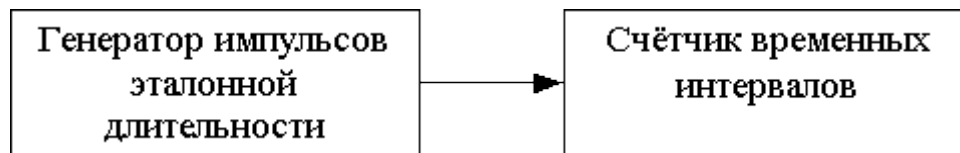


Рисунок 1. Структурная схема устройства измерения времени

В качестве генератора эталонных импульсов в различное время использовали различные устройства. Это и вытекание воды или песка из какой-либо ёмкости и движение тени от солнца по циферблату и даже горение нити в огненных китайских часах.

В простейшем случае генератор импульсов эталонной длительности должен вырабатывать минутные импульсы. В простейшем случае генератор импульсов эталонной длительности должен вырабатывать минутные импульсы. Однако реализовать стабильный генератор такой длительности достаточно сложно. Даже в механических часах в качестве генератора импульсов эталонной длительности использовался маятник с периодом колебаний от одной до нескольких секунд.

В качестве генератора эталонных импульсов мог бы подойти кварцевый генератор, так как этот тип генераторов обладает высокой стабильностью колебаний. Но кварцевые генераторы вырабатывают колебания в диапазоне от 1 до 30 МГц. Это соответствует временным интервалам от 0.03 до 1 мкс. Тем не менее, если воспользоваться делителем частоты, выполненном на двоичном счетчике, то можно получить импульсы с периодом 1 минута.

Выберем частоту работы кварцевого генератора. Здесь можно использовать кварцевый резонатор с частотой 32768Гц, предназначенный для использования в часах. Этот резонатор специально разрабатывался для применения в часах, поэтому его частота кратна степени двойки ( $2^{15} = 32768$ ). В результате можно использовать обычный двоичный делитель.

Здесь хотелось бы отметить, какая грандиозная задача была решена разработчиками кварцевых кристаллов. Дело в том, что если посчитать длину акустической волны в кварце, то кварцевый резонатор получился бы впечатляющих размеров. Толщину кристалла кварца можно определить по общеизвестной формуле для длины волны. Как известно скорость распространения звуковой волны в кристалле кварца равна 5570м/с, тогда длина волны будет равна:

$$L = v/f = 5570/32768 = 17\text{см}$$

где  $v$  - это скорость звука в кристалле кварца;  
 $f$  - резонансная частота.

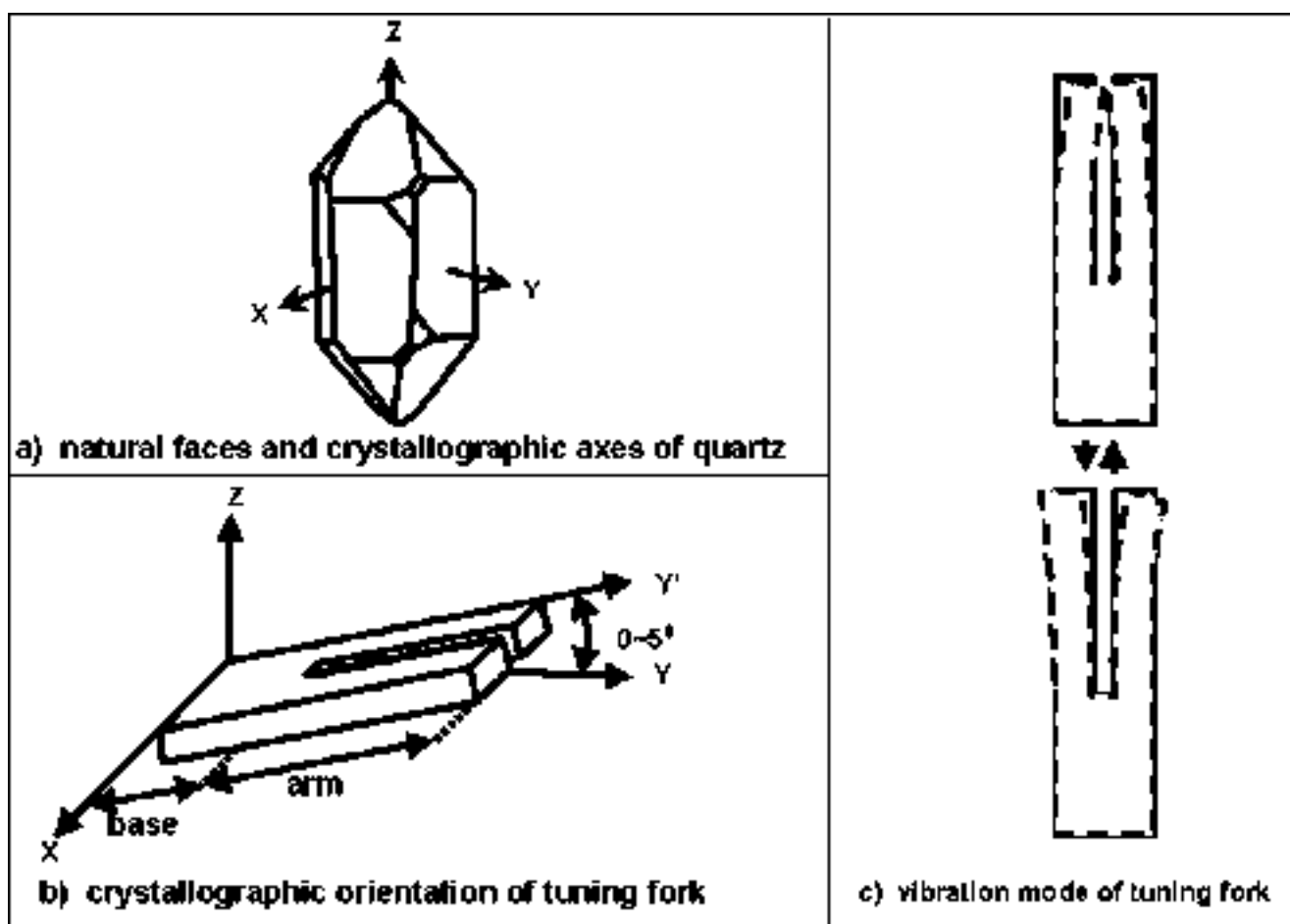
То есть толщина кварцевого резонатора должна быть как минимум равна половине длины волны - 8,5см. Ну, как, впечатляет? Длина кварцевого кристалла соответственно должна быть, по крайней мере, в пять раз больше. Казалось бы, это неразрешимая проблема для малогабаритных и дешёвых устройств, однако разработчики кварцевого резонатора сумели решить её.

Первым решением проблемы является то, что низкочастотные кварцевые резонаторы изготавливаются с использованием не объемных, а поверхностных волн. Точнее крутильных колебаний. В результате в резонаторе используется вся его длина. Скорость распространения волны по поверхности кварца значительно ниже скорости распространения волны в его объеме и равна 3515м/с. Однако даже в этом случае размеры кварцевого резонатора получаются значительными:

$$L = v/f = 3515/32768 = 10,7\text{см}$$

где  $v$  - это скорость звука в кристалле кварца;  
 $f$  - резонансная частота.

Решением проблемы оказалась разработка кварцевого резонатора, реализованного по принципу камертона. В таком резонаторе возбуждаются не объемные колебания, а колебания двух параллельно расположенных стержней, как это показано на рисунке 2.



В такой конструкции частота резонанса зависит от упругости кварца, длины и толщины зубьев получившейся вилки камертона.

Стоимость часовых кварцевых резонаторов оказалась минимальной из всех кварцевых резонаторов. Благодаря своей распространённости, малой цене, габаритам и малой частоте часовые кварцевые резонаторы начинают применяться практически во всех цифровых устройствах.

Для нас полезными свойствами часового кварцевого резонатора является малая цена, малые габариты, кратность частоты одному герцу и относительно малая частота резонанса. Последнее свойство определяет частоту задающего генератора, и, как следствие, малое потребление тока этим генератором от источника питания.

Итак, для формирования секундных импульсов (частота 1 Гц) потребуется делитель частоты на 32768. Для формирования из секундных импульсов минутных импульсов потребуется ещё один делитель частоты. Так как в минуте содержится 60 секунд, то нам потребуется делитель на 60. Уточнённая структурная схема разрабатываемого цифрового устройства приведена на рисунке 2.

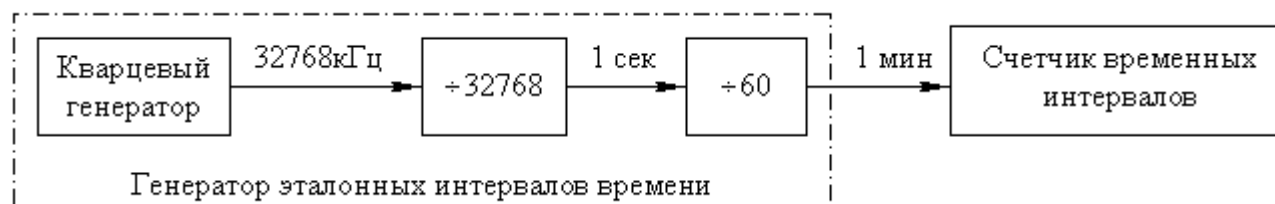


Рисунок 2. Уточнённая структурная схема устройства измерения времени

Теперь займёмся схемой счётчика временных интервалов. Он будет состоять из счетчика минут и счётчика часов. Мы знаем, что счётчик минут должен работать по основанию 60. В то же самое время мы привыкли воспринимать числа в десятичной системе счисления. Поэтому будет удобно разбить счётчик минут на два счётчика: на десятичный счётчик и счётчик, считающий до шести.

Счетчик часов можно выполнить по основанию 12 и по основанию 24. Пусть в наших часах счётчик будет работать по основанию 24. При этом для удобства отображения информации, также как и в счётчике минут, реализуем его на двух десятичных счетчиках.

Следующий блок, который обязательно должен входить в состав часов — это устройство индикации. Ведь никого не устроят часы, которые будут точно отсчитывать время, но при этом мы не сможем увидеть результат!

Выберем в качестве устройства отображения времени светодиодные семисегментные индикаторы. В этом случае мы получим устройство, способное работать при отрицательной температуре и обладающее при этом наиболее простой схемой.

Для преобразования кода, в котором работает счётчик минутных импульсов, в семисегментный код нам потребуется дешифратор. То есть, блок индикации будет состоять из дешифраторов и собственно индикаторов. Уточнённая структурная схема часов приведена на рисунке 3.

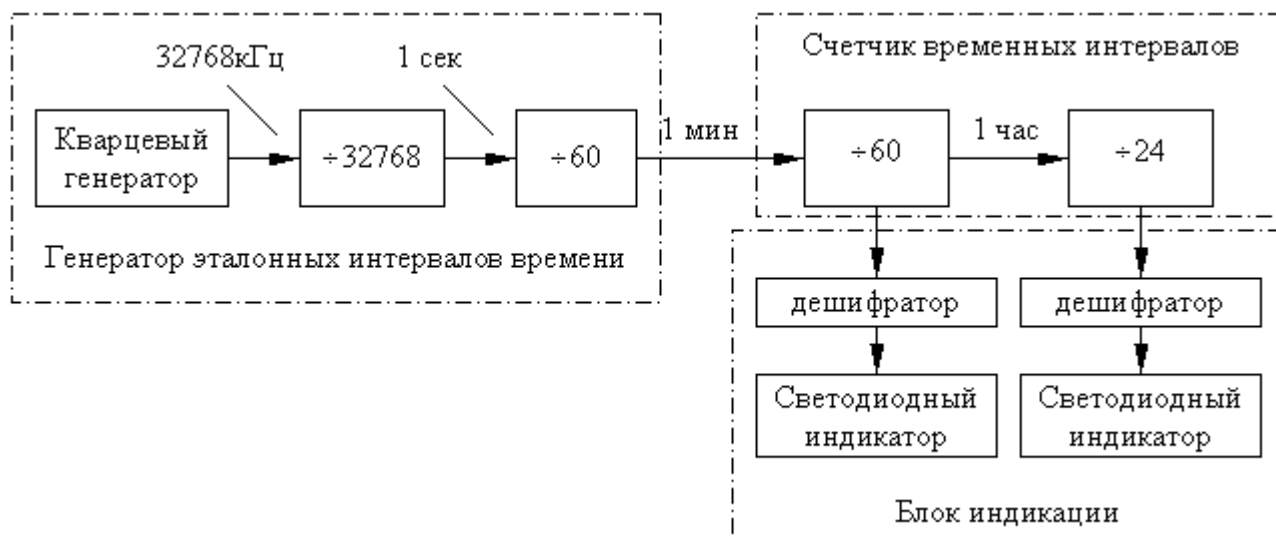


Рисунок 3. Структурная схема часов

И, наконец, последнее замечание. Любые часы время от времени требуют коррекции своего значения с целью синхронизации своих показаний с всемирным временем. В нашей схеме это будет делать блок коррекции, который в свою очередь будет состоять из кнопок и схемы установки внутреннего состояния счётчика временных интервалов.

На этом можно завершить разработку структурной схемы. Полная структурная схема часов с учётом блока индикации и блока коррекции времени приведена на рисунке 4.

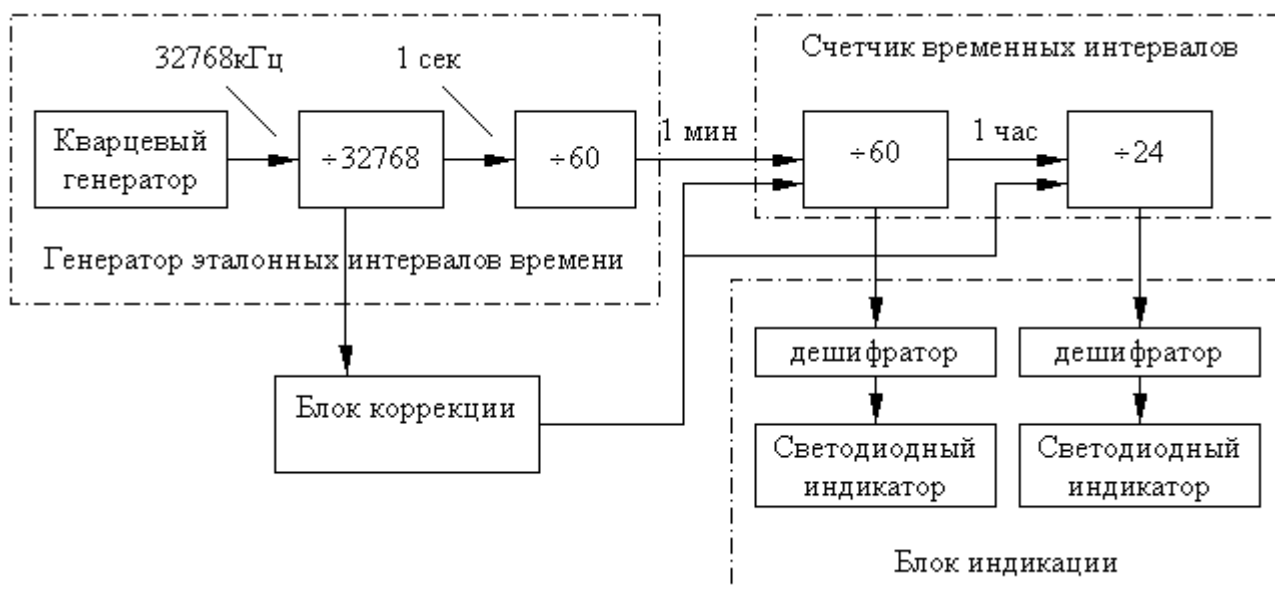


Рисунок 4. Уточнённая структурная схема часов

Теперь, после того как составлена структурная схема часов, можно приступить к разработке их принципиальной схемы.

## Практическое занятие №43

**Тема:** разработка принципиальной схемы часов

**Цель:** разработать принципиальную схему часов

При разработке принципиальной схемы чрезвычайно важен выбор серии микросхем, на которой будет реализована эта схема. Для часов самым важным параметром является ток, потребляемый ими, так как в большинстве случаев или все часы, или часть схемы часов питается от элементов питания. Поэтому при разработке схемы будем выбирать микросхемы, реализованные по КМОП технологии.

Разработку схемы часов начнём с кварцевого генератора. Как уже обсуждалось при разработке структурной схемы, в составе генератора будет применён часовой кварцевый резонатор. Для уменьшения стоимости всего устройства в целом применим простейшую схему генератора — ёмкостную трёхточку, а так как генератор предназначен для синхронизации цифрового устройства, то генератор выполним на логическом инверторе. Принципиальная схема такого кварцевого генератора приведена на рисунке 1.

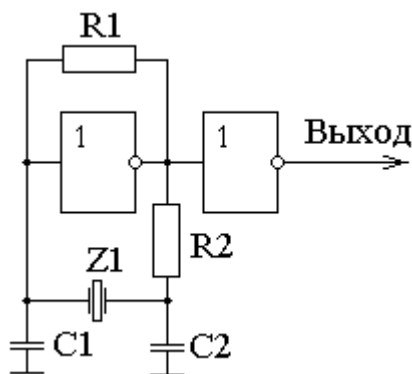


Рисунок 1. Схема кварцевого генератора, выполненная на логическом инверторе

Напомню, что резистор R1 предназначен для автоматического запуска генератора при включении питания. Этот же элемент определяет коэффициент усиления инвертора, и чем больше будет этот коэффициент усиления, тем более прямоугольные колебания будут формироваться на его выходе, а это, в свою очередь, приведёт к снижению тока, потребляемого кварцевым генератором. Выберем номинал резистора R1 равным 10Мом.

Резистор R2 предназначен для предотвращения самовозбуждения генератора на частоте, определяемой ёмкостью кварцедержателя. Выберем номинал этого резистора 510 кОм.

Номинал ёмкости конденсаторов C1 и C2 определяется величиной паразитных ёмкостей схемы. Выберем конденсаторы с ёмкостью 20пФ. Равное значение ёмкостей этих конденсаторов позволяет обеспечить максимальный коэффициент передачи колебательной системы, построенной на кварцевом резонаторе Z1 и конденсаторах C1 и C2.

Второй инвертор в схеме генератора предназначен для уменьшения длительности фронтов формируемого прямоугольного колебания. Это необходимо для уменьшения влияния последующей схемы на стабильность колебаний задающего генератора, а также для более надёжной работы цифровых счётчиков делителя частоты.

В качестве микросхемы, содержащей инверторы, выберем микросхему SN74LVC2G04DRL. В этой микросхеме, построенной по КМОП технологии, содержится два инвертора. О том, что в микросхеме содержится два элемента, говорит обозначение 2G. То что это инверторы — обозначается цифрой 04, а то, что в микросхеме использован корпус с шагом выводов 0,5 мм — буквы DRL. Размеры корпуса этой микросхемы не превышают 1.6\*1.6мм (у корпуса всего шесть выводов). Микросхема способна работать в диапазоне напряжений от 1,5 до 5,5 В.

Следующей реализуем схему делителя частоты до значения 1 Гц. Напомню, что период колебаний с частотой 1 Гц равен 1 секунде. Как это мы уже определили при разработке структурной схемы, его коэффициент деления должен быть равен 32768. То есть для реализации делителя потребуется 15 счётных триггеров. Конечно, можно взять микросхему K176ИЕ12, специально разработанную для этой цели, но мы не ищем простых путей, поэтому используем универсальную микросхему SN74НС393РW. В ней есть два независимых четырёхразрядных двоичных счётчика. Это означает, что для реализации нашего делителя будет достаточно всего двух микросхем.

Размеры корпуса выбранной микросхемы не превышают 5\*6.4мм. У корпуса этой микросхемы имеется 14 выводов. Если к габаритам часов нет особых требований, то можно использовать отечественную микросхему K1564ИЕ19. Ее корпус больше корпуса выбранной микросхемы более чем в два раза. Однако при этом даже номера выводов микросхем будут совпадать. Полученная принципиальная схема генератора секундных импульсов электронных часов приведена на рисунке 2.

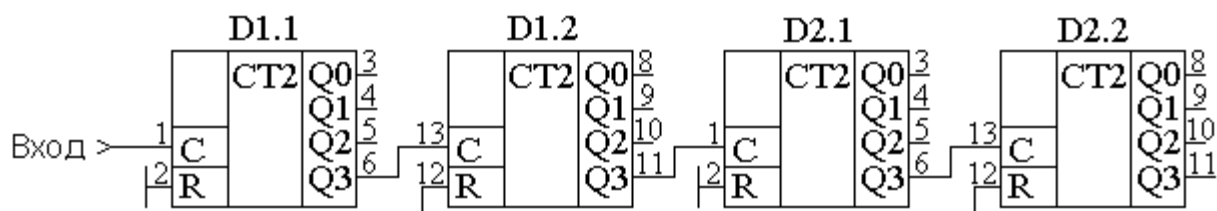


Рисунок 2. Схема делителя на 32768 генератора секундных импульсов

Теперь вспомним, что в генераторе временных интервалов необходим еще один делитель частоты. Период импульсов на его выходе будет равен 1 минуте. Делитель на шестьдесят можно реализовать на точно такой же микросхеме что мы использовали и ранее для построения делителя на 32768.

Делитель на шестьдесят не кратен степени числа два, поэтому для его реализации потребуется обратная связь. Для упрощения схемы обратим внимание, что число 60 разбивается на числа 10 и 6. И то, и другое число содержат только две единицы. Выводы 4-х разрядных счетчиков выходят на разные стороны корпуса микросхемы. Поэтому будет удобно использовать два независимых логических элемента "2И". Это позволит значительно упростить разводку печатной платы и сократить длину соединительных проводов, тем самым, уменьшив площадь печатной платы и возможные помехи от работающей схемы.

В качестве логических элементов "2И" используем две микросхемы SN74LVC1G08DRLR. То, что в микросхеме содержится только один логический

элемент, мы определяем по символам 1G, а то, что это логический элемент "2И" — по цифрам 08. Размеры корпуса выбранной микросхемы не превышают 1,6×1,6 мм. Отечественные варианты подобной микросхемы, например К1554ЛИ1, содержат в одном корпусе сразу по четыре логических элемента, расстояние между выводами составляет минимум 1,25 мм. В результате схема, собранная на таких микросхемах, будет идентична по электрическим параметрам, но проиграет по размерам.

Полученная схема делителя частоты на 60, вырабатывающая импульсы с периодом 1 мин и состоящая из последовательно включенных делителей на 10 и на 6, приведена на рисунке 3. Схема реализована всего на трёх микросхемах. Использование обратной связи с выводов Q1 и Q3 превращает двоичный счётчик D1.1 в десятичный, а применение обратной связи с выводов Q1 и Q2 микросхемы D1.2 реализует счётчик по модулю 6.

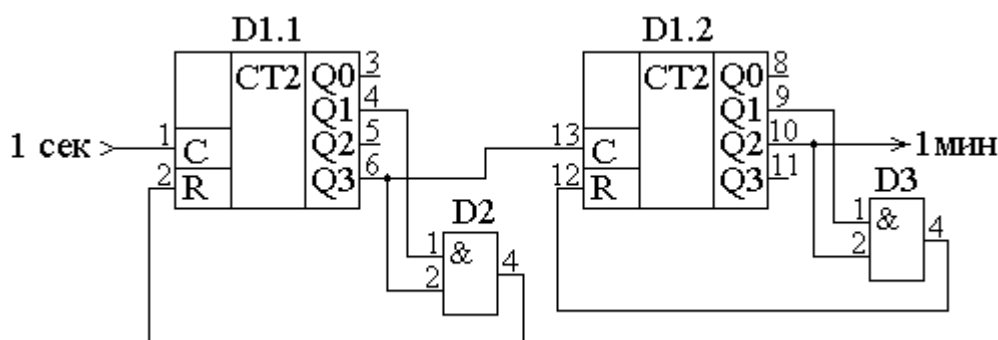


Рисунок 3. Схема делителя на 60 генератора минутных импульсов

Итак, мы закончили разработку генератора минутных импульсов. Всего нам потребовалось шесть микросхем, при этом три из них относятся к микросхемам малой логики и занимают минимум места на печатной плате цифрового устройства.

Теперь можно приступить к разработке принципиальной схемы счетчика временных интервалов. Как мы уже выяснили при разработке структурной схемы часов, в состав этого счётчика входит точно такой же делитель на 60, как и в генераторе минутных импульсов, поэтому можно воспользоваться той же самой схемой. Отличие заключается только в том, что на этот раз нам потребуются все выходы счётчиков. Сигналы с этих выводов мы будем подавать на вход семисегментных дешифраторов блока индикации.

Последний счётчик, который нам потребуется для реализации блока счётчика временных интервалов - это счётчик на 24. Этот счётчик было бы удобно реализовать на микросхеме десятичного счётчика, однако сдвоенных микросхем асинхронных десятичных счётчиков не производится, поэтому реализуем счётчик часов на той же микросхеме, что и остальные блоки часов — SN74HC393PW.

Сложность в реализации этой схемы заключается в том, что коэффициент счёта не кратен десяти, поэтому сигнал обратной связи необходимо заводить на оба счётчика одновременно. Можно было бы реализовать этот счётчик в двоичном виде, но тогда возникнут сложности с отображением содержимого этого счётчика. Для того, чтобы реализовать на первом 4-х разрядном счётчике десятичный счётчик и одновременно получить возможность сброса всего счётчика часов в начале суток

используем дополнительный логический элемент “2ИЛИ”. Сигнал сброса на выходе этой микросхемы появится либо в случае достижения первым счётчиком числа 10, либо при достижении всем счётчиком значения 24.

В качестве логического элемента “2ИЛИ” используем микросхему малой логики, подобную уже использованной микросхеме “2И”. Это микросхема SN74LVC1G32DRLR. Цифра 32 в названии микросхемы и обозначает логический элемент “2ИЛИ”. Размеры корпуса этой микросхемы не превышают 1.6×1.6мм. В результате, несмотря на несколько более сложную принципиальную схему площадь, занимаемая счётчиком часов, значительно уменьшается.

Полная принципиальная схема счётчика часовых импульсов, реализованная на микросхеме SN74HC393PW приведена на рисунке 4. Использование обратной связи с выводов Q1 и Q3 первой микросхемы превращает ее в десятичный счётчик. Для реализации счетчика по модулю 24 мы используем обратную связь с вывода Q1 старшего разряда счётчика (двойка) и вывода Q2 младшего разряда счётчика часов (четвёрка).

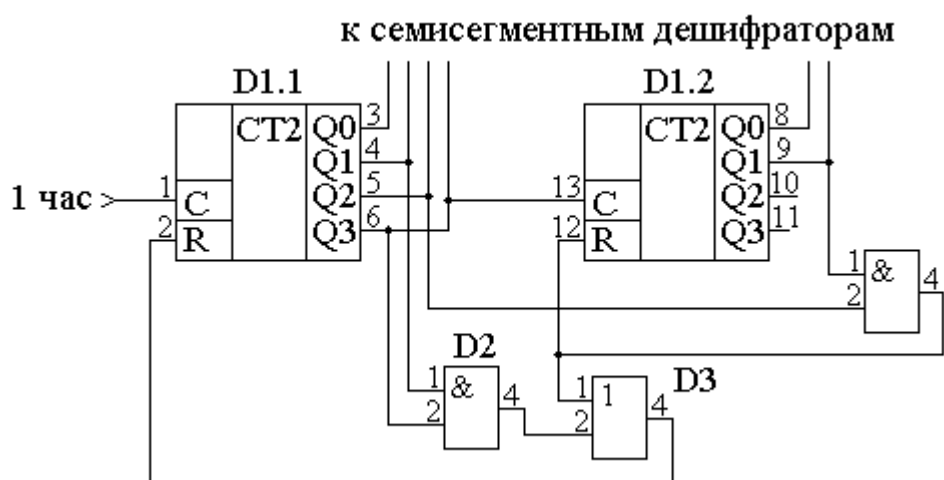


Рисунок 4. Схема счётчика часовых импульсов

Таким образом, мы реализовали основную часть схемы часов, но как это уже обсуждалось при разработке структурной схемы этого недостаточно. Требуется уметь отображать полученную цифровую информацию. Перейдём к разработке блока индикации часов.

## Практическое занятие №44

**Тема:** разработка принципиальной схемы индикации часов

**Цель:** разработать принципиальную схему индикации часов

При разработке блока счета интервалов времени мы построили схему так, чтобы блок индикации можно было выполнить из набора семисегментных дешифраторов и индикаторов. Конечно, как и в случае с часами можно найти готовый блок индикации

со встроенным контроллером, но как это уже говорилось ранее — мы не ищем лёгких путей. В разрабатываемых часах построим блок индикации на отдельных микросхемах.

Сначала давайте выберем микросхему семисегментного дешифратора. При разработке структурной схемы мы определили, что для индикации внутреннего состояния счетчиков будем использовать светодиодные индикаторы. Поэтому попробуем найти микросхему дешифратора, способную работать на светодиодный индикатор. В результате поиска находим достаточно старые, но выпускающиеся до настоящего времени микросхемы — SN74LS247D. Выбор иностранной микросхемы обусловлен исключительно размерами корпуса этой микросхемы.

В Советском Союзе выпускались микросхемы К555ИД18 — полный аналог этой микросхемы за исключением корпуса. Корпус в два раза больше (как у микросхемы SN74LS247N). Эти микросхемы до сих пор можно найти в продаже. Однако с точки зрения корпуса, да и с точки зрения надёжности лучше поставить другую отечественную микросхему — 514ИД2. Ее можно считать аналогом микросхемы SN54LS247W, выполняющей подобную функцию.

Проанализируем возможности микросхемы SN74LS247D. В результате этого анализа определяем, что на выходе этой микросхемы используется схема с открытым коллектором, допускающая подачу напряжения на выводы подключения светодиодных сегментов до 15 В. Втекающий ток этих выводов может достигать 24 мА. Приведенные параметры показывают, что микросхема SN74LS247D идеально подходит для использования совместно со светодиодным индикатором.

Так как схема подключения всех сегментов одинакова, то можно ограничиться расчетом элементов для одного сегмента. Номиналы элементов для остальных сегментов будут полностью идентичными. Рассчитаем схему подключения одного сегмента светодиодного индикатора к микросхеме семисегментного дешифратора SN74LS247D. Эквивалентная схема подключения одного сегмента светодиодного индикатора к выходному каскаду микросхемы SN74LS247D приведена на рисунке 1.

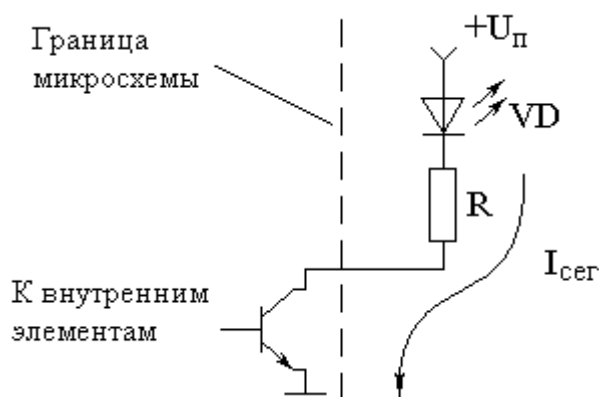


Рисунок 1. Схема подключения одного сегмента светодиодного индикатора к выходному каскаду микросхемы SN74LS247D

Сначала определим напряжение питания блока индикации. Для этого необходимо знать параметры светодиодного индикатора, поэтому выберем светодиодный

индикатор. Пусть в схеме будет использоваться суперяркий светодиодный индикатор поверхностного монтажа с красным цветом свечения ACSA56-41SRWA-F01. Этот индикатор производится фирмой Kingbright.

Падение напряжения на этом индикаторе может составлять от 1,7 до 2,5 В. При пятивольтовом питании схемы, падение напряжения на балластном сопротивлении R можно определить по следующей формуле:

$$U_{Rmax} = U_{Пmax} - U_{Vdmin} = 5,25 \text{ В} - 1,7 \text{ В} = 3,55 \text{ В}$$

$$U_{Rmin} = U_{Пmin} - U_{Vdmax} = 4,75 \text{ В} - 2,5 \text{ В} = 2,25 \text{ В}$$

По закону Ома разброс падения напряжения на балластном сопротивлении будет определять разброс тока через светодиодные индикаторы. Это в конечном итоге даст разброс яркости свечения сегментов. В нашем случае разброс падения напряжения на балластном резисторе составил 1,6 раза, что вполне приемлемо для бытового прибора, поэтому оставим напряжение питания блока индикации равным пяти вольтам.

Зададимся током через сегмент светодиодного индикатора. Пусть этот ток будет равен 5 мА. Тогда сопротивление балластного резистора будет равно:

$$R = (U_{П} - U_{Vd})/I_{VD} = (5 \text{ В} - 1,75 \text{ В})/5 \text{ мА} = 650 \text{ Ом}$$

Выбираем ближайшее значение из десятипроцентного ряда резисторов — 670 Ом.

Теперь составим принципиальную схему подключения светодиодного индикатора ACSA56-41SRWA-F01 к микросхеме семисегментного дешифратора SN74LS247D. Она приведена на рисунке 2.

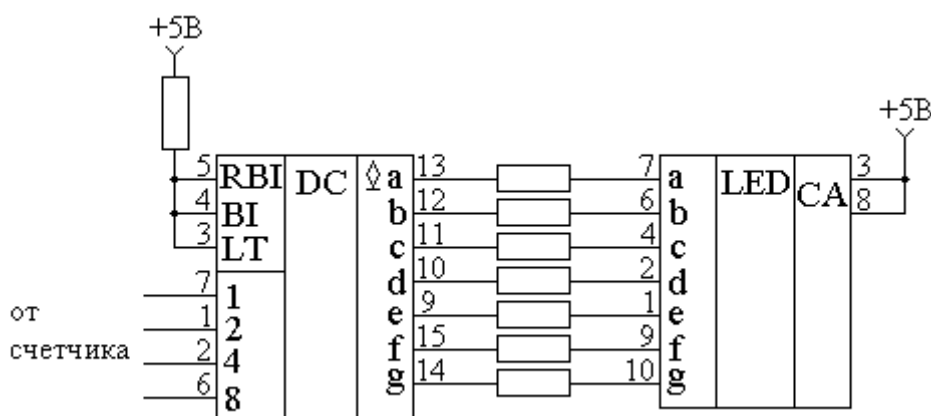


Рисунок 2 Схема подключения светодиодного индикатора ACSA56-41SRWA-F01 к микросхеме семисегментного дешифратора SN74LS247D

В приведенной на рисунке 1.11 схеме выход каждого сегмента дешифратора подключается к соответствующему сегменту индикатора через токоограничивающий резистор.

Кроме информационных входов "1" "2" "4" "8" в микросхеме дешифратора SN74LS247D имеются управляющие входы. Вход BI позволяет гасить индикатор.

Вход LT позволяет проверять исправность сегментов индикатора, зажигая сразу все сегменты. Вход RBI позволяет гасить незначащие нули в отображаемом числе.

Мы не будем пользоваться всеми возможностями, предоставляемыми выбранной нами микросхемой дешифратора, поэтому соединим перечисленные управляющие входы с высоким потенциалом. Так как вход BI может одновременно служить выходом, то высокий потенциал подадим через резистор R1.

Схема подключения индикатора для всех четырех отображаемых разрядов счетчика часов и счетчика минут не отличается, поэтому полную схему блока индикации приводить не будем.

### **Основная литература:**

1. Сперанский Д.В. Моделирование, тестирование и диагностика цифровых устройств [Электронный ресурс] / Д.В. Сперанский, Ю.А. Скобцов, В.Ю. Скобцов. — Электрон. текстовые данные. — М. : Интернет-Университет Информационных Технологий (ИНТУИТ), 2016. — 529 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/62817.html>
2. Шульгин, В.А. Проектирование импульсных и цифровых устройств на интегральных логических схемах : учебное пособие / В.А. Шульгин ; Министерство образования и науки Российской Федерации, Федеральное государственное автономное образовательное учреждение высшего профессионального образования Северный (Арктический) федеральный университет им. М.В. Ломоносова. - Архангельск : САФУ, 2015. - 95 с. : ил. - Библиогр. в кн. - ISBN 978-5-261-01023-4 ; То же [Электронный ресурс]. - URL: <http://biblioclub.ru/index.php?page=book&id=436439>
3. Макаров В.Г. Проектирование цифровой системы управления автоматической линии станков [Электронный ресурс]: учебное пособие/ В.Г. Макаров— Электрон. текстовые данные.— Казань: Казанский национальный исследовательский технологический университет, 2014.— 240 с.— Режим доступа: <http://www.iprbookshop.ru/62252.html>.— ЭБС «IPRbooks»

### **Дополнительная литература:**

- 1 Ершова Н.Ю. Организация вычислительных систем [Электронный ресурс] / Н.Ю. Ершова, А.В. Соловьев. — 2-е изд. — Электрон. текстовые данные. — М. : Интернет-Университет Информационных Технологий (ИНТУИТ), 2016. — 224 с. — 2227-8397. — Режим доступа: <http://www.iprbookshop.ru/73687.html>

### **Интернет-ресурсы:**

1. Сетевая энциклопедия Википедия [Электронный ресурс] — Режим доступа: <http://ru.wikipedia.org>.
2. Федеральный портал «Информационно-коммуникационные технологии в образовании» [Электронный ресурс] — Режим доступа: <http://window.edu.ru>.
3. Федеральный портал «Российское образование» [Электронный ресурс] — Режим доступа: <http://www.edu.ru>.